



SUNWAY 申威

# ICH1 维护可见 寄存器手册

2017 年 10 月

成都申威科技有限责任公司



## 免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

### 成都申威科技有限责任公司

Chengdu Sunway Technology Corporation Limited

地址：成都市华府大道四段电子科大科技园 D22 栋

Building D22, National University Science and technology park,  
Section 4, Huafu Avenue, Chengdu

Mail: sales@swcpu.cn

Tel : 028-68769016

Fax: 028-68769019



## 阅读指南

《ICH1 维护可见寄存器手册》主要描述了国产第一代 IO 套片 ICH1 的相关接口功能等内容。

## 文档修订

文档更新记录	文档名	ICH1 维护可见寄存器手册
	版本号	V1.0
	创建人	研发部
	创建日期	2017-10-8

## 版本更新

版本号	更新内容	更新日期
V1.0	初稿	2017-10-8

## 技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：[sales@swcpu.cn](mailto:sales@swcpu.cn)

问题反馈网址：<http://www.swcpu.cn/>



# 目 录

<b>1</b>	<b>概述</b> .....	<b>1</b>
1.1	维护通路概述.....	1
<b>2</b>	<b>套片 IO 配置维护通路</b> .....	<b>3</b>
2.1	AC97 控制器.....	4
2.1.1	核心状态寄存器.....	4
2.1.2	音频编解码芯片读地址寄存器.....	5
2.1.3	音频编解码芯片写地址寄存器.....	5
2.1.4	音频编解码芯片状态寄存器.....	5
2.1.5	中断屏蔽寄存器.....	6
2.1.6	中断源寄存器.....	6
2.1.7	DMA 中断屏蔽寄存器.....	7
2.1.8	DMA 中断触发寄存器.....	7
2.1.9	声道使能寄存器.....	8
2.1.10	冷复位计数器.....	8
2.1.11	热复位计数器.....	9
2.1.12	挂起计数器.....	9
2.1.13	嵌入式存储器.....	9
2.1.14	流描述符.....	10
2.1.15	通道描述符.....	11
2.2	GMAC 控制器 0/1.....	11
2.2.1	以太网 DMA 寄存器.....	11
2.2.2	以太网 GMAC 寄存器.....	22
2.2.3	管理计数器寄存器.....	38
2.3	SATA.....	45
2.3.1	通用主机控制.....	46
2.3.2	厂商定义寄存器.....	51
2.3.3	端口寄存器（每个端口一套）.....	54
2.3.4	偏移 70h 到 7Fh: PxVS (端口厂商自定义).....	66
2.4	显卡相关部件.....	67
2.4.1	显存.....	67
2.4.2	MC 寄存器.....	67
2.4.3	VPU 寄存器.....	77
2.4.4	GPU 寄存器.....	126
2.4.5	DC 寄存器.....	142

2.4.6	DMA 寄存器 .....	150
2.5	USB .....	164
2.5.1	EHCI 寄存器 .....	164
2.5.2	OHCI 寄存器 0/1 .....	173
2.6	TCM (可信计算模块) .....	184
2.6.1	DMA 编程接口地址 .....	184
2.6.2	DMA 编程接口定义 .....	186
2.6.3	命令通道编程接口定义 .....	193
2.7	BMC (维护控制模块) .....	195
2.7.1	复位初始化模块 .....	195
2.7.2	PS/2 .....	197
2.7.3	UART1/2 .....	197
2.7.4	KCS .....	202
2.7.5	BT .....	203
2.7.6	FLASH 编程接口 .....	204
2.7.7	BMC 的 GPIO 接口 .....	205
2.8	I2C .....	212
<b>3</b>	<b>专用维护通路 .....</b>	<b>216</b>
3.1	PCIe Switch .....	216
3.1.1	PCIE 配置空间寄存器 .....	217
3.1.2	Switch IP 的 CSR 寄存器 .....	251
3.1.3	用户自定义寄存器 .....	281
3.2	PCIe-AMBA 桥 .....	287
3.2.1	PCIe-AMBA 维护可见寄存器总览 .....	287
3.2.2	PCIe-AMBA 维护可见寄存器详细定义 .....	287
3.3	GMAC 控制器 0/1 .....	407
3.4	SATA .....	407
3.5	VPU .....	410
3.5.1	VPU 维护可见寄存器总览 .....	410
3.5.2	VPU 维护可见寄存器详细定义 .....	410
3.6	GPU .....	411
3.6.1	GPU 维护可见寄存器总览 .....	411
3.6.2	GPU 维护可见寄存器详细定义 .....	411
3.7	DC .....	413
3.7.1	DC 维护可见寄存器总览 .....	413
3.7.2	DC 维护可见寄存器详细定义 .....	413
3.8	USB .....	414
3.8.1	USB 维护可见寄存器总览 .....	414
3.8.2	USB 维护可见寄存器详细定义 .....	415

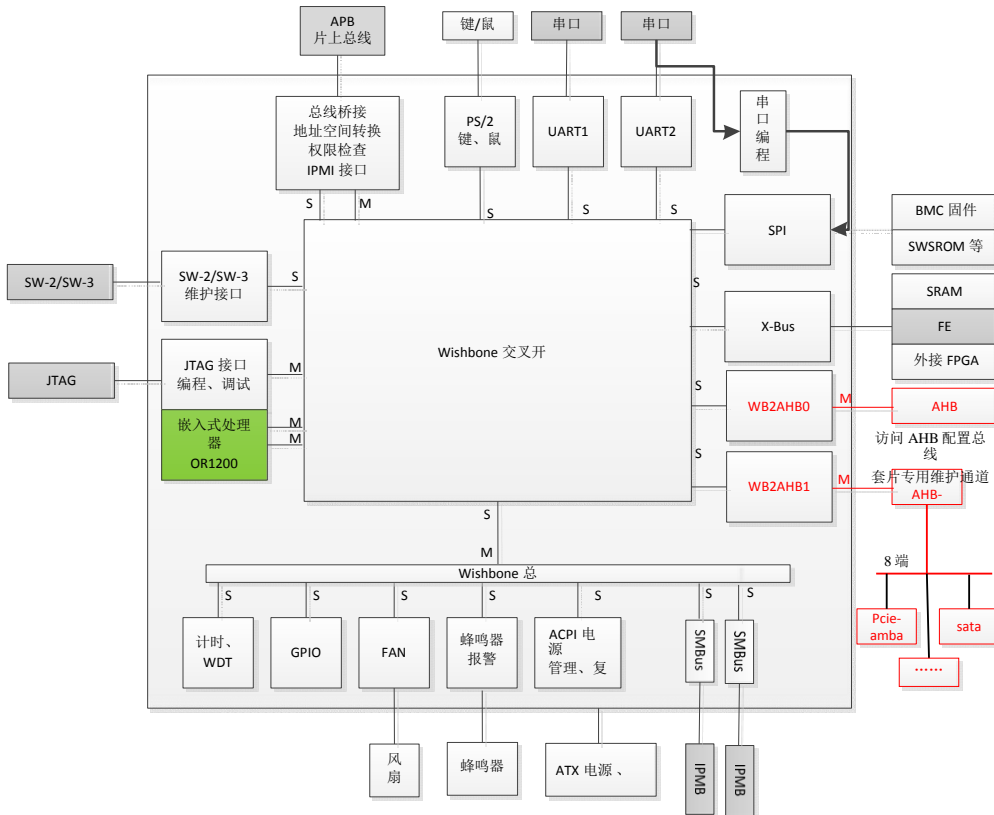
# 1 概述

## 1.1 维护通路概述

本手册定义 IO 套片维护可见寄存器，由 IO 套片设计组起草。

SW-ICH 基于 BMC 进行系统维护，BMC 出两套维护 AHB Master 接口。第一套 AHB 维护接口作为套片 AMBA 系统的 Master 端口，可访问套片内所有模块的 IO 空间。采用这种维护方式来访问各 IP 的 IO 空间，是为了共用 IP 的 AMBA 配置接口，尽可能不改动 IP 设计，而达到能对各 IP 进行维护访问的目的。具体内容参见第 2 章节。

第二套 AHB 维护接口是 BMC 系统专用维护接口，与套片 AMBA 系统不相关，保持了套片维护系统的独立性与可靠性。通过 AHB-APB 桥提供 APB 维护总线访问各 IP 状态寄存器。原则上对于自己设计的部件，都可以通过这套 APB 接口来进行维护访问。对于采用的商用 IP，将接出一些关键模块的状态信号，保存在状态寄存内，以便通过维护能访问到各 IP 的状态，而不依赖于 AMBA 互连系统。具体内容参见第 3 章节。



## 1.2 维护访问命令

维护可通过如下命令进行访问。

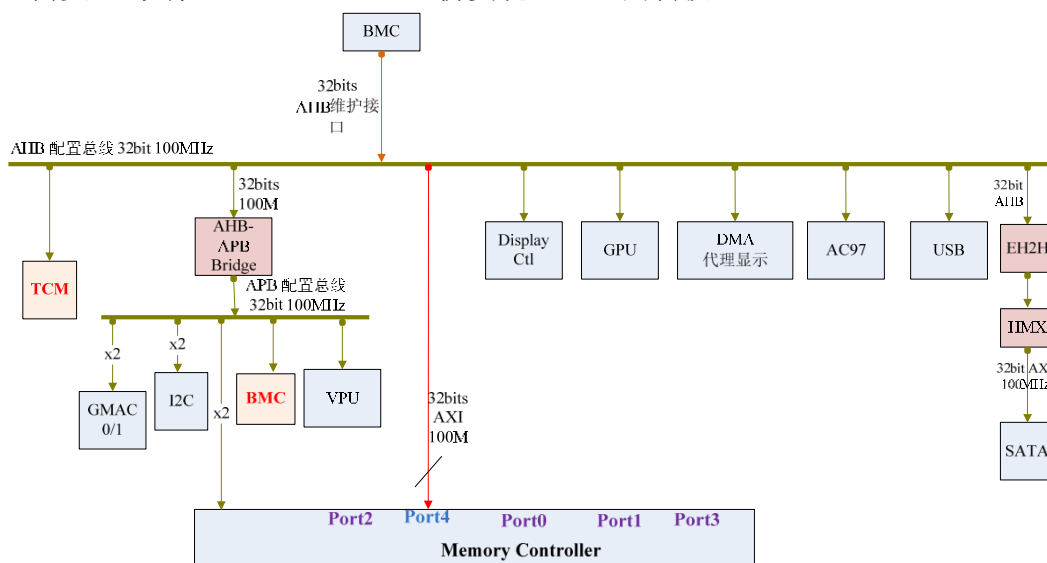
例如，在 BMC 22 号台进行操作，通过专用维护通路访问，对地址为 0x60188000 的寄存器(该寄存器默认值为 0xFFFFFFFF，属性为 R/W)先进行读操作，再写数据 0x5A5A5A5A,最后再次进行读操作。具体命令如下：

```
[server@localhost server_md]$ readiport 22 60188000
ffffffff
[server@localhost server_md]$ writeiport4 22 60188000 5a5a5a5a
Write IO Port ok!
[server@localhost server_md]$ readiport 22 60188000
5a5a5a5a
```

## 2 套片 IO 配置维护通路

SW-ICH 基于 BMC 进行系统维护，BMC 出两套维护 AHB Master 接口，其中一套 AHB 接口做为套片 AMBA 系统的 Master 端口，可访问套片内所有模块的 IO 空间。

对于套片 AHB 维护接口占用 Wishbone 总线 5 号 Slave 接口，地址空间划分为 0x5000-0000~0x5FFF-FFFF，为了将 BMC 套片维护空间编址与 AMBA 空间编址空间统一，需要 5 号端口 Wishbone-AHB 桥实现地址空间转换。



将 BMC 系统地址 0x5000-0000~0x50FF-FFFF (16MB) 转换为 AMBA 空间地址 0x0000-0000 ~ 0x00FF-FFFF；转换方式如下，判断地址位[27:24]位，若为 4'b0，在 AHB 总线上地址输出时将 Add [31:28]为转换为全 0 地址。

转换关系如下：

If addr[27:24]=4'b0;

ahb\_addr[31:28]==4'h0; ahb\_addr[27:0]== addr[27:0];

对于 BMC 空间地址 0x5100-0000~0x57FF-FFFF (112MB 空间) 预留

对于 BMC 空间地址 0x5800-0000~0x5FFF-FFFF (128MB 空间)，转换为套片对 AMBA 开放的 2GB 显存空间地址。此部分要为套片维护访存设置一个维护访存偏移寄存器 MemBiaReg (仅[3:0]有效,编址在 0x4600-000c)，将存储器空间划分为 16 个 128MB，通过偏移寄存器来访问不同的 128MB 显存空间。

转换关系如下：If addr[27]=1'b1; addr[31:27]

== {1'b1, MemBiaReg[3:0]}。

端口	slave	地址分配
----	-------	------

S1:	apb0:bmc+i2c*2+gmac*2+vpu (3MB)	0x0-0x10ffff (bmc:1MB+64KB) 0x110000-0x111fff (i2C0:8KB) 0x112000-0x113fff (i2C1:8KB), 0x114000-0x1ffff (空洞, 预留 944KB) 0x200000-0x27ffff (gmac0:512KB) 0x280000-0x2ffff (gmac1:512KB) 0x300000-0x37ffff (mc:512KB) 0x380000-0x3ffff (vpu:512KB)
S2:	gpu (1MB)	0x400000-0x4ffff (gpu:1MB)
S3:	display ctl (1MB)	0x500000-0x5ffff (dc:1MB)
S4:	dmac (1MB)	0x600000-0x6ffff (dma:1MB)
S5:	ac97 (512KB)	0x700000-0x77ffff (ac97:512KB)
0x780000-0x7ffff (空洞, 预留 512KB)		
S6:	usb ehci (512KB)	0x800000-0x87ffff (ehci:512KB)
S7:	usb ohci0 (256KB)	0x880000-0x8bffff (ohci0:256KB)
S8:	usb ohci1 (256KB)	0x8c0000-0x8ffff (ohci1:256KB)
S9:	tcm (1MB)	0x900000-0x9ffff (tcm:1MB)
S10:	sata (1MB)	0xa00000-0xafffff (sata:1MB)
0xb00000-0x3ffffff (空洞, 预留 1013MB) 0x40000000-0x7ffffff (预留 1GB)		
S11:	mem (2GB)	0x80000000-0xfffffff (mem:2GB)

## 2.1 AC97 控制器

维护地址:  $0x5070,0000 + \text{offset}[15:0]$

名称	偏移地址[13:0]	位宽	描述
CORE_STATUS	0x00	32	AC97 控制器的状态寄存器
CODEC_READ	0x04	32	CODEC 读请求寄存器
CODEC_WRITE	0x08	32	CODEC 写请求寄存器
CODEC_STATUS	0x0C	32	CODEC 状态和数据寄存器
INT_MASK	0x10	32	中断屏蔽寄存器
INT_SOURCE	0x14	32	中断源/清中断
INT_DMA_MASK	0x18	32	DMA 中断寄存器
INT_DMA_TRIGGER	0x1C	32	DMA 触发器中断寄存器
AUDIO_ENABLE	0x20	12	音频通道使能寄存器
COLD_CNT	0x24	32	冷复位计数器
WARM_CNT	0x28	32	热复位计数器
SUSPEND_CNT	0x2C	32	挂起侦测计数器
EMBEDED_MEM	0x200-F00	32	音频存储器地址空间
CHANNEL_DESC	0x1000-102C	32	通道配置空间
STREAM_DESC	0x2000-20B8	32	音频数据流描述空间

### 2.1.1 核心状态寄存器

CORE\_STATUS 寄存器用于控制并提供 AC-link 状态, COREC 活动状态和 DMA 使能。

偏移地址 : 0x00

初始值 : 0xC0000000

位	名称	读写	描述
31	AC-link reset status	RW	AC-link 冷复位状态, COLD reset timing using COLD_CNT
30	AC-link suspended status	R	AC-link 挂起状态, defined by SUSPENDED_CNT
29	AC-link resume	RW	AC-link 热复位, WARM reset timing using WARM_CNT
28	AC97 CODEC active status	R	AC97 CODEC 活动状态
27	DMA enable	RW	AHB Master DMA 使能
26:0	RSV	R	保留

## 2.1.2 音频编解码芯片读地址寄存器

该寄存器用于写入 AC97 音频编解码芯片 (CODEC) 的读地址 **偏移地**

**址** : 0x04

**初始值** : 只写、无初值

位	名称	读写	描述
31:7	RSV	W	保留
6:0	CODEC register address	W	CODEC 的读地址

## 2.1.3 音频编解码芯片写地址寄存器

该寄存器用于 AC97 音频编解码芯片 (CODEC) 的写地址、写数据 **偏**

**移地址** : 0x08

**初始值** : 只写、无初值

位	名称	读写	描述
31:16	CODEC register write data.	W	ODEC 的写数据
15:7	RSV	W	保留
6:0	CODEC register write address	W	CODEC 的写地址

## 2.1.4 音频编解码芯片状态寄存器

CODEC 寄存器状态 **偏移地**

**址** : 0x0C **初始值** :

0x0000\_0000

位	名称	读写	描述
31	CODEC register read or write in progress	R	Codec 读、写中
30	CODEC register read data ready	R	Codec 读数据准备完毕的
29:23	RSV	R	保留
22:16	CODEC register address echo	R	Codec 读响应, 相应的读地址
15:0	CODEC register data	R	Codec 读响应, 读到的数据

## 2.1.5 中断屏蔽寄存器

中断屏蔽

偏移地址：0x10

初始值：0x0000\_0000

位	名称	读写	描述
<b>31:28</b>	RSV		
<b>27</b>	PCM In Microphone (slot 6)	RO[bit 11 copy]	
<b>26</b>	PCM In Right (slot 4)	RO[bit 10 copy]	
<b>25</b>	PCM In Left (slot 3)	RO[bit 9 copy]	
<b>24</b>	PCM Out Double Rate Audio Center n+1 (slot 12)	RO[bit 8 copy]	
<b>23</b>	PCM Out Double Rate Audio Right n+1 (slot 11)	RO[bit 7 copy]	
<b>22</b>	PCM Out Double Rate Audio Left n+1 (slot 10)	RO[bit 6 copy]	
<b>21</b>	PCM Out LFE (slot 9)	RO[bit 5 copy]	
<b>20</b>	PCM Out Surround Right (slot 8)	RO[bit 4 copy]	
<b>19</b>	PCM Out Surround Left (slot 7)	RO[bit 3 copy]	
<b>18</b>	PCM Out Center (slot 6)	RO[bit 2 copy]	
<b>17</b>	PCM Out Right (slot 4)	RO[bit 1 copy]	
<b>16</b>	PCM Out Left (slot 3)	RO[bit 0 copy]	
<b>15:12</b>	RSV		
<b>11</b>	PCM In Microphone (slot 6)	RW	
<b>10</b>	PCM In Right (slot 4)	RW	
<b>9</b>	PCM In Left (slot 3)	RW	
<b>8</b>	PCM Out Double Rate Audio Center n+1 (slot 12)	RW	
<b>7</b>	PCM Out Double Rate Audio Right n+1 (slot 11)	RW	
<b>6</b>	PCM Out Double Rate Audio Left n+1 (slot 10)	RW	
<b>5</b>	PCM Out LFE (slot 9)	RW	
<b>4</b>	PCM Out Surround Right (slot 8)	RW	
<b>3</b>	PCM Out Surround Left (slot 7)	RW	
<b>2</b>	PCM Out Center (slot 6)	RW	
<b>1</b>	PCM Out Right (slot 4)	RW	
<b>0</b>	PCM Out Left (slot 3)	RW	

## 2.1.6 中断源寄存器

中断源寄存器用于区分中断的源头。通过 INT\_DMA\_MASK 寄存器标识，bits 0:11 和 16:27 的中断源头可以是核心控制器或 DMA 控制器。如果中断源是内部核心控制器，offset 和 wrap 位表示嵌入式音频存储器的地址。

Bit 31 标志由 DMA 控制器读写总线，但是它收到了一个错误响应写该寄存器的相应位还用于清中断

偏移地址：0x14

初始值：0x0000\_0000

位	名称	读写	描述
<b>31</b>	AHB Master Bus Access Error	RW	
<b>30:28</b>	RSV	R	
<b>27</b>	Wrap PCM In Microphone (slot 6)	RW	
<b>26</b>	Wrap PCM In Right (slot 4)	RW	
<b>25</b>	Wrap PCM In Left (slot 3)	RW	
<b>24</b>	Wrap PCM Out Double Rate Audio Center n+1 (slot 12)	RW	
<b>23</b>	Wrap PCM Out Double Rate Audio Right n+1 (slot 11)	RW	



22	Wrap PCM Out Double Rate Audio Left n+1 (slot 10)	RW	
21	Wrap PCM Out LFE (slot 9)	RW	
20	Wrap PCM Out Surround Right (slot 8)	RW	
19	Wrap PCM Out Surround Left (slot 7)	RW	
18	Wrap PCM Out Center (slot 6)	RW	
17	Wrap PCM Out Right (slot 4)	RW	
16	Wrap PCM Out Left (slot 3)	RW	
15:12	RSV	R	
11	Offset PCM In Microphone (slot 6)	RW	
10	Offset PCM In Right (slot 4)	RW	
9	Offset PCM In Left (slot 3)	RW	
8	Offset PCM Out Double Rate Audio Center n+1 (slot 12)	RW	
7	Offset PCM Out Double Rate Audio Right n+1 (slot 11)	RW	
6	Offset PCM Out Double Rate Audio Left n+1 (slot 10)	RW	
5	Offset PCM Out LFE (slot 9)	RW	
4	Offset PCM Out Surround Right (slot 8)	RW	
3	Offset PCM Out Surround Left (slot 7)	RW	
2	Offset PCM Out Center (slot 6)	RW	
1	Offset PCM Out Right (slot 4)	RW	
0	Offset PCM Out Left (slot 3)	RW	

## 2.1.7 DMA 中断屏蔽寄存器

DMA 中断屏蔽寄存器，如音频通道报中断，该寄存器的相应的位为 1'b1 表示中断源是 DMA，为 1'b0 表示中断由内部核心控制器产生

偏移地址：0x18

初始值：0x0000\_0000

位	名称	读写	描述
31:12	RSV		
11	PCM In Microphone (slot 6)	RW	
10	PCM In Right (slot 4)	RW	
9	PCM In Left (slot 3)	RW	
8	PCM Out Double Rate Audio Center n+1 (slot 12)	RW	
7	PCM Out Double Rate Audio Right n+1 (slot 11)	RW	
6	PCM Out Double Rate Audio Left n+1 (slot 10)	RW	
5	PCM Out LFE (slot 9)	RW	
4	PCM Out Surround Right (slot 8)	RW	
3	PCM Out Surround Left (slot 7)	RW	
2	PCM Out Center (slot 6)	RW	
1	PCM Out Right (slot 4)	RW	
0	PCM Out Left (slot 3)	RW	

## 2.1.8 DMA 中断触发寄存器

INT\_DMA\_TRIGGER 寄存器用于使能中断触发 DMA。如果一位为 1 则将由中断触发 DMA，为 0 则不能通过中断触发 DMA。该寄存器的某一位为 1，则 INT\_DMA\_MASK 寄存器的相应位也应该为 1。

保留位不使用，当使用多个音频通道数据流时，只有最后一个通道的中断位会

设上。

偏移地址：0x1C

初始值：0x0000\_0000

位	名称	读写	描述
31:12	RSV		
11	PCM In Microphone (slot 6)	RW	
10	PCM In Right (slot 4)	RW	
9	PCM In Left (slot 3)	RW	
8	PCM Out Double Rate Audio Center n+1 (slot 12)	RW	
7	PCM Out Double Rate Audio Right n+1 (slot 11)	RW	
6	PCM Out Double Rate Audio Left n+1 (slot 10)	RW	
5	PCM Out LFE (slot 9)	RW	
4	PCM Out Surround Right (slot 8)	RW	
3	PCM Out Surround Left (slot 7)	RW	
2	PCM Out Center (slot 6)	RW	
1	PCM Out Right (slot 4)	RW	
0	PCM Out Left (slot 3)	RW	

## 2.1.9 声道使能寄存器

AUDIO\_ENABLE 寄存器用于使能或关闭某声道的输入、输出。为 1 相应的音频通道使能，为 0 相应通道关闭

偏移地址：0x20

初始值：0x0000\_0000

位	名称	读写	描述
31:12	RSV		
11	PCM In Microphone (slot 6)	RW	
10	PCM In Right (slot 4)	RW	
9	PCM In Left (slot 3)	RW	
8	PCM Out Double Rate Audio Center n+1 (slot 12)	RW	
7	PCM Out Double Rate Audio Right n+1 (slot 11)	RW	
6	PCM Out Double Rate Audio Left n+1 (slot 10)	RW	
5	PCM Out LFE (slot 9)	RW	
4	PCM Out Surround Right (slot 8)	RW	
3	PCM Out Surround Left (slot 7)	RW	
2	PCM Out Center (slot 6)	RW	
1	PCM Out Right (slot 4)	RW	
0	PCM Out Left (slot 3)	RW	

## 2.1.10 冷复位计数器

冷复位时（将 CORE\_STATUS 寄存器的 31 位写 0），冷复位寄存器用于控制 ac97\_rst\_pad\_on 冷复位信号保持有效 1μs。冷复位是一个完整的 CODEC 硬件复位，所有的 AC97 CODEC 寄存器都复位为初值。冷复位的计时使用一下计算公式：

$$N=1 \mu s * f(\text{AHB\_clk\_i})$$

AHB 时钟为 100 MHz，这个计数值为 0x64 (1000/10=100)。

偏移地址：0x24

初始值：0x0000\_0000

位	名称	读写	描述
---	----	----	----

<b>31:8</b>	RSV		
<b>7:0</b>	Cold reset counter	RW	

### 2.1.11 热复位计数器

热复位时（将 CORE\_STATUS 寄存器的 29 位写 0），热复位寄存器用于控制 ac97\_sync\_pad\_o 热复位信号保持有效 1μs。

当 CODEC 进入低功耗状态后，可通过写 CODEC 的寄存器（0x26）进行热复位

热复位只复位 AC-link，不会修改 AC97 CODEC 寄存器的值

偏移地址：0x28

初始值：0x0000\_00F5

位	名称	读写	描述
<b>31:8</b>	RSV		
<b>7:0</b>	Warm reset counter.	RW	

### 2.1.12 挂起计数器

该寄存器用于确定 AC-link 是否处于挂起状态，ac97\_bit\_clk\_pad\_i is absent for at least two predicted bit clock periods (163ns)。可通过写寄存器（0x26）CODEC 进入低功耗状态。

悬挂侦测计数器使用一下公式进行计算：

$$N=163 \text{ ns} * f(\text{wb\_clk\_i})$$

对于 100 MHz AHB 时钟这个值为 4(163ns\*100Mhz ≈ 17)

偏移地址：0x2C

初始值：0x0000\_0009

位	名称	读写	描述
<b>31:8</b>	RSV		
<b>7:0</b>	Suspend detect counter.	RW	

### 2.1.13 嵌入式存储器

偏移地址：0x200—0x F00 放音时系统将数据写入嵌入式存储器，录音时系统在嵌入式存储器中读取输入的数据。

位	名称	读写	描述
<b>31:12</b>	Embedded memory output data, MSB aligned (20, 18 or 16 bits).	W	
<b>7:0</b>	RSV	W	

位	名称	读写	描述
<b>31:12</b>	Embedded memory input data, MSB aligned (20, 18 or 16 bits).	W	
<b>7:0</b>	RSV	W	

AC97 控制器只接收双字对界的传输，AHB 总线的地址的低两位总为 0，所以嵌入式存储器的地址为 AHB 总线的地址的[n:2]位。地址空间划分如下：输出通道地址：

AHB ADDR [12:0]	DEFINES	Access
0x7FC	AC97_SND_PCM_LFE_TOP	W
0x700	AC97_SND_PCM_LFE_BOTTOM	W
0x6FC	AC97_SND_PCM_SURR_R_TOP	W
0x600	AC97_SND_PCM_SURR_R_BOTTOM	W
0x5FC	AC97_SND_PCM_SURR_L_TOP	W
0x500	AC97_SND_PCM_SURR_L_BOTTOM	W
0x4FC	AC97_SND_PCM_C_TOP	W
0x400	AC97_SND_PCM_C_BOTTOM	W
0x3FC	AC97_SND_PCM_R_TOP	W
0x300	AC97_SND_PCM_R_BOTTOM	W
0x2FC	AC97_SND_PCM_L_TOP	W
0x200	AC97_SND_PCM_L_BOTTOM	W

输入通道地址:

AHB ADDR [12:0]	DEFINES	Access
0xAFC	AC97_REC_PCM_MIC_TOP	W
0xA00	AC97_REC_PCM_MIC_BOTTOM	W
0x9FC	AC97_REC_PCM_R_TOP	W
0x900	AC97_REC_PCM_R_BOTTOM	W
0x8FC	AC97_REC_PCM_L_TOP	W
0x800	AC97_REC_PCM_L_BOTTOM	W

## 2.1.14 流描述符

偏移地址 : 0x1000—0x 102c

流描述符(Stream descriptor)表有 12 个条目, 96 位宽。每个条目表示一个使能的 DMA 通道, 内容包括: 基地址, 缓冲的深度(bytes), stream 号, 通道号和数据大小。在一个流内, 通过描述符译码确定声道号和顺序。

AMBA address (Bit #[2])	Access	Description			
0x2000<+4>0x20B0 (bit2=0)	W	31:0 Buffer base address 0			
0x2004<+4>0x20B4 (bit2=1)	W	31:0 Buffer base address 1			
0x2008<+4>0x20B8 (bit2=1)	W	31:10 Buffer length	9:6 Stream number	5:2 Channel number	1:0 Data size

流描述符条目的内容

音频数据流, 都是高位对齐的

Sample 3	Sample 2
Sample 1	Sample 0

16 bit sample size data container

Sample 1	
Sample 0	

18 bit sample size data container

Sample 3	
Sample 1	

20 bit sample size data container

## 2.1.15 通道描述符

**偏移地址**：0x2000—0x20B8 通道描述符(CHANNEL\_DESC)是一个简单的表，每个项目指向一个触发了相应数据流(stream)的 DMA 音频通道的中断。表项的[3:0]是 STREAM\_DESC 的索引

Bit #	Access	Description
31:4	W	Reserved
3:0	W	Stream descriptor address.(index)

Address [5:2]	Description
1011	STREAM_DESC index PCM In Microphone
1010	STREAM_DESC index PCM In Right
1001	STREAM_DESC index PCM In Left
1000	STREAM_DESC index PCM Out DRA Center
0111	STREAM_DESC index PCM Out DRA Right
0110	STREAM_DESC index PCM Out DRA Left
0101	STREAM_DESC index PCM Out LFE
0100	STREAM_DESC index PCM Out Surround Right
0011	STREAM_DESC index PCM Out Surround Left
0010	STREAM_DESC index PCM Out Center
0001	STREAM_DESC index PCM Out Right
0000	STREAM_DESC index PCM Out Left

## 2.2 GMAC 控制器 0/1

**GMAC 0 维护地址**：0x5020,0000 + offset[15:0] **GMAC 1**

**维护地址**：0x5028,0000 + offset[15:0]

### 2.2.1 以太网 DMA 寄存器

Register No.	Offset Address	寄存器名	说明
0	0x1000	Bus Mode Register	总线模式寄存器
1	0x1004	Transmit Poll Demand Register	发送查询要求寄存器
2	0x1008	Receive Poll Demand Register	接收查询要求寄存器
3	0x100C	Receive Descriptor List Address Register	接收描述符列表地址寄存器
4	0x1010	Receive Descriptor List Address Register	发送描述符列表地址寄存器
5	0x1014	Transmit Descriptor List Address Register	状态寄存器
6	0x1018	Status Register	操作模式寄存器
7	0x101C	Operation Mode Register	中断使能寄存器
8	0x1020	Interrupt Enable Register	丢弃帧和缓冲溢出计数器寄存器
9	0x1024	Missed Frame and Buffer Overflow Counter Register	接收中断监测定时寄存器

10	0x1028	Receive Interrupt Watchdog Timer Register	AXI 总线模式寄存器
11	0x102C	AXI Bus Mode Register	AXI 状态寄存器
12-17	0x1030-0x1044		保留
18	0x1048	Current Host Transmit Descriptor Register	当前主机发送描述符寄存器
19	0x104C	Current Host Receive Descriptor Register	当前主机接收描述符寄存器
20	0x1050	Current Host Transmit Buffer Address Register	当前发送缓冲地址寄存器
21	0x1054	Current Host Receive Buffer Address Register	当前主机接收地址寄存器
22	0x1058	HW Feature Register	硬件特征寄存器

### 2.2.1.1 偏移 0x1000: 总线模式寄存器

总线模式寄存器为 DMA 建立总线模式。

位	说明	复位值	访问
31:26	保留	0	RO
25	<b>AAL:</b> 地址对界传输 当这位设置为 1, FB=1 时, AXI 总线产生所有的突发传输都与开始地址的 LS 位对界。如果 FB=0 时, 第一个突发传输(访问数据缓冲开始地址)是不对界的, 后继的突发传输是地址对界的。	0	RW
24	<b>8xPBL 模式</b> 当设置为 1, 这位使设置的 PBL 值(位[22:17]和位[13:8])乘以 8。这样 DMA 将基于 PBL 值最大传输数据 8、16、32、64、128 和 256 拍。	0	RW
23	<b>USPS:</b> 使用分开的 PBL 当设置为 1, RxDMA 使用[22:17]位配置 PBL 值, TxDMA 使用[13:8]位配置 PBL 值。如果这位清除为 0, [13:8]位用作两个 DMA 引擎的 PBL 值。	0	RW
22:17	<b>RPBL: RxDMA PBL</b> 这位表明 RxDMA 传输中最大的传输拍数。这是用于单个块读写的最大值。RxDMA 在主机总线开始突发传输时, 总是准备发出 RPBL 定义的长度。RPBL 可以设置为 1、2、4、8、16 和 32, 其他的值会导致不确定的行为。这位只有当 USP 为 1 时有效。	1	RW
16	<b>FB: 固定突发长度</b> 这位控制 AXI 主接口执行突发传输是否固定长度。当设置为 1 时, 参考 AXI 总线模式寄存器(偏移 0x1028)的 UNDEF(第[0]位)的说明。	0	RW
15:14	保留	0	RO
13:8	<b>PBL: 可编程突发传输长度</b> 这个域表明一个 DMA 传输中的最大数据拍数。当前配置下 PBL 最大值为 64。当 8xPBL=1 时, 这个域的最大值为 8。	1	RW
7	保留	0	RO

6:2	<b>DSL: 描述符跨步长度</b> 这个域定义了两个非链接描述符间的跨步长度, 地址从当前描述符的最后到下一个描述符的开始。当 DSL 设置为 0, DMA 来说描述符表是连续的, 是环模式。	0	RW
1	保留	0	RO
0	<b>SWR: 软件复位</b> 当这位设置为 1, MAC DMA 控制器复位所有 GMAC 子系统内部寄存器和逻辑。复位动作完成后自动清除核心时钟域的所有逻辑。在重新设置寄存器前确认这位为 0。 <b>注意:</b> 复位操作完成需要在所有活跃时钟域内都完成, 所以在软件复位完成前所有 PHY 输入时钟必须有效。	0	RWSSC

### 2.2.1.2 偏移 0x1004: 发送查询要求寄存器

发送查询命令寄存器使发送 DMA 检查当前描述符是否属于 DMA。使用发送查询需求命令唤醒在悬挂模式的 TxDMA。TxDMA 可能进入悬挂模式由于传输帧时的下溢错误, 或者 TxDMA 没有拿到描述符所有权。可以在任何时候使用这个命令, TxDMA 会重新从主机主存中取当前描述符。

位	说明	复位值	访问
31:0	<b>TPD: 发送查询需求</b> 当这个域写任何值, DMA 从当前描述符寄存器(偏移 0x1048)指向的地址重新取描述符。如果这个描述符不可用(所有权属于主机), 发送操作重新返回悬挂状态, 并设置状态寄存器(偏移 0x1014)第[2]位。如果描述符可用, 发送操作开始正常工作。	0	ROWT

### 2.2.1.3 偏移 0x1008: 接收查询要求寄存器

发送查询命令寄存器使接收 DMA 检查当前描述符是否属于 DMA。这个命令用于唤醒在悬挂模式的 RxDMA。RxDMA 只会由于没有拿到描述符所有权才进入悬挂模式。

位	说明	复位值	访问
31:0	<b>RPD: 接收查询需求</b> 当这个域写任何值, DMA 从当前描述符寄存器(偏移 0x104C)指向的地址重新取描述符。如果这个描述符不可用(所有权属于主机), 发送重新返回悬挂状态, 并设置状态寄存器(偏移 0x1014)第[7]位。如果描述符可用, 接收 DMA 返回活跃状态。	0	ROWT

### 2.2.1.4 偏移 0x100C: 接收描述符列表地址寄存器

接收描述符地址寄存器指向接收描述符列表的起始地址。描述符在主机物理主存空间, 地址是 4 字节(4B)对界的。DMA 屏蔽 LS[3:0]强制地址对界。只有当接收流程停止时, 才能写个寄存器。这个寄存器必须在接收开始命令开始前写入。

位	说明	复位值	访问
31:0	<b>SRL: 接收列表开始地址</b> 这个域包含接收描述符列表的起始地址。DMA 忽略 LSB[3:0]当作全 0。	0	RW



### 2.2.1.5 偏移 0x1010: 发送描述符列表地址寄存器

发送描述符地址寄存器指向接收描述符列表的起始地址。描述符在主机物理主存空间，地址是 长字 (4B)对界的。DMA 屏蔽 LS[3:0]强制地址对界。只有当发送流程停止时，才能写个寄存器。这个寄存器必须在发送开始命令开始前写入。

位	说明	复位值	访问
31:0	TRL: 发送列表开始地址 这个域包含发送描述符列表的起始地址。DMA 忽略 LSB[3:0] 当作全 0。	0	RW

### 2.2.1.6 偏移 0x1014: 状态寄存器

状态寄存器中包含所有 DMA 报告给主机的状态，通常用于软件驱动程序在中断服务流程或轮询中读取。这个寄存器中很多域会导致主机进入中断。这个寄存器的值是写 1 清除，写 0 没有影响。域[16:0]可以被中断使能寄存器(偏移 0x101C)屏蔽。

位	说明	复位值	访问
31:30	保留	0	RO
29	TTI: 时间戳触发中断 这位表明中断事件由时间戳产生模块产生。软件应该读取 GMAC 核心中对应的寄存器得到中断的具体原因，并清除中断位为 0。	0	RO
28	GPI: GMAC PMT 中断 这位表明中断事件由电源管理模块产生。软件应该读取 GMAC 核心中对应的寄存器得到中断的具体原因，并清除中断位为 0。	0	RO
27	GMI: GMAC MMC 中断 这位表明中断事件由 MAC 管理计数器模块产生。软件应该读取 GMAC 核心中对应的寄存器得到中断的具体原因，并清除中断位为 0。	0	RO
26	GLI: GMAC 链路接口中断 这位表明中断事件由 GMAC 核心 PCS 或 RGMII 接口模块产生。软件应该读取 GMAC 核心中对应的寄存器得到中断的具体原因，并清除中断位为 0。	0	RO
25:23	EB: 错误位 这位表明由导致 AXI 总线错误的类型。只有当致命总线错误位(第[13]位)为 1 时才有效。这个域不会产生中断。 [25] 1'b1 描述符传输过程中产生错误 1'b0 数据传输过程中产生错误 [24] 1'b1 读传输过程中产生错误 1'b0 写传输过程中产生错误 [23] 1'b1 TxDMA 传输过程中产生错误 1'b0 RxDMA 传输过程中产生错误	0	RO



22:20	<b>TS: 发送过程状态机</b> 这个域表明 TxDMA 的状态机值。这个域不产生中断。 3'b000: 停止; 发出复位或停止发送命令 3'b001: 运行; 取发送描述符 3'b010: 运行; 等待状态 3'b011: 运行; 从主机主存缓冲中取数据, 在发送缓冲中排队 3'b100: 时间戳写状态 3'b101: 保留 3'b110: 悬挂; 发送描述符不可用或者发送缓冲下溢 3'b111: 运行, 关闭发送描述符	0	RO
19:17	<b>RS: 接收过程状态</b> 这个域表明 RxDMA 的状态机值。这个域不产生中断。 3'b000: 停止; 发出复位或停止接收命令 3'b001: 运行; 取接收描述符 3'b010: 保留 3'b011: 运行; 等待接收包 3'b100: 悬挂; 接收描述符不可用 3'b101: 运行; 关闭发送描述符 3'b110: 时间戳写状态 3'b111: 运行; 从接收缓冲中向主机主存发送接收包数据	0	RO
16	<b>NIS: 正常中断汇总</b> 当下列任何位对应的中断发生并且使能时这位为 1: [0]: 发送中断 [2]: 发送缓冲不可用 [6]: 接收中断 [14]: 早期接收中断 这是个粘滞位, 必须每次清除导致 NIS 中断的位时同时清除 (写 1 清除)。	0	RSSWC
15	<b>AIS: 不正常中断汇总</b> 当任何下列位对应的中断发生并且使能时这位为 1: [1]: 发送过程停止 [3]: 持续发送超时 [4]: 接收缓冲上溢 [5]: 发送下溢 [7]: 接收缓冲不可用 [8]: 接收过程停止 [9]: 接 收看门狗超时 [10]: 早期发送中断 [13]: 致命总线错误 这是个粘滞位, 必须每次清除导致 NIS 中断的位时同时清除 (写 1 清除)。	0	RSSWC
14	<b>ERI: 早期接收中断</b> 这位表明 DMA 已经填充了第一个数据缓冲或者包, 接收中断 (第[6]位)自动清除这位。	0	RSSWC
13	<b>FBI: 致命总线错误中断</b> 这位表明发生了总线错误, [25:23]位说明了具体原因。当这位设置为 1 时, 对应的 DMA 引擎不处理任何总线访问。	0	RSSWC
12:11	保留	0	RO
10	<b>ETI: 早期发送中断</b> 这位表明要传输的帧已经全部发送到发送缓冲中了。	0	RSSWC

9	<b>RWT: 接收看门狗超时</b> 这位表明接受的帧长度超过 2048B, 巨大帧使能时超过 10240B。	0	RSSWC
8	<b>RPS: 接收过程停止</b> 这位表明接收过程进入停止状态。	0	RSSWC
7	<b>RU: 接收缓冲不可用</b> 这位表明接收列表中的下一个描述符所有权属于主机, 不能被 DMA 使用, 接收过程停止。为了恢复接收描述符过程, 主机需要改变描述符的所有权, 并发出接收查询需求命令。如果没有接收查询需求命令, 当收到下一个正确的帧接收过程也会恢	0	RSSWC
	复。只有当上一个接收描述符属于 DMA 时才会设置这位。		
6	<b>RI: 接收中断</b> 这位表明帧接收完成。定义的帧状态信息回填到了描述符。接收仍处于运行状态。	0	RSSWC
5	<b>UNF: 发送下溢</b> 这位表明发送缓冲在帧传输过程中发生下溢。发送过程进入悬挂状态, 描述符中下溢错误 TDES0[1] 设置为 1。	0	RSSWC
4	<b>OVF: 接收上溢</b> 这位表明在帧接收过程中接收缓冲上溢。如果部分帧已经传输给主机, 描述符中上溢标记 RDES0[11] 设置为 1。	0	RSSWC
3	<b>TJT: 持续发送超时</b> 这位表明发生持续发送超时, 表明发送端过于活跃了。发送过程被停止并进入停止状态。描述符中持续发送超时 TDES0[14] 设置为 1。	0	RSSWC
2	<b>TU: 发送缓冲不可用</b> 这位表明发送列表中的下一个描述符属于主机, 不能被 DMA 使用。发送过程停止。[22:20]位说明了发送状态机状态。为了恢复处理发送描述符, 主机应该改变描述符的所有位, 并发出发送查询需求命令。	0	RSSWC
1	<b>TPS: 发送过程停止</b> 这位表明发送过程停止。	0	RSSWC
0	<b>TI: 发送中断</b> 这位表明帧传输结束, 帧的第一个描述符中设置了中断位 TDES1[31]。	0	RSSWC

### 2.2.1.7 偏移 0x1018: 操作模式寄存器

操作模式寄存器建立了发送和接收的操作模式和命令。这个寄存器是 DMA 初始化过程最后写的寄存器。

位	说明	复位值	访问
31:27	保留	0	RO
26	<b>DT: 不使能丢弃 TCP/IP 检查错误帧</b> 当这位设置为 1, 核心不丢弃只有接收校验负载引擎检查出错的帧。这样的帧在 MAC 层收到的以太网帧层次没有任何错 (包括 PCS 错), 只是在封装负载时出错。当这位清除为 0, 如果 FET 清除为 0, 所有错误帧都被丢弃。如果全校验负载引擎是不使能的, 那这位是保留的, 且值为 0。	0	RW

25	<b>RSF: 接收存储转发</b> 当这位设置为 1, 只有当完整的帧写入 Rx FIFO 时 MTL 才开始读取帧, 忽略 RTC 域。当这位清除为 0, Rx FIFO 工作在虫洞模式, 不考虑 RTC 域设置的阈值。	0	RW
24	<b>DFE: 不使能清除接收帧</b> 当这位设置为 1, 不使能 Rx DMA 由于接收描述符/缓冲不可用而清除任何帧。而这位清除为 0 时 Rx DMA 由于接收描述符/缓冲不可用会清除帧。	0	RW
23	<b>RFA[2]:</b> 当 Rx FIFO 位 4KB 或者更小时这位为保留位	0	RW
22	<b>RFD[2]:</b> 当 Rx FIFO 位 4KB 或者更小时这位为保留位	0	RW
21	<b>TSF: 发送存储转发</b> 当这位设置为 1, 只有当完整的帧写入 Tx FIFO 时 MTL 才开始发送帧, 忽略 TTC 域。只有在发送停止时这位才能被修改。	0	RW
20	<b>FTF: 清除发送缓冲</b> 当这位设置时, 发送缓冲控制逻辑复位成缺省值, Tx FIFO 中所有的数据都丢失/刷新了。当刷新操作全部完成后, 内部清除这位为 0。操作模式不能被写直到这位被清除为 0。已经被 MAC 传输器接收的数据不会被刷新。这将被调度用于传输, 并且导致下溢, 发送不完全的帧。	0	RW
19:17	保留	0	RO
16:14	<b>TTC: 发送阈值控制</b> 这个域控制 MTL 发送 FIFO 的阈值水平。当 MTL 发送 FIFO 中的帧大小大于这个阈值时发送开始。另外, 整个帧长度小于这个阈值也会被发送。当 TSF 设置为 0 时这个域有效。 000: 64 001: 128 010: 192 011: 256 100: 40 101: 32 110: 24 111: 16	0	RW
13	<b>ST: 开始/停止发送命令</b> 当这位设置为 1, 发送过程在运行状态, DMA 检查当前状态的发送列表, 用于传输帧。获得描述符或者从列表中的当前位置, 发送列表基址寄存器中设置的, 或者从上次传输停止的位置。如果当前描述符不属于 DMA, 发送进入悬挂状态, 并设置发送缓冲不可用。只有当发送停止时, 开始发送命令才有效。如果在设置发送列表基址寄存器前发出开始发送命令, DMA 的行为是不确定的。 当这位清除为 0, 当发送完当前帧后发送过程进入停止状态。描述符列表中的下一个描述符位置, 作为当前描述符位置被保留起来。只有当当前帧发送完成或者发送过程在悬挂状态时, 停止发送命令有效。	0	RW
12:11	<b>RFD: 解除活动流控制阈值 (包括软件和硬件)</b> 这个域当 Rx FIFO 深度小于 4KB 时为保留域。	0	RO
10:9	<b>RFA: 激活流控制阈值 (包括软件和硬件)</b> 这个域当 Rx FIFO 深度小于 4KB 时为保留域。	0	RO
8	<b>EFC: 使能硬件流控制</b> 这位当 Rx FIFO 小于 4KB 时为保留的	0	RO

7	<b>FEF: 发送错误帧</b> 当这位清除为 0 时, RxFIFO 丢弃带错误状态的帧 (CRC 错, 冲突错误, GMII 错, 巨大帧, 看门狗超时, 上溢)。然而, 如果帧开始字节 (写) 指针已经传递到读控制器边 (在阈值模式), 这个帧不会被丢掉。	0	RW
6	<b>FUF: 发送小于长度的正确帧</b> 当设置为 1, RxFIFO 将传递小于长度的帧 (帧没有错误, 长度小于 64B, 包括 PAD 字节和 CRC)。当清除为 0, RxFIFO 将丢弃所有小于 64B 的帧, 除了由于较低接收阈值 (例如 RTC=01) 导致已经传递的帧。	0	RW
5	保留	0	RO
4:3	<b>RTC: 接收阈值控制</b> 这两位控制 MTL 接收 FIFO 的的阈值水平。当 MTL 接收 FIFO 的帧大小大于这个阈值, 向 DMA 的发送 (请求) 开始。另外, 整个帧长度小于阈值的也会被自动发送。只有当 RSF 位为 0 时这个域才有效, 当 RSF 为 1 时这个域被忽略。 00: 64 01: 32 10: 96 11: 128	0	RW
2	<b>OSF: 第二帧开始操作</b> 当这位设置为 1, 这位指示 DMA 处理发送数据的第二帧, 即使已经获得了第一帧的状态。	0	RW
1	<b>SR: 开始/停止接收命令</b> 当这位设置为 1, 结果过程在运行状态, DMA 检查当前状态的接收列表, 用于接收到达的帧。获得描述符或者从列表中的当前位置, 接收列表基址寄存器中设置的, 或者从上次接收停止的位置。如果当前描述符不属于 DMA, 发送进入悬挂状态, 并设置接收缓冲不可用。只有当接收停止时, 开始接收命令才有效。如果在设置接收列表基址寄存器前发出开始接收命令, DMA 的行为是不确定的。 当这位清除为 0, 当接收完当前帧后发送过程进入停止状态。描述符列表中的下一个描述符位置, 作为当前描述符位置被保留起来。只有当接收过程在运行状态 (等待接收帧) 或者悬挂状态时, 停止接收命令有效。	0	RW
0	保留	0	RO

### 2.2.1.8 偏移 0x101C: 中断使能寄存器

位	说明	复位值	访问
31:17	保留	0	RO
16	<b>NIE: 正常中断汇总使能</b> 当这位设置为 1, 正常中断是使能的。当这位清除为 0, 正常中断是不使能的。这位使能下面的位: 状态寄存器[0]: 发送中断 状态寄存器[2]: 发送缓冲不可用 状态寄存器[6]: 接收中断 状态寄存器[14]: 早期接收中断	0	RW

15	<b>AIE: 不正常中断汇总使能</b> 当这位设置为 1, 不正常中断是使能的。当这位清除为 0, 不正常中断是不使能的。这位使能下面的位: 状态寄存器[1]: 发送过程停止 状态寄存器[3]: 持续发送超时 状态寄存器[4]: 接收缓冲上溢	0	RW
	状态寄存器[5]: 发送下溢 状态寄存器[7]: 接收缓冲不可用 状态寄存器[8]: 接收过程停止 状 态寄存器[9]: 接收看门狗超时 状 态寄存器[10]: 早期发送中断 状 态寄存器[13]: 致命总线错误		
14	<b>ERE: 早期接收中断使能</b> 当这位设置为 1, 并且正常中断使能, 早期接收中断是使能的。如果这位清除为 0, 早期接收中断是不使能的。	0	RW
13	<b>FBE: 致命总线错误中断使能</b> 当这位设置为 1, 并且不正常中断使能, 致命总线错误中断是使能的。如果这位清除为 0, 致命总线错误中断是不使能的。	0	RW
12:11	保留	0	RW
10	<b>ETE: 早期发送中断使能</b> 当这位设置为 1, 并且不正常中断使能, 早期发送中断是使能的。如果这位清除为 0, 早期发送中断是不使能的。	0	RW
9	<b>RWE: 接收看门狗超时中断使能</b> 当这位设置为 1, 并且不正常中断使能, 接收看门狗超时中断是使能的。如果这位清除为 0, 接收看门狗超时中断是不使能的。	0	RW
8	<b>RSE: 接收过程停止中断使能</b> 当这位设置为 1, 并且不正常中断使能, 接收过程停止中断是使能的。如果这位清除为 0, 接收过程停止中断是不使能的。	0	RW
7	<b>RUE: 接收缓冲不可用使能</b> 当这位设置为 1, 并且不正常中断使能, 接收缓冲不可用中断是使能的。如果这位清除为 0, 接收缓冲不可用中断是不使能的。	0	RW
6	<b>RIE: 接收中断使能</b> 当这位设置为 1, 并且正常中断使能, 接收中断是使能的。如果这位清除为 0, 接收中断是不使能的。	0	RW
5	<b>UNE: 发送下溢中断</b> 当这位设置为 1, 并且不正常中断使能, 发送下溢中断是使能的。如果这位清除为 0, 发送下溢中断是不使能的。	0	RW
4	<b>OVE: 接收上溢中断使能</b> 当这位设置为 1, 并且不正常中断使能, 接收上溢中断是使能的。如果这位清除为 0, 接收上溢中断是不使能的。	0	RW
3	<b>TJE: 持续发送超时中断使能</b> 当这位设置为 1, 并且不正常中断使能, 持续发送超时中断是使能的。如果这位清除为 0, 发送超时中断是不使能的。	0	RW
2	<b>TUE: 发送缓冲不可用中断使能</b> 当这位设置为 1, 并且正常中断使能, 发送缓冲不可用中断是使能的。如果这位清除为 0, 发送缓冲不可用中断是不使能的。	0	RW
1	<b>TSE: 发送过程停止中断使能</b> 当这位设置为 1, 并且不正常中断使能, 发送过程停止中断是使能的。如果这位清除为 0, 发送过程停止中断是不使能的。	0	RW
0	<b>TIE: 发送中断使能</b>	0	RW

	当这位设置为 1，并且正常中断使能，发送中断是使能的。如果这位清除为 0，发送中断是不使能的。		
--	---	--	--

### 2.2.1.9 偏移 0x1020：丢弃帧和缓冲溢出计数器寄存器

位	说明	复位值	访问
31:29	保留	0	RO
28	FIFO 溢出计数器溢出位	0	RSSRC
27:17	表明应用端丢失的帧数量。当 MTL 每次置起边带信号 mtl_rxoverflow_o 时计数器增加。	0	RSSRC
16	丢失帧计数器溢出位	0	RSSRC
15:0	表明由于主机接收缓冲不可用导致控制器丢失的帧数量。每次 DMA 丢弃进入的帧时这个计数器增加。	0	RSSRC

### 2.2.1.10 偏移 0x1024：接收中断监测定时寄存器

位	说明	复位值	访问
31:8	保留	0	RO
7:0	RIWT: RI 看门狗计时器计数 表明看门狗计时器的设置值乘以 256 的系统时钟周期。当 RxDMA 完成帧的传输后，由于帧对应的 RDES1[31]没有设置，RI 状态位没有设置，看门狗计时器按照编程的计数值开始计数。当看门狗计时器结束时，设置 RI 位，计时器停止。当 RI 位置由于收到帧的 RDES1[31]为 1 置起来时，看门狗计时器重置。	0	RW

### 2.2.1.11 偏移 0x1028：AXI 总线模式寄存器

位	说明	复位值	访问
31	EN_LPI: 使能 LPI (低功耗接口) 当设置为 1，使能 AXI 端口的 LPI，接收 AXI 系统时钟控制器的 LPI 请求。当清除为 0，不使能 AXI 端口的 LPI，不接收 AXI 系统时钟控制器的 LPI 请求。	0	RW
30	UNLCK_ON_MGK_PWK: 解锁魔包或远程唤醒包。当设置为 1，只有当接收到魔包或远程唤醒包时，使能 AXI 接口离开低功耗模式。当设置为 0，收到任何包都使能 AXI 接口离开低功耗模式。	0	RW
29:22	保留	0	RO
21:20	WR_OSR_LMT: AXI 最大写悬挂请求限制 这个值限制 AXI 写端口的最大悬挂请求为 WR_OSR_LMT+1	1	RW
19:18	保留	0	RO
17:16	RD_OSR_LMT: AXI 最大读悬挂请求限制 这个值限制 AXI 读端口的最大悬挂请求为 RD_OSR_LMT+1	1	RW
15:13	保留	0	RO
12	AXI_AAL: 地址对界发送 这位是只读的，并且影响总线模式寄存器[25]位的 AAL 位。	0	RO



	当这位设置为 1, AXI 总线接口在读写通道都执行地址对界突发传输。		
11:4	保留	0	RO
3	<b>BLEN16:</b> AXI 总线突发传输长度 16 当这位设置为 1, 或者当 UNDEF 设置为 1, AXI 总线可以进行长度为 16 的突发传输。	0	RW
2	<b>BLEN8:</b> AXI 总线突发传输长度 8 当这位设置为 1, 或者当 UNDEF 设置为 1, AXI 总线可以进行长度为 8 的突发传输。	0	RW
1	<b>BLEN4:</b> AXI 总线突发传输长度 4 当这位设置为 1, 或者当 UNDEF 设置为 1, AXI 总线可以进行长度为 4 的突发传输。	0	RW
0	<b>UNDEF:</b> AXI 未定义突发长度 这位是只读的, 表明总线模式寄存器[16]位的 FB 位的相反值。当这位设置为 1, AXI 接口可以进行任何等于或小于 AXI 总线突发长度域中定义的最大长度的突发传输。当这位清除为 0, AXI 接口只能执行 AXI 总线突发长度域中定义的长度的传输, 或者长度为 1 的传输。	1	RW

### 2.2.1.12 偏移 0x102C: AXI 状态寄存器

位	说明	复位值	访问
31:2	保留	0	RO
1	当设置为 1, 表明 AXI 主端口读通道是活跃的, 在传输数据	0	RO
0	当设置为 1, 表明 AXI 主端口写通道是活跃的, 在传输数据	0	RO

### 2.2.1.13 偏移 0x1048: 当前主机发送描述符寄存器

位	说明	复位值	访问
31:0	主机发送描述符指针 复位时清除。DMA 操作期间指针进行更新。	0	RW

### 2.2.1.14 偏移 0x104C: 当前主机接收描述符寄存器

位	说明	复位值	访问
31:0	主机接收描述符指针 复位时清除。DMA 操作期间指针进行更新。	0	RW

### 2.2.1.15 偏移 0x1050: 当前发送缓冲地址寄存器

位	说明	复位值	访问
31:0	主机发送缓冲地址指针 复位时清除。DMA 操作期间指针进行更新。	0	RW

### 2.2.1.16 偏移 0x1054: 当前主机接收地址寄存器

位	说明	复位值	访问
31:0	主机接收缓冲地址指针 复位时清除。DMA 操作期间指针进行更新。	0	RW

### 2.2.1.17 偏移 0x1058: 硬件特征寄存器

位	说明	复位值	访问
31:25	保留	0	RO
24	替代（增强）描述符	0	RO
23:20	保留	0	RO
19	RxFIFO 大于 2048B	1	RO
18	IP 检查 Rx 负载（类型 2）	1	RO
17	IP 检查 Rx 负载（类型 1）	0	RO
16	检查 Tx 负载	1	RO
15:14	保留	0	RO
13	IEEE 1588-2008 增强时间戳	0	RO
12	IEEE 1588-2008 时间戳	0	RO
11	RMON 模型	1	RO
10	PMT 魔包	1	RO
9	PMT 远程唤醒	1	RO
8	SMA (MDIO) 接口	1	RO
7	保留	0	RO
6	PCS 寄存器 (TBI/SGMII/RTBI PHY 接口)	0	RO
5	多 MAC 地址寄存器	0	RO
4	HASH 过滤	1	RO
3	保留	0	RO
2	半双工支持	1	RO
1	1000Mbps 支持	1	RO
0	10/100Mbps 支持	1	RO

## 2.2.2 以太网 GMAC 寄存器

Base Address[63:13]: GMAC BAR0[63:19]+6'b0

Register No.	Offset Address		寄存器名
0	0x0000	MAC Configuration Register	MAC 配置寄存器
1	0x0004	MAC Frame Filter	MAC 帧过滤寄存器
2	0x0008	Hash Table High Register	哈希表高 32 位寄存器
3	0x000C	Hash Table Low Register	哈希表低 32 位寄存器
4	0x0010	GMII Address Register	GMII 地址寄存器
5	0x0014	GMII Data Register	GMII 数据寄存器
6	0x0018	Flow Control Register	流控制寄存器
7	0x001C	VLAN Tag Register	VLAN 标记寄存器



8	0x0020	Version Register	版本号寄存器
9	0x0024	Debug Register	调试寄存器
10	0x0028	Remoter Wake-Up Frame Filter	远程唤醒帧过滤寄存器
11	0x002C	PMT Control and Status	电源管理控制和状态寄存器
12-13	0x0030-0x0034		保留
14	0x0038	Interrupt Status Register	中断状态寄存器
15	0x003C	Interrupt Mask Register	中断屏蔽寄存器
16	0x0040	MAC Address0 High Register	MAC 地址 0 高 32 位寄存器
17	0x0044	MAC Address0 Low Register	MAC 地址 0 低 32 位寄存器
18-47	0x0048-0x00BC		MAC 地址 0-15 高/低 32 位寄存器 (未实现)
48	0x00C0	AN Control Register	自动协商控制寄存器
49	0x00C4	AN Status Register	自动协商状态寄存器
50	0x00C8	Auto-Negotiation Advertisement Register	自动协商公告寄存器
51	0x00CC	Auto-Negotiation Link Partner Ability Register	自动协商链路配合能力寄存器
52	0x00D0	Auto-Negotiation Expansion Register	自动协商扩展寄存器
53	0x00D4	TBI Exlended Status Register	TBI 扩展状态寄存器
54	0x00D8	SGMII/RGMII/SMII Status Register	SGMII/RGMII/SMII 状态寄存器
55-63	0x00DC-0x00FC		保留
64-191	0x0100-0x02FC	MMC Register Map	MAC 管理计数器寄存器 (未实现)
192-447	0x0300-0x06FC		保留
448-461	0x0700-0x0731		时钟标记寄存器 (未实现)
462-511	0x0738-0x07FC		保留
512-543	0x0800-0x087C		MAC 地址 16-31 高/低 32 位寄存器 (未实现)
	0x0880-0x0FFC		保留

### 2.2.2.1 偏移 0x0000: MAC 配置寄存器

位	说明	复位值	访问
31:27	保留	0	RO
26	SFTERR: SMII 强制发送错误	0	RW
25	CST: 根据帧类型 CRC 剥除 当设置为 1, 所有以太网类型的帧在传送到应用端时最后 4B(FCS)将被剥除。当 MAC 接收器有 IP 检查引擎 (类型 1) 使能时这个功能无效。	0	RW
24	TC: RGMII/SGMII/SMII 模式下发送端配置	0	RW

	当这位设置为 1，使能 PHY 在 RGMII/SMII/SGMII 端口的发送端双工模式，链路速率和链路连接/断开信息。当这位清除为 0 时，这些信息不驱动给 PHY。		
23	<b>WD:</b> 看门狗不使能 当这位设置为 1，控制器不使能接收端的看门狗计时器，可以接收最大超过 16384B 的帧。当这位清除时，控制器允许接收不超过 2048B（巨大帧模式 10240B）的帧，切断之后接收的任何字节。	0	RW
22	<b>JD:</b> 持续发送控时不使能 当这位设置为 1，控制器不使能发送端持续发送控时计时器，可以发送最大 16384B 的帧。当这位清除为 0，在应用端发送超过 2048B（巨大帧模式 10240B）数据时，控制器切换发送。	0	RW
21	<b>BE:</b> 帧突发传输使能 当这位设置为 1，控制器允许在 GMII 半双工模式下帧突发传输。	0	RW
20	<b>JE:</b> 巨大帧使能 当这位设置为 1，控制器允许 9018B（VLAN 标记帧 9022B）的巨大帧在接收帧状态中不报告巨大帧错误。	0	RW
19:17	<b>IFG:</b> 帧间隔 这个域控制发送时的最小帧间隔。 000: 96 位传输时间倍数 001: 88 位传输时间倍数 010: 80 位传输时间倍数 111: 40 位传输时间倍数 注意在半双工模式，最小 IFG 只能设置成 64 位倍数（IFG=100）。更小的值不考虑。在 1000M 模式，最小 IFG 支持高于 80 位倍数。	0	RW
16	<b>DCRS:</b> 在传输期间不使能载体敏感 当这位设置为 1，MAC 发送端忽略(G)MII CRS 信号在半双工模式下传输帧。这个请求导致这样的传输过程中没有失去载体或无载体错误。当这位清除为 0，MAC 发送端会产生由于载波侦听的错误，甚至中断传输。	0	RW
15	<b>PS:</b> 端口选择 选择 GMII 或 MII: 0: GMII (1000Mbps) 1: MII (10/100Mbps)	0	RW
14	<b>FES:</b> 速率 表明快速以太网(MII)模式的速率: 0: 10Mbps 1: 100Mbps	0	RW
13	<b>DO:</b> 不使能接收所有权 当这位设置为 1，在半双工模式下，当 gmii_txen_o 有效时，控制器不使能帧的接收。当这位清除为 0，控制器接收传输过程中，PHY 收到的所有的包。当控制器工作在双工模式下这位不能使用。	0	RW
12	<b>LM:</b> 回环模式 当这位设置为 1，控制器工作在 GMII/MII 回环模式。(G)MII	0	RW

	接收时钟输入是需要的。因为发送时钟并不在内部回环。		
11	<b>DM: 双工模式</b> 当这位设置为 1, 控制器工作在双工模式, 可以同时发送和接收。	0	RW
10	<b>IPC: 校验和负载</b> 当这位设置为 1, 控制器计算接收以太网帧负载的 16 位 1 补码和的 16 位 1 补码。同样检查 IPv4 头校验和 (接收以太网帧的第 25-26B, 或 VLAN 标记第 29-30B) 是否是正确的, 在接收状态字中给出状态。控制器也使用 16 位校验和基数按 IP 头数据报负载 (IPv4 头后的字节) 和 (当没有选择类型 2 的 COE 时) 传输到应用端的以太网帧。 当选择类型 2 的 COE 时, 当这位设置为 1, 使能 IPv4 校验和检查接收帧负载的 TCP/UDP/ICMP 头。当这位清除为 0, 接收端的 COE 功能不使能, 对应的 PCE 和 IP HCE 状态位总是清除的。	0	RW
9	<b>DR: 不使能重试</b> 当这位设置为 1, 控制器只进行 1 次发送, 当冲突发生在 GMII/MII 模式, 控制器将忽略当前帧传输, 在发送帧状态中报告带冲突错误的帧中止。当这位清除为 0, 控制器根据 BL 进行重试。这位只在半双工模式下有效, 在全双工模式下是保留的。	0	RW
8	<b>LUD: 链路有效/失效</b> 表明传输配置在 RGMII/SGMII/SMII 接口下, 链路是否有效。 0: 链路失效 1: 链路有效 这位只有当 RGMII/SGMII/SMII 使能时有效, 否则是保留的。	0	RW
7	<b>ACS: 自动填充符/CRC 剥除</b> 当这位设置为 1, 当接收帧的长度小于或等于 1500B 时, 控制器剥除填充符/FCS 域。如果帧长度大于 1501B, 所有帧内容都传递到应用端而不剥除填充/PCS 域。 当这位清除为 0, 控制器传递所有输入帧的内容到应用端而不作修改。	0	RW
6:5	<b>BL: 后退限制</b> 后退限制决定了控制器在发生载体冲突后等待重新调度的随机整数数量的槽时间延时 (1000Mbps 模式下 4096 位倍数, 10/100Mbps 模式下 512 位倍数)。这位只在半双工模式下是有效的, 全双工模式下是保留的。 00: $k=\min(n,10)$ 01: $k=\min(n,8)$ 10: $k=\min(n,4)$ 11: $k=\min(n,1)$ 这位 n 位重试次数。随机整数 r 值的范围是 $0 \leq r < 2^k$	0	RW
4	<b>DC: 延期检查</b> 当这位设置为 1, 控制器使能延期检查功能。控制器将发出帧中止状态, 跟着传输帧状态中设置额外的延期错误位, 当在 10/100Mbps 模式下发送状态机被拖延超过 24288 位倍数时间。延期从发送准备好开始, 但是被有效的 CRS 信号停止。	0	RW

	延期时间是不累积的。如果发送端延迟了 10000 位倍数时间，然后发送端冲突，回退，完成回退后再次被延迟，延期计数器复位为 0 并重新开始。 当这位清除为 0，延期检查功能不使能，控制器延迟发送直到 CRS 信号无效。这位只有当半双工模式下有效，在全双工模式下是保留的。		
3	<b>TE:</b> 发送端使能 当这位设置为 1，使能控制器的发送状态机用于 GMII/MII 模式下的发送。如果这位清除为 0，控制器完成当前帧的传送后不使能发送状态机用于 GMII/MII 模式下的发送。	0	RW
2	<b>RE:</b> 接收端使能 当这位设置为 1，使能控制器的接收状态机用于 GMII/MII 模式下的接收。如果这位清除为 0，控制器完成当前帧的接收后不使能发送状态机用于 GMII/MII 模式下的接收。	0	RW
1:0	保留	0	RW

### 2.2.2.2 偏移 0x0004: MAC 帧过滤寄存器

位	说明	复位值	访问
31	<b>RA:</b> 接收所有 当这位设置为 1，控制器接收端向应用端传递所有接收的帧，而忽略地址过滤。源/目标地址过滤的结果（通过或失败）会更新在对应的状态字中。当这位清除为 0，控制器接收端只向应用端传递通过源/目标地址过滤的帧。	0	RW
30:11	保留	0	RO
10	<b>HPF:</b> 哈希或预取过滤 当设置为 1，当设置 HMC 或 HUC 位时，帧的地址匹配预取过滤或哈希过滤才能通过。当这位清除为 0，或者 HUC/HMC 位设置为 1，帧只能匹配哈希过滤才能通过。 如果控制器 IP 生成时没有选择哈希表过滤，那这位是保留的。	0	RW
9	<b>SAF:</b> 源地址过滤使能 控制器比较接收帧的源地址 SA 域和源地址 SA 寄存器。如果比较匹配，接收状态字的源地址匹配位设置为 1。如果这位设置为 1，源地址过滤失败，控制器丢弃这个帧。当这位清除为 0，控制器发送传递接收帧给应用程序，根据源地址比较的结果设置接收状态。	0	RW
8	<b>SAIF:</b> 源地址反相过滤 当这位设置为 1，地址检查模块对源地址采取反相过滤模式。帧的源地址匹配源地址寄存器的将被标记源地址过滤失败。当这位清除为 0，帧不匹配源地址过滤寄存器的帧将被标记为源地址过滤失败。	0	RW
7:6	<b>PCF:</b> 旁路控制帧 这个域控制传递所有的控制帧（包括单播和多播暂停帧）。注意暂停控制帧的处理过程依赖于流控制寄存器第[2]位的 RFE。 00: 控制器过滤所有的控制器，不传递给应用端。 01: 控制器传递所有的控制帧除了暂停控制帧到应用端，即	0	RW

	使没有通过地址过滤。 10: 控制控制器传递所有的控制帧到应用端, 即使没有通过地址过滤。 11: 控制器传递通过地址过滤的控制帧。		
5	DBF: 不使能广播帧 当这位设置为 1, AFM 模块滤掉所有输入的广播帧 当这位清除为 0, AFM 模块传递所有接收的广播帧	0	RW
4	PM: 传递所有多播帧 当这位设置为 1, 表明所有接收帧带多播目标地址的 (源地址域的第 1 位为 1) 都通过地址过滤。 当清除为 0, 依赖于 HMC 位滤掉多播帧。	0	RW
3	HMC: 哈希多播 当设置为 1, 控制器根据哈希表对接收多播帧进行地址过滤。 当清除为 0, 控制器对多播帧执行全地址过滤, 即比较帧的目标地址域和目标地址寄存器。 如果控制器 IP 生成时没有选择哈希表过滤, 那这位是保留的。	0	RW
2	HMC: 哈希多播 当这位设置为 1, 控制器根据哈希表对接收的多播帧执行目标地址过滤。 当清除为 0, 控制器对接收的多播帧执行全地址过滤, 即比较帧的目标地址域和目标地址寄存器。 如果控制器 IP 生成时没有选择哈希表过滤, 那这位是保留的。	0	RW
1	HUC: 哈希单播 当这位设置为 1, 控制器根据哈希表对接收的单播帧执行目标地址过滤。 当清除为 0, 控制器对接收的单播帧执行全地址过滤, 即比较帧的目标地址域和目标地址寄存器。 如果控制器 IP 生成时没有选择哈希表过滤, 那这位是保留的。	0	RW
0	PR: 杂乱模式 当这位设置为 1, 地址过滤模块不管源和目标地址, 旁路所有进入的帧。帧的接收状态字中的源/目标地址过滤失败位都是清除为 0 的。	0	RW

### 2.2.2.3 偏移 0x0008: 哈希表高 32 位寄存器

位	说明	复位值	访问
31:0	HTH: 哈希表高位 这个域包含哈希表的高 32 位。	0	RW

### 2.2.2.4 偏移 0x000C: 哈希表低 32 位寄存器

位	说明	复位值	访问
31:0	HTH: 哈希表高位 这个域包含哈希表的低 32 位。	0	RW

### 2.2.2.5 偏移 0x0010: GMII 地址寄存器

位	说明	复位值	访问
31:16	保留	0	RO
15:11	PA: PHY 地址 这个域表明最多 32 个 PHY 设备中的哪个 PHY 寄存器	0	RW
10:6	GR: GMII 寄存器 这个域表明选定的 PHY 设备中的 GMII 寄存器地址	0	RW
5:2	CR: CSR 时钟域 这个域决定 MDC 时钟对于 clk_csr_i 时钟的分频数。推荐 clk_csi_i 时钟使用下面第[5]位为 0 的分频数，以确保 MDC 时钟大约在 1.0MHz 到 2.5MHz 之间。 选择值 clk_csr_i 频率 MDC 时钟 0000 60-100MHz clk_csr_i/42 0001 100-150MHz clk_csr_i/62 0010 20-35MHz clk_csr_i/16 0011 35-60MHz clk_csr_i/26 0100 150-250MHz clk_csr_i/102 0101 250-300MHz clk_csr_i/124 0110, 0111 保留 当第[5]位设置为 1 时，可以得到高于 IEEE 802.3 规范定义的 2.5MHz 的频率限制，时钟分频数为更低的值。例如 clk_csr_i 的频率为 100MHz，设置值为 1010，那么 MDC 时钟将为 12.5MHz，超过了 802.3 的规范定义范围。只有当接口芯片支持更快的 MDC 时钟时才能设置这样的值。 选择值 MDC 时钟 1000 clk_csr_i/4 1001 clk_csr_i/6 1010 clk_csr_i/8 1011 clk_csr_i/10 1100 clk_csr_i/12 1101 clk_csr_i/14 1110 clk_csr_i/16 1111 clk_csr_i/18	0	RW
1	GW: GMII 写 当这位设置为 1，表明要写 PHY 的寄存器。当这位清除为 0，表明要读 PHY 的寄存器，返回的读数据在 GMII 数据寄存器中。	0	RW
0	GB: GMII 忙 写 GMII 地址寄存器和数据寄存器前这位应该读为 0。在 PHY 寄存器访问过程中，应用端设置这位为 1 表明正在进行读或写操作。在 PHY 写操作过程中，GMII 数据寄存器应该保持有效，直到这位被控制器清除。在 PHY 读操作过程中，GMII 数据寄存器无效，直到这位被控制器清除。GMII 地址寄存器也不能被写，直到这位被清除。	0	RW



### 2.2.2.6 偏移 0x0014: GMII 数据寄存器

位	说明	复位值	访问
31:16	保留	0	RO
15:0	GD: GMII 数据 这个域包含了 16 位数据，是读 PHY 寄存器返回的数据，或者是写 PHY 寄存器的数据。	0	RW

### 2.2.2.7 偏移 0x0018: 流控制寄存器

位	说明	复位值	访问
31:16	PT: 暂停时间 这个域包含了传输控制帧中的暂停时间域。如果暂停时间域配置成两次(G)MII 时钟同步，这个寄存器连续的写在目标时钟域 4 个时钟周期后才会执行。	0	RW
15:8	保留	0	RO
7	DZPQ: 不使能零量子暂停 当这位设置为 1，不使能自动产生零量子暂停控制帧。当这位清除为 0，使能产生带自动零量子暂停控制帧正常操作。	0	RW
6	保留	0	RO
5:4	PLT: 暂停低阈值 这个域配置暂停计时器阈值，这个计时器用来检查输入流控制信号 mti_flowctrl_i (或 sbd_flowctrl_i) 以自动重发暂停帧。这个阈值应该小于[31:16]位中配置的暂停时间。例如，PR=100H (256 个时间槽)，PLT=01，如果 mti_flowctrl_i 信号在第一个暂停帧发出后 228 (256-28) 时间槽置为有效时，那么第 2 个暂停帧自动发出。选择阈值 00 暂停时间减去 4 个时间槽 01 暂停时间减去 28 个时间槽 02 暂停时间最小 144 个时间槽 03 暂停时间最小 256 个时间槽	0	RW
3	UP: 单播暂停帧检测 当这位设置为 1，控制器除了检查暂停帧单一多播地址，还将检测 MAC 地址寄存器中定义的单播地址。当这位清除为 0，控制器将只检查控制帧根据 802.3x 标准中地址的多播地址。	0	RW
2	RFE: 接收流控制使能 当这位设置为 1，控制器将译码接收控制帧，不使能发送器定义的暂停时间。当这位清除为 0，控制帧的译码功能不使能。	0	RW
1	TFE: 发送流控制使能 在双工模式下，当这位设置为 1，控制器使能流控制操作，并发送暂停帧。当这位清除为 0，控制器的流控制操作不使能，控制器也不发送任何暂停帧。	0	RW

0	<b>FCB/BPA: 流控制忙/背压激活</b> 这位初始换暂停控制帧在双工模式下, 在单工模式下如果 TFE 设置为 1, 启动背压功能。在双工模式下, 这位在写流控制寄存器前读的值为 0。为了启动暂停帧。为了启动暂停帧, 应用程序必须设置 这位为 1。在控制帧的传输过程中, 这位继续设置表明 帧传输过程正在处理。在完成控制帧传输后, 控制器设置 这位为 0。这位被清除前, 流控制寄存器不能再被修改。 在半双工模式下, 当这位设置为 1 (TFE 也设置为 1), 控制器启动背压。在背压过程中, 当控制器接收到新的帧, 发送端开始发送 JAM 特征导致介质冲突。这个控制寄存器位和 mti_flowctrl_i 进行逻辑或来控制背压功能。	0	<b>RWSSC(FCB)</b> <b>RW(BPA)</b>
---	--	---	-------------------------------------

### 2.2.2.8 偏移 0x001C: VLAN 标记寄存器

位	说明	复位值	访问
31:17	保留	0	RO
16	<b>ETV: 使能 12 位 VLAN 标记比较</b> 当这位设置为 1, 12 位 VLAN 标记符, 而不是 16 位完整的 VLAN 标记, 用于比较和过滤。 当这位清除为 0, 接收到的 VLAN 帧的第 15、16 字节的 16 位都用于比较。	0	RW
15:0	<b>VL: 接收帧的 VLAN 标记符</b> 这个域包含了 802.1Q VLAN 标记用于标记 VLAN 帧。用来比较接收 VLAN 帧的第 15、16 字节。位[15:13]是用户优先权, 位[12]是规范格式指示位 (CFI)。位 [11:0]是 VLAN 标记 (VID)。当 ETV 设置为 1, 只有 VID 域用来比较。 如果 VL (ETV 为 1 则 VL[11:0]) 是全 0, 控制器不检查帧的第 15、16 字节用于 VLAN 标记比较, 并断定所有帧的类型域的值都是 0x8100 的 VLAN 帧。	0	RW

### 2.2.2.9 偏移 0x0020: 版本号寄存器

位	说明	复位值	访问
15:8	用户定义版本	1	RO
7:0	Synopsys 定义版本(3.5)	35H	RO

### 2.2.2.10 偏移 0x0024: 调试寄存器

位	说明	复位值	访问
31:26	保留	0	RO
25	值为 1 表明 MTL TxStatus FIFO 是满的, 所以 MTL 也不再接收任何准备发送的帧。	0	RO
24	值为 1 表明 MTL TxFIFO 不是空的, 有数据等待发送。	0	RO
23	保留	0	RO



22	值为 1 表明 MTL TxFIFO 写控制器是活动的，正在传输数据到 TxFIFO	0	RO
21:20	这个域表明 TxFIFO 读控制器的状态： 00: 空闲状态 01: 读状态（传输数据到 MAC 发送端） 10: 等待从 MAC 发送端传来的 TxStatus 11: 写接收 TxStatus，或者刷新 TxFIFO	0	RO
19	值为 1 表明 MAC 发送端在暂停条件（全双工模式），所以不会再调度任何帧去发送。	0	RO
18:17	这表明 MAC 发送帧控制器模块的状态： 00: 空闲 01: 等待前面帧的状态，或者 IFG/后面周期结束 10: 产生和发送暂停控制帧（全双工模式） 11: 接收输入帧准备发送	0	RO
16	值为 1 表明 MAC GMII/MII 发送协议引擎是在活跃地传输数据，没有在空闲状态。	0	RO
15:10	保留	0	RO
9:8	这个域给出 RxFIFO 装填数量的状态： 00: RxFIFO 空 01: RxFIFO 装填数量低于流控制激活阈值 10: RxFIFO 装填数量高于流控制激活阈值 11: RxFIFO 满	0	RO
7	保留	0	RO
6:5	这个域给出 RxFIFO 读控制器的状态： 00: 空闲状态 01: 读帧数据 10: 读帧状态（或时间戳） 11: 刷新帧数据和状态	0	RO
4	值为 1 表明 MTL RxFIFO 写控制器是活跃的，在传送接收帧到 FIFO 中。	0	RO
3	保留	0	RO
2:1	值为 1 分别表明 MAC 接收帧控制模块的小 FIFO 读和写控制器的活跃状态。	0	RO
0	值为 1 表明 MAC GMII/MII 接收协议引擎是活跃地接收数据，不在空闲状态。	0	RO

### 2.2.2.11 偏移 0x0028: 远程唤醒帧过滤寄存器

寄存器地址 028H 用于载入唤醒帧过滤寄存器。写唤醒帧过滤寄存器，需要向地址 028H 顺序写入唤醒帧过滤寄存器 0 到唤醒帧过滤寄存器 7。读唤醒帧过滤寄存器也需要同样的顺序和操作。

唤醒帧过滤寄存器 0	过滤地址 0 字节屏蔽
唤醒帧过滤寄存器 1	过滤地址 1 字节屏蔽
唤醒帧过滤	过滤地址 2 字节屏蔽

寄存器 2								
唤醒帧过滤寄存器 3	过滤地址 3 字节屏蔽							
唤醒帧过滤寄存器 4	保留	过滤器 3 命令	保留	过滤器 2 命令	保留	过滤器 1 命令	保留	过滤器 0 命令
唤醒帧过滤寄存器 5	过滤器 3 偏移		过滤器 2 偏移		过滤器 1 偏移		过滤器 0 偏移	
唤醒帧过滤寄存器 6	过滤器 1 CRC-16				过滤器 0 CRC-16			
唤醒帧过滤寄存器 7	过滤器 3 CRC-16				过滤器 2 CRC-16			

### 2.2.2.12 偏移 0x002C: 电源管理控制和状态寄存器

位	说明	复位值	访问
31	唤醒帧过滤器寄存器指针复位 当这位设置为 1，复位远程唤醒帧过滤器寄存器指针为 3'b000。这位在 1 个时钟周期后自动清除为 0。	0	RWSSC
30:10	保留	0	RO
9	全局单播 当这位设置为 1，控制器使能地址过滤所有单播包确认远程唤醒帧。	0	RW
8:7	保留	0	RO
6	接收到唤醒帧 当这位设置为 1，表明由于收到了唤醒帧产生了电源管理事件。读这个寄存器会清除这位为 0。	0	RSSRC
5	接收到魔包 当这位设置为 1，表明由于收到了魔包产生了电源管理事件。读这个寄存器会清除这位为 0。	0	RSSRC
4:3	保留	0	RO
2	唤醒帧使能 当这位设置为 1，使能接收唤醒帧产生电源管理事件。	0	RW
1	魔包使能 当这位设置为 1，使能接收魔包产生电源管理事件。	0	RW
0	下电 当这位设置为 1，所有收到的包都被丢弃。当接收到魔包或唤醒帧时自动清除改位，下电模式不使能。这位清除后接收到的包被送往应用程序。这位只有当魔包使能或者唤醒帧使能时才可以被设置为 1。	0	RWSSC

### 2.2.2.13 偏移 0x0038: 中断状态寄存器

位	说明	复位值	访问
15:10	保留	0	RO
9	时间戳中断状态。 在 IP 中没有配置先进时间戳，这位为保留值。	0	RO

8	保留	0	RO
7	MMC 接收校验负载中断状态 当 MMC 接收校验负载中断寄存器中有中断产生时，这位为 1。当这个中断寄存器中所有中断位被清除时这位也清除为 0。在控制器中没有实现 MMC 模块，这位为保留值。	0	RO
6	MMC 发送中断状态 当 MMC 发送中断寄存器中有中断产生时，这位为 1。当这个中断寄存器中所有中断位被清除时这位也清除为 0。在控制器中没有实现 MMC 模块，这位为保留值。	0	RO
5	MMC 接收中断状态 当 MMC 接收中断寄存器中有中断产生时，这位为 1。当这个中断寄存器中所有中断位被清除时这位也清除为 0。在控制器中没有实现 MMC 模块，这位为保留值。	0	RO
4	MMC 中断状态 当[7:5]位中有位为 1 时，这位置为 1。当这几位都为 0 时，这位清除为 0。在控制器中没有实现 MMC 模块，这位为保留值。	0	RO
3	PMT 中断状态 这位设置为 1 表明在低功耗模式下接收到魔包或者局域网唤醒帧。读清除 PMT 控制状态寄存器[6:5]位，这位也清除为 0。在控制器中没有实现 PMT 模块，这位为保留值。	0	RO
2	PCS 自动协商完成 当这位设置为 1 表明 TBI/RTBI/SGMII 接口完成了链路自动协商。在控制器中没有实现 TBI/RTBI/SGMII 接口，这位为保留值。	0	RO
1	PCS 链路状态改变 当这位设置为 1 表明 TBI/RTBI/SGMII 接口链路状态发生了改变。在控制器中没有实现 TBI/RTBI/SGMII 接口，这位为保留值。	0	RO
0	RGMII/SMII 中断状态 当这位设置为 1 表明 RGMII/MII 接口链路状态发生了改变 (SGMII/RGMII/SMII 状态寄存器第[3]位)。	0	RO

### 2.2.2.14 偏移 0x003C: 中断屏蔽寄存器

位	说明	复位值	访问
15:10	保留	0	RO
9	时间错中断屏蔽 当这位设置为 1，不使能中断状态寄存器中的时间戳中断。这位只有 IEEE 1588 时间戳使能时有效，其他模式时是保留位。	0	RW
8:4	保留	0	RO
3	PMT 中断屏蔽 当这位设置为 1，不使能中断状态寄存器中置起的 PMT 中断。	0	RW
2	PCS 自动协商完成中断屏蔽 当这位设置为 1，不使能中断状态寄存器中置起的 PCS 自动	0	RW

	协商完成中断。		
1	PCS 链路状态中断屏蔽 当这位设置为 1，不使能中断状态寄存器中置起的 PCS 链路状态中断。	0	RW
0	RGMII/SMII 中断屏蔽 当这位设置为 1，不使能中断状态寄存器中置起的 RGMII/SMII 中断。	0	RW

### 2.2.2.15 偏移 0x0040: MAC 地址 0 高 32 位寄存器

位	说明	复位值	访问
31	MO: 总是 1	1	RO
30:16	保留	0	RO
15:0	A[47:32]: MAC 地址[47:32] 这个域包含 6 字节 MAC 地址的高 16 位[47:32]。这个地址用于 MAC 过滤接收帧，插入传输流控制（暂停）帧。	FFFFH	RW

### 2.2.2.16 偏移 0x0044: MAC 地址 0 低 32 位寄存器

位	说明	复位值	访问
31:0	A[31:0]: MAC 地址[31:0] 这个域包含 6 字节 MAC 地址的低 32 位[31:0]。这个地址用于 MAC 过滤接收帧，插入传输流控制（暂停）帧。	FFFF_FFFFH	RW

### 2.2.2.17 偏移 0x0048-0x00BC: MAC 地址 1-15 高/低 32 位寄存器

MAC 地址 1-15 高位寄存器

位	说明	复位值	访问
31	AE: 地址使能 当这位设置为 1，地址过滤模块使用第二个 MAC 地址用于完整过滤。当这位清除为 0，地址过滤模块将忽略这个地址的过滤。	1	RO
30	SA: 源地址 当这位设置为 1，MAC 地址 1[47:32]用于比较接收帧的源地址。 当这位清除为 0，MAC 地址 1[47:0]用于比较接收帧的目标地址。	0	RW

29:24	<b>MBC: 屏蔽字节控制</b> 这个域屏蔽用于比较的 MAC 地址字节。当设置为 1, 控制器不比较 MAC 地址 1 寄存器和接收帧源/目标地址对应的字节。每位控制的屏蔽字节如下所示: [29]: MAC 高位地址寄存器高位寄存器[15:8] [28]: MAC 高位地址寄存器高位寄存器[7:0] [27]: MAC 高位地址寄存器高位寄存器[31:24] [26]: MAC 高位地址寄存器高位寄存器[23:16] [25]: MAC 高位地址寄存器高位寄存器[15:8] [24]: MAC 高位地址寄存器高位寄存器[7:0]	0	RW
23:16	保留	0	RO
15:0	A[47:32]: MAC 地址[47:32] 这个域包含 6 字节 MAC 地址的高 16 位[47:32]。	FFFFH	RW

MAC 地址 1-15 低位寄存器

位	说明	复位值	访问
31:0	A[31:0]: MAC 地址[31:0] 这个域包含 6 字节 MAC 地址的低 32 位[31:0]。	FFFF_FFFFH	RW

### 2.2.2.18 偏移 0x00C0: 自动协商控制寄存器

位	说明	复位值	访问
31:19	保留	0	RO
18	<b>SGMII RAL 控制</b> 当这位设置为 1, 控制器强制 SGMII RAL 块操作在 MAC 配置寄存器配置中速率和端口选择域设定的速率。由于 IP 没有选择 SGMII 接口, 这位为保留值。	0	RW
17	<b>LR: 锁定参考时钟</b> 当这位设置为 1, 使能 PHY 锁定 PLL 到 125MHz 参考时钟。这位控制 TBI/RTBI/SGMII 接口使用的 pcs_lck_ref_o 信号。	0	RW
16	<b>ECD: 使能 Comma 检测</b> 当这位设置为 1, 使能 PHY 接口 Comma 检测和字节重同步。这位控制 TBI/RTBI/SGMII 接口使用的 pcs_en_cdet_o 信号。	0	RW
15	保留	0	RO
14	<b>ELE: 外部回环使能</b> 当这位设置为 1, 将导致 PHY 回环发送数据到接受路径, 这时 pcs_ewrap_o 信号将置 1。	0	RW
13	保留	0	RO
12	<b>ANE: 自动协商使能</b> 当这位设置为 1, 控制器使能根据链路配对者自动协商。当这位清除为 0, 将不使能自动协商功能。	0	RW
11:10	保留	0	RO
9	<b>RAN: 重启自动协商</b> 当这位设置为 1, 如果 ANE 也设置为 1, 将重新开始自动协商。自动协商开始后, 这位自动清除。在正常操作过程中, 这位应该清除为 0。	0	RW
8:0	保留	0	RO

### 2.2.2.19 偏移 0x00C4: 自动协商状态寄存器

位	说明	复位值	访问
31:9	保留	0	RO
8	ES: 扩展状态 这位固定为 1, 表明控制器支持扩展状态信息寄存器。	1	RW
7:6	保留	0	RO
5	ANC: 自动协商完成 当这位设置为 1, 表明自动协商过程完成了。在重新开始自动协商过程时, 这位清除为 0。	0	RO
4	保留	0	RO
3	ANA: 自动协商能力 这位固定为 1, 表明控制器支持自动协商。	0	RO
2	LS: 链路状态 当这位设置为 1, 表明链路是连接状态。当这位清除为 0, 表明链路是断开的。 注: 这位复位值是 0, 该寄存器只有当应用程序读过才开始更新。	0	RSSSC
1:0	保留	0	RO

### 2.2.2.20 偏移 0x00C8: 自动协商公告寄存器

位	说明	复位值	访问
31:16	保留	0	RO
15	NP: 下一页支持 这位固定为 0, 控制器不支持下一页	0	RO
14	保留	0	RW
13:12	RFE: 远程故障译码 这两位提供远程故障译码, 表明链路配对者发生故障或错误条件。这两位译码定义在 IEEE 802.3z 章节 37.2.1.5 中。	0	RW
11:9	保留	0	RO
8:7	PSE: 暂停译码 这 2 位提供暂停位的译码, 表明控制器可以配置 IEEE 802.3z 中定义的暂停功能。这两位译码定义在章节 37.2.1.4 中。	0	RW
6	HD: 半双工 当这位设置为 1, 表明控制器支持半双工。	0	RW
5	FD: 全双工 当这位设置为 1, 表明控制器支持全双工	0	RW
4:0	保留	0	RO

### 2.2.2.21 偏移 0x00CC: 自动协商链路配合能力寄存器

位	说明	复位值	访问
31:16	保留	0	RO
15	NP: 下一页支持 当这位设置为 1, 表明更多的下一页信息可以得到。当清除为 0, 表明不希望进行下一页交换。	0	RO

14	<b>ACK: 确认</b> 当设置为 1, 这位用于自动协商功能表明链路配对者成功接收了控制器基础页。当清除为 0, 表明还没有成功收到基础页。	0	RO
13:12	<b>RFE: 远程故障使能</b> 这 2 位提供远程故障译码, 表明链路配对者的故障或错误条件。这个译码定义在 IEEE 80.3z 章节 37.2.1.5 中。	0	RO
11:9	保留	0	RO
8:7	<b>PSE: 暂停译码</b>	0	RO
	这 2 位提供暂停位的译码, 表明控制器可以配置 IEEE 802.3z 中定义的暂停功能。这两位的译码定义在章节 37.2.1.4 中。		
6	<b>HD: 半双工</b> 当这位设置为 1, 表明链路配对者有能力工作在半双工模式。当清除为 0, 表明链路配对者没有能力工作在半双工模式。	0	RO
5	<b>FD: 全双工</b> 当这位设置为 1, 表明链路配对者有能力工作在全双工模式。当清除为 0, 表明链路配对者没有能力工作在全双工模式。	0	RO
4:0	保留	0	RO

### 2.2.2.22 偏移 0x00D0: 自动协商扩展寄存器

位	说明	复位值	访问
31:3	保留	0	RO
2	<b>NPA: 下一页能力</b> 这位固定为 0, 因为控制器不支持下一页能力功能。	0	RO
1	<b>NPR: 下一页接收</b> 当这位设置为 1, 表明新的页被控制器接收了。读改寄存器会清除该位。	0	RO
0	保留	0	RO

### 2.2.2.23 偏移 0x00D4: TBI 扩展状态寄存器

位	说明	复位值	访问
31:3	保留	0	RO
2	<b>GFD: 1000BASE-X 全双工能力</b> 这位表明控制器可以执行全双工 1000BASE-X 操作。	0	RO
1	<b>GHD: 1000BASE-X 半双工能力</b> 这位表明控制器可以执行半双工 1000BASE-X 操作。	0	RO
0	保留	0	RO

### 2.2.2.24 偏移 0x00D8: SGMII/RGMII/SMII 状态寄存器

位	说明	复位值	访问
31:6	保留	0	RO
5	<b>错误载波检测</b> 表明 SMII PHY 接收检测到载波故障。	0	RO
4	<b>持续发送超时</b> 表明接收帧时发生了持续发送超时。	0	RO



3	链路状态 表明链路是连接的还是断开的。	0	RO
2:1	链路速率。 表明链路的当前速率： 00: 2.5MHz 01: 25MHz 10: 125MHz	0	RO
0	链路模式 表明链路的当前操作模式 0: 半双工模式 1: 全双工模式	0	RO

## 2.2.3 管理计数器寄存器

Register No.	Offset Address	寄存器名	寄存器描述
64	0x0100	mmc_cntrl	MMC 控制寄存器, 建立 MMC 的操作模式
65	0x0104	mmc_intr_rx	MMC 接收中断寄存器, 保存所有接收通路统计计数器产生的中断。
66	0x0108	mmc_intr_tx	MMC 发送中断寄存器, 保存所有发送通路统计计数器产生的中断。
67	0x010C	mmc_intr_mask_rx	MMC 接收中断屏蔽寄存器, 保存所有接收通路统计计数器产生的中断屏蔽码。
68	0x0110	mmc_intr_mask_tx	MMC 发送中断屏蔽寄存器, 保存所有发送通路统计计数器产生的中断屏蔽码。
69	0x0114	txoctetcount_gb	发送的字节数量, 除了帧前序和重试字节, 在所有的正确的和错误的帧中。
70	0x0118	txframecount_gb	发送的错误的和正确的帧的数量, 除了重试帧。
71	0x011C	txbroadcastframes_g	发送正确广播帧的数量。
72	0x0120	txmulticastframes_g	发送正确多播帧的数量。
73	0x0124	tx64octets_gb	发送长度为 64B 的正确帧和错误帧的数量, 不包括帧前序和重试帧。
74	0x0128	tx65to127octets_gb	发送长度为 65-127B 的正确帧和错误帧的数量, 不包括帧前序和重试帧
75	0x012C	tx128to255octets_gb	发送长度为 128-255B 的正确帧和错误帧的数量, 不包括帧前序和重试帧。
76	0x0130	tx256to511octets_gb	发送长度为 256-511B 的正确帧和错误帧的数量, 不包括帧前序和重试帧。
77	0x0134	tx512to1023octets_gb	发送长度为 512-1023B 的正确帧和错误帧的数量, 不包括帧前序和重试帧。
78	0x0138	tx1024tomaxoctets_gb	发送长度为 1024B-最大长度的正确帧和错误帧的数量, 不包括帧前序和重试帧。
79	0x013C	txunicastframes_gb	发送正确和错误单播帧的数量。
80	0x0140	txmulticastframes_gb	发送正确和错误多播帧的数量。
81	0x0144	txbroadcastframes_g	发送正确和错误广播帧的数量。

82	0x0148	txunderflowerror	由于帧下溢错误丢弃的帧的数量。
83	0x014C	txsinglecol_g	在半双工模式下单次冲突后重新发送成功的帧的数量。
84	0x0150	txmulticol_g	在半双工模式下多次冲突后重新发送成功的帧的数量。
85	0x0154	txdeferred	在半双工模式下延期发送后重新发送成功的帧的数量。
86	0x0158	txlatecol	由于后期冲突错误丢弃的帧的数量。
87	0x015C	txexesscol	由于过多的（16 个）冲突错误丢弃的帧的数量。
88	0x0160	txcarriererror	由于载波侦听错误（没有载波或者载波丢失）丢弃的帧的数量。
89	0x0164	txoctetcount_g	发送字节的数量，不包括帧前序，只在正确的帧中。
90	0x0168	txframecount_g	传输的正确帧的数量
91	0x016C	txexcessdef	由于过多的延期错误丢弃的帧的数量（延期超过 2 个最大帧时间）。
92	0x0170	txpauseframes	传输的正确的暂停帧的数量
93	0x0174	txvlanframes_g	传输的正确的 VLAN 帧的数量，除了重试帧
94	0x0178	Reserved	保留
95	0x017C	Reserved	保留
96	0x0180	rxframecount_gb	接收正确和错误帧的数量
97	0x0184	rxoctetcount_gb	接收字节的数量，不包括帧前序，在正确和错误帧中。
98	0x0188	rxoctetcount_g	接收字节的数量，不包括帧前序，只在正确的帧中。
99	0x018C	rxbroadcastframes_g	接收正确广播帧的数量
100	0x0190	rxmulticastframes_g	接收正确多播帧的数量
101	0x0194	rxcrcerror	接收带 CRC 错误的帧的数量
102	0x0198	rxalignmenterror	接收对界（残留）错误帧的数量，只在 10/100M 模式下。
103	0x019C	rxrunterror	接收不完整（<64BHe CRC 错）错误的帧的数量
104	0x01A0	rxjabbererror	接收长度（包括 CRC 位）超过 1518B（带 VLAN 标记的帧为 1522B）的，或者带 CRC 错的巨大帧的数量。如果大帧模式使能，那么超过 9018B（带 VLAN 标记的帧为 9022B）才作为巨大帧。
105	0x01A4	rxundersize_g	接收长度小于 64B，没有任何错误的帧的数量
106	0x01A8	rxoversize_g	接收长度超过最大长度（1518B，或 VLAN 标记帧为 1522B）的帧数量，没有错误。
107	0x01AC	rx64octets_gb	接收长度为 64B 的正确和错误帧的数量，不包括帧前序。
108	0x01B0	rx65to127octets_gb	接收长度为 65-127B 的正确和错误帧

			的数量，不包括帧前序。
109	0x01B4	rx128to255octets_gb	接收长度为 128-255B 的正确和错误帧的数量，不包括帧前序。
110	0x01B8	rx256to511octets_gb	接收长度为 256-511B 的正确和错误帧的数量，不包括帧前序。
111	0x01BC	rx512to1023octets_gb	接收长度为 512-1023B 的正确和错误帧的数量，不包括帧前序。
112	0x01C0	rx1024tomaxoctets_gb	接收长度为 1024B-最大帧长的正确和错误帧的数量，不包括帧前序。
113	0x01C4	rxunicastframes_g	接收正确单播帧的数量
114	0x01C8	rxlengtherror	接收长度错误（长度类型域≠帧大小）帧的数量，对所有有效长度域的帧
115	0x01CC	rxoutofrangetype	接收长度域不等于有效帧长度的帧的数量（大于 1500 但小于 1536）
116	0x01D0	rxpauseframes	接收正确和有效暂停帧的数量
117	0x01D4	rxfifooverflow	由于 FIFO 上溢没有接收的帧的数量。
118	0x01D8	rxvlanframes_gb	接收正确和错误 VLAN 帧的数量
119	0x01DC	rxwatchdogerror	接收看门狗超时错误帧的数量（帧的数据负载大于 2048B）
120:127	0x01E0-0x01FC	Reserved	保留
128	0x0200	mmc_ipc_intr_mask_rx	MMP IPC 接收校验负载中断屏蔽寄存器，保存接收 IPC 统计计数器产生中断的屏蔽位。
129	0x0204	Reserved	保留
130	0x0208	mmc_ipc_intr_rx	MMP IPC 接收校验负载中断寄存器，保存接收 IPC 统计计数器产生的中断。
131	0x020C	Reserved	保留
132	0x0210	rxipv4_gd_frms	接收带 TCP、UDP 或 ICMP 负载的正确 IPv4 数据报的数量
133	0x0214	rxipv4_hdrerr_frms	接收头错误（校验、长度或版本不匹配）的 IPv4 数据报的数量
134	0x0218	rxipv4_nopay_frms	接收不带校验引擎处理过 TCP、UDP 或 ICMP 负载的 IPv4 数据报的数量
135	0x021C	rxipv4_frag_frms	接收带碎片的正确 IPv4 数据报的数量
136	0x0220	rxipv4_udsbl_frms	接收校验引擎不使能时带 UDP 负载的正确 IPv4 数据报的数量
137	0x0224	rxipv6_gd_frms	接收带 TCP、UDP 或 ICMP 负载的正确 IPv6 数据报的数量
138	0x0228	rxipv6_hdrerr_frms	接收头错误（校验、长度或版本不匹配）的 IPv6 数据报的数量
139	0x022C	rxipv6_nopay_frms	接收不带 TCP、UDP 或 ICMP 负载的正确 IPv6 数据报的数量。这包括所有带碎片或者安全扩展头的 IPv6 数据报。
140	0x0230	rxudp_gd_frms	带正确 UDP 负载的正确 IP 数据报数量。
141	0x0234	rxudp_err_frms	UDP 负载校验错的 IP 数据报数量。
142	0x0238	rxtcp_gd_frms	带正确 TCP 负载的正确 IP 数据报数量。
143	0x023C	rxtcp_err_frms	TCP 负载校验错的 IP 数据报数量。

144	0x0240	rxicmp_gd_frms	带正确 ICMP 负载的正确 IP 数据报数量。
145	0x0244	rxicmp_err_frms	ICMP 负载校验错的 IP 数据报数量。
146:147	0x0248-0x024C	Reserved	保留
148	0x0250	rxipv4_gd_octets	接收封装了 TCP、UDP 和 ICMP 数据的正确 IPv4 数据报的字节数量。（以太网头、FCS、填充位、或者 IP 填充字节都不包含在计数范围内，也不包含在下面计数器计数范围内）
149	0x0254	rxipv4_hdrerr_octets	接收头错误（校验、长度或版本不匹配）的 IPv4 数据报的字节数量。IPv4 头部的长度域的值用来更新这个计数器。
150	0x0258	rxipv4_nopay_octets	接收不带 TCP、UDP 或 ICMP 负载的 IPv4 数据报的字节数量。IPv4 头部的长度域的值用来更新这个计数器。
151	0x025C	rxipv4_frag_octets	接收成碎片的 IPv4 数据报的字节数量。IPv4 头部的长度域的值用来更新这个计数器。
152	0x0260	rxipv4_udsbl_octets	接收 UDP 校验不使能时 UDP 段的字节数量。这个计数器不计算 IP 头部字节。
153	0x0264	rxipv6_gd_octets	接收封装了 TCP、UDP 和 ICMPv6 数据的正确 IPv6 数据报的字节数量。
154	0x0268	rxipv6_hdrerr_octets	接收头错误（校验、长度或版本不匹配）的 IPv6 数据报的字节数量。IPv6 头部的长度域的值用来更新这个计数器。
155	0x026C	rxipv6_nopay_octets	接收不带 TCP、UDP 或 ICMP 负载的 IPv6 数据报的字节数量。IPv6 头部的长度域的值用来更新这个计数器。
156	0x0270	rxudp_gd_octets	接收 UDP 段的字节数量。这个计数器（以及下面的计数器）不计算 IP 头部字节。
157	0x0274	rxudp_err_octets	接收带校验错的 UDP 段字节数量
158	0x0278	rxtcp_gd_octets	接收正确 TCP 段的字节数量
159	0x027C	rxtcp_err_octets	接收带校验错的 TCP 段字节数量
160	0x0280	rxicmp_gd_octets	接收正确 ICMP 段的字节数量
161	0x0284	rxicmp_err_octets	接收带校验错的 ICMP 段字节数量
162:191	0x0288-0x02FC	Reserved	保留

### 2.2.3.1 偏移 0x0100: MMC 控制寄存器

位	说明	复位值	访问
31:6	保留	0	RO
5	全满和半满预设值 当低位和第 4 位设置时，所有的 MMC 计数器预设值为约半满的值。所有计数器预设 0x7FFF_F800（半满减 2KB）和所有帧计数器预设 0x7FFF_FFF0（半满减 16B）。 当高位和第 4 位设置时，所有的 MMC 计数器预设值为约全满的值。所有计数器预设 0xFFFF_F800（全满减 2KB）和所有帧计数器预设 0xFFFF_FFF0（全满减 16B）。	0	RW

4	计数器复位 当设置为 1 时，根据上面第 5 位的设置，所有的计数器将初始胡或者预设为几乎全满或者半满。一个时钟周期后这位将被自动清除。这位和第 5 位用于调试和测试 MMC 计数器半满或全满时触发的中断。	0	RWSC
3	MMC 计数器停止 当设置为 1 时，所有 MMC 计数器都停止在当前值。（没有任何 MMC 计数器由于发送或接收帧而改变值，直到这位值清除为 0。如果任何 MMC 计数器被读时设置了“读复位”位，这个计数器值也会被清除）	0	RW
2	读复位 当这位设置为 1,是，MMC 计数器在读之后会被复位（复位后这位自动清除）。当最后特征字节通路（位[7:0]）被读时计数器自动清除。	0	RW
1	计数器饱和计数 当这位设置为 1 时，计数器计数到达最大值时不溢出为 0。	0	RW
0	计数器复位 当这位设置为 1 时，所有的计数器复位。这位在一个时钟周期后自动清除。	0	RW

### 2.2.3.2 偏移 0x0104: MMC 接收中断寄存器

位	说明	复位值	访问
31:24	保留	0	RO
23	当 rxwatchdogerror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
22	当 rxvlanframes_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
21	当 rxfifooverflow 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
20	当 rxpauseframes 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
19	当 rxoutofrangetype 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
18	当 rxlengtherror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
17	当 rxunicastframes_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
16	当 rx1024tomaxoctets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
15	当 rx512to1023octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
14	当 rx256to511octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
13	当 rx128to255octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
12	当 rx65to127octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
11	当 rx64octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
10	当 rxoversize_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
9	当 rxundersize_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
8	当 rxjabbererror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
7	当 rxrunterror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC



6	当 rxalignmenterror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
5	当 rxrcrcerror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
4	当 rxmulticastframes_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
3	当 rxbroadcastframes_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
2	当 rxoctetcount_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
1	当 rxoctetcount_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
0	当 rxframecount_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC

### 2.2.3.3 偏移 0x0108: MMC 发送中断寄存器

位	说明	复位值	访问
31:25	保留	0	RO
24	当 txvlanframes_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
23	当 txpauseframes 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
22	当 txoexcessdef 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
21	当 txframecount_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
20	当 txoctetcount_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
19	当 txcarriererror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
18	当 txexesscol 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
17	当 txlatecol 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
16	当 txdeferred 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
15	当 txmulticol_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
14	当 txsinglecol_g 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
13	当 txunderflowerror 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
12	当 rxbroadcastframes_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
11	当 rxmulticastframes_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
10	当 rxunicastframes_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
9	当 tx1024tomaxoctets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
8	当 tx512to1023octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
7	当 tx256to511octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
6	当 tx128to255octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC
5	当 tx65to127octets_gb 计数器到达一半或者最大值时，这位设置为 1。	0	RSSRC

4	当 tx64to127octets_gb 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
3	当 txmulticastframes_g 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
2	当 txbroadcastframes_g 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
1	当 txframecount_gb 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
0	当 txoctetcount_gb 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC

### 2.2.3.4 偏移 0x010C: MMC 接收中断屏蔽寄存器

位	说明	复位值	访问
31:24	保留	0	RO
23:0	MMC 接收中断寄存器对应的中断屏蔽位	0	RW

### 2.2.3.5 偏移 0x0110: MMC 发送中断屏蔽寄存器

位	说明	复位值	访问
31:25	保留	0	RO
24:0	MMC 发送中断寄存器对应的中断屏蔽位	0	RW

### 2.2.3.6 偏移 0x0200: MMP IPC 接收校验负载中断屏蔽寄存器

位	说明	复位值	访问
31:30	保留	0	RO
23:16	MMP IPC 接收校验负载中断寄存器对应的中断屏蔽位	0	RW
15:14	保留	0	RO
13:0	MMP IPC 接收校验负载中断寄存器对应的中断屏蔽位	0	RW

### 2.2.3.7 偏移 0x0208: MMP IPC 接收校验负载中断寄存器

位	说明	复位值	访问
31:30	保留	0	RO
29	当 rxicmp_err_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
28	当 rxicmp_gd_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
27	当 rxtcp_err_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
26	当 rxtcp_gd_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
25	当 rxudp_err_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC



24	当 rxudp_gd_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
23	当 rxipv6_nopay_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
22	当 rxipv6_hdrerr_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
21	当 rxipv6_gd_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
20	当 rxipv4_udsbl_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
19	当 rxipv4_frag_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
18	当 rxipv4_nopay_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
17	当 rxipv4_hdrerr_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
16	当 rxipv4_gd_octets 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
15:14	保留	0	RO
13	当 rxicmp_err_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
12	当 rxicmp_gd_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
11	当 rxtcp_err_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
10	当 rxtcp_gd_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
9	当 rxudp_err_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
8	当 rxudp_gd_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
7	当 rxipv6_nopay_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
6	当 rxipv6_hdrerr_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
5	当 rxipv6_gd_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
4	当 rxipv4_udsbl_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
3	当 rxipv4_frag_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
2	当 rxipv4_nopay_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
1	当 rxipv4_hdrerr_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC
0	当 rxipv4_gd_frms 计数器到达一半或者最大值时, 这位设置为 1。	0	RSSRC

## 2.3 SATA

维护地址: 0x50A0,0000 + offset[15:0]

HBA 的存储空间寄存器在不可缓冲存储空间中。另外，也不支持锁访问。如果软件执行到寄存器的锁传输，可能产生不确定的结果。寄存器访问的最大粒度是 64 位；64 位的访问不能跨越 8 字节的对界地址边界。所有的寄存器分为 2 个部分，全局寄存器和端口控制寄存器。100h 地址以内的寄存器是全局寄存器，应用于整个 HBA。所有的端口寄存器是相同的，有多少个端口就有多少份端口寄存器。没有定义的寄存器和寄存器保留位，读的时候返回值是“0”。

Start	End	Description	描述
00h	2Bh	Generic Host Control	通用主机控制
2Ch	5Fh	Reserved	保留
60h	9Fh	Reserved for NVMHCI	为 NVMHCI 保留的
A0h	FFh	Vendor Specific registers	厂商自定义寄存器
100h	17Fh	Port 0 port control registers	端口 0 控制寄存器
180h	1FFh	Port 1 port control registers	端口 1 控制寄存器
200h	FFFh	(Ports 2 – port 29 control registers)	(端口 2-29 控制寄存器)
1000h	107Fh	Port 30 port control registers	端口 30 控制寄存器
1080h	10FFh	Port 31 port control registers	端口 31 控制寄存器

### 2.3.1 通用主机控制

下面的寄存器应用于整个 HBA。底纹为灰色的为没有实现的寄存器 偏移 A0h 到 FFh 的寄存器是厂商自定义的寄存器。

地址偏移	寄存器名	Description	寄存器名
0x00	CAP	Host Capabilities	主机能力
0x04	GHC	Global Host Control	全局主机控制
0x08	IS	Interrupt Status	中断状态
0x0C	PI	Ports Implemented	端口实现
0x10	VS	Version	版本
0x14	CCC_CTL	Command Completion Coalescing Control	命令完成累积控制
0x18	CCC_PORTS	Command Completion Coalescing Ports	命令完成累积端口
0x1C	EM_LOC	Enclosure Management Location	附件管理位置
0x20	EM_CTL	Enclosure Management Control	附件管理控制
0x24	CAP2	Host Capabilities Extended	主机能力扩展
0x28	BOHC	BIOS/OS Handoff Control and Status	BIOS/OS 传递控制和状态
0x2C-0x9F	Reserved		保留
0xA0	BISTAFR	BIST Activate FIS Register	BIST 启动 FIS
0xA4	BISTCR	BIST Control Register	BIST 控制
0xA8	BISTFCTR	BIST FIS Count Register	BIST FIS 计数
0xAC	BISTSR	BIST Status Register	BIST 状态
0xB0	BISTDECR	BIST DWORD Error Count Register	BIST 双字错误计数
0xB4 - 0xBB	Reserved		保留
0xBC	OBR	OOB Register	OOB 寄存器
0xC0 - 0xCF	Reserved		保留
0xD0	GPCR	General Purpose Control Register	GPIO 控制
0xD4	GPSR	General Purpose Status Register	GPIO 状态

0xD8-0xDF	Reserved		保留
0xE0	TIMER1MS	Timer 1-ms Register	计时器 1ms
0xE4-0xE7	Reserved		保留
0xE8	GPARAM1R	Global Parameter 1 Register	全局参数 1
0xEC	GPARAM2R	Global Parameter 2 Register	全局参数 2
0xF0	PPARAMR	Port Parameter Register	端口参数
0xF4	TESTR	Test Register	测试寄存器
0xF8	VERSIONR	Version Register	版本号
0xFC	IDR	ID Register	ID 号

### 2.3.1.1 偏移 00h: CAP(HBA 能力)

这个寄存器表明 HBA 对软件驱动的基本能力。

位	类型	复位	描述												
31	RO	0	<b>支持 64 位寻址(S64A):</b> 表明 HBA 是否支持访问 64 位的数据结构。当设置为 1, HBA 的端口 DMA 描述符、PRD 基址, PRD 结构的高 32 位可以读写。当清除为 0, 不支持本地命令队列(SNCQ): 表明 HBA 支持 SATA 本地命令队列。如果设置为 1, HBA 在本地处理 DMA Setup FISes, 处理通过那个 FIS 的自动激活优化。如果清除为 0, 不支持本地命令队列, 软件也不会发出任何本地命令队列命												
30	RO	1	<b>支持 SATA 通知寄存器(SSNTF):</b> 当设置为 1, HBA 支持端口 SATA 通知寄存器和它相关的功能。如果清除为 0, HBA 不支持端口 SATA 通知寄存器和它相关的功能。如果清除为 0, HBA 不支持端口 SATA 通知寄存器和它相关的功能。如果清除为 0, HBA 不支持端口 SATA 通知寄存器和它相关的功能。												
29	RO	1	<b>支持机械在位切换器(SMPS):</b> 当设置为 1, HBA 支持热插拔操作的端口上的机械在位切换器。当清除为 0, 这个功能是不支持的。这个值在 OS 初始化前通过 BIOS 加载。												
28	RO	0	<b>支持错开启动(SSS):</b> 当设置为 1, HBA 支持端口的错开旋转启动, 用于平衡电源负载尖峰。当清除为 0, 这个功能不支持。这个值在 OS 初始化前通过 BIOS 加载。												
27	RO	0	<b>支持激进链路电源管理(SALP):</b> 当设置为 1, HBA 支持当没有命令处理时, 自动产生到部分睡眠或睡眠状态的链路请求。当清除为 0, 不支持这个功能, 软件需要把 PxCMD.ALPE 和 PxCMD.ASP 作为保留位。参考章节 8.3.1.3。												
26	RO	1	<b>支持活动 LED(SAL):</b> 当设置为 1, HBA 支持单个活动状态指示输出管脚。这个管脚可以连接到平台上的 LED 灯指示设备是否活动在任一驱动下。当清除为 0, 不支持这个功能。参考章节 10.11。												
25	RO	1	<b>支持命令列表覆盖(SCLO):</b> 当设置为 1, HBA 支持 PxCMD.CLO 位和相关功能。当清除为 0, HBA 不能清除状态寄存器中的 BSY 和 DRQ 位, 以发出软件复位, 由于前面的操作导致这些位仍然设置着。												
23:20	RO	0x2	<b>接口速率支持(ISS):</b> 表明 HBA 端口上可以支持的最大速率。这些编码与软件可编程的 PxCMD.SPD 域相匹配。这些值是: <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ts</th> <th>Definition</th> </tr> </thead> <tbody> <tr> <td>0000</td> <td>Reserved</td> </tr> <tr> <td>0001</td> <td>Gen 1 (1.5 Gbps)</td> </tr> <tr> <td>0010</td> <td>Gen 2 (3 Gbps)</td> </tr> <tr> <td>0011</td> <td>Gen 3 (6 Gbps)</td> </tr> <tr> <td>0100-1111</td> <td>Reserved</td> </tr> </tbody> </table>	ts	Definition	0000	Reserved	0001	Gen 1 (1.5 Gbps)	0010	Gen 2 (3 Gbps)	0011	Gen 3 (6 Gbps)	0100-1111	Reserved
ts	Definition														
0000	Reserved														
0001	Gen 1 (1.5 Gbps)														
0010	Gen 2 (3 Gbps)														
0011	Gen 3 (6 Gbps)														
0100-1111	Reserved														
19	RO	0	保留												

18	RO	1	<b>只支持 AHCI 模式(SAM):</b> SATA 控制器可以选择只支持 AHCI 访问机制。当值为 0 表明还支持本地 AHCI 机制(通过 ABAR), SATA 控制器实现传统的, 基于任务文件的寄存器接口例如 SF-8038i。当值为 1 表明 SATA 控制
17	RO	1	<b>支持端口多分器(SPM):</b> 表明 HBA 是否可以支持端口多分器。当设置为 1, 支持端口多分器使用基于命令的切换。当清除为 0, 不支持端口多分器, 端口多分器不能连接到 HBA 上。
16	RO	0	<b>支持基于 FIS 切换(FBSS):</b> 当设置为 1, 表明 HBA 支持基于 FIS 切换的端口多分器。当清除为 0, 表明 HBA 不支持基于 FIS 的切换。这一位只有 SPM 设
15	RO	1	<b>PIO 多个 DRQ 块(PMD):</b> 当设置为 1, HBA 支持 PIO 命令协议的多个 DRQ 块数据传输。如果清除为 0, HBA 只支持 PIO 命令协议的单个 DRQ 块数据传
14	RO	1	<b>睡眠状态能力(SSC):</b> 表明 HBA 是否支持进入睡眠状态。当清除为 0, 软件不能允许 HBA 发起进入睡眠状态, 通过激进的链路电源管理, 或者每个端口的 PxCMD.ICC 域。每个端口的 PxSCTL.IPM 域必须被设置为不允许设备发起睡眠请求。当设置为 1, HBA 和设备发起睡眠请求都可以支持。
13	RO	1	<b>部分睡眠状态能力(PSC):</b> 表明 HBA 是否支持进入部分睡眠状态。当清除为 0, 软件不能允许 HBA 发起进入部分睡眠状态, 通过激进的链路电源管理, 或者每个端口的 PxCMD.ICC 域。每个端口的 PxSCTL.IPM 域必须被设置为不允许设备发起部分睡眠请求。当设置为 1, HBA 和设备发起部分睡眠请求都可以支持。
12:08	RO	0x1f	<b>命令槽数量(NCS):</b> 从 0 开始的值表明这个 HBA 每个端口支持的命令槽数量。
07	RO	1	<b>命令完成聚集支持(CCCS):</b> 当设置为 1, 表明 HBA 支持第 11 章定义的命令完成聚集。当支持命令完成聚集是, HBA 实现全局 HBA 寄存器 CCC_CTL 和 CCC_PORTS。当清除为 0, 表明 HBA 不支持命令完成聚集, 全局 HBA 寄存器 CCC_CTL 和 CCC_PORTS 都没有实现。
06	RO	0	<b>附件管理支持(EMS):</b> 当设置为 1, 表明 HBA 支持第 12 章定义的封闭管理。当支持封闭管理时, HBA 实现全局 HBA 寄存器 EM_LOC 和 EM_CTL。当清除为 0, 表明 HBA 不支持聚集管理, 全局 HBA 寄存器 EM_LOC 和
05	RO	0	<b>支持外部 SATA(SXS):</b> 当设置为 1, 表明 HBA 有一个或多个 SATA 端口有外部可访问的只有信号的连接器(例如 eSATA 连接器)。如果这位设置为 1, 软件可以参考 PxCMD.ESP 位来确定哪个特定端口只有信号的连接器(例如电源不是连接器的一部分)。当这一位清除为 0, 表明 HBA 没有 SATA 端口
04:00	RO	0x2	<b>端口数量(NP):</b> 从 0 开始的值表明 HBA 芯片支持的最大端口数量。最大可以支持 32 个端口。0h 表明 1 个端口, 这是最小的需求。注意这个域中表明的端口数量可能比 PI 寄存器中表明的端口数量要多。

### 2.3.1.2 偏移 04h: GHC(全局主机控制)

这个寄存器控制 HBA 的各种动作。

位	类型	复位	描述
---	----	----	----

31	RW/ RO	1	<b>AHCI 使能(AE):</b> 当设置为 1, 表明与 HBA 通信需要通过 AHCI 机制。这个可以用于既支持传统机制(例如 SFF-8038i)又支持 AHCI 方式的 HBA 工作在 AHCI 驱动下时。软件应该只通过 AHCI 方式 HBA 通信。当清除为 0, 软件应该只通过传统机制与 HBA 通信。FIS 不能传递到主存中, 也没有命令通过 AHCI 机制发送。软件应该在访问其他 AHCI 寄存器前设置这位为 1。当软件把这位从 1 清除为 0 时, 不能附带设置 GHC 中其他位(例如, 软件应该写 GHC 全 0h 来清除 AE 位)。这一位的实现依赖于 CAP.SAM 位的值。如果 CAP.SAM 为 0, GHC.AE 是可读写的, 复位值为 0。如果 CAP.SAM 为 1, GHC.AE 是只读的, 复位值为 1。
30:03	RO	0	保留
02	RO	0	<b>MSI 转换成单个消息(MRSM):</b> 当硬件设置为 1, 表明 HBA 请求超过 1 个的 MSI 向量, 但是会转换成只使用第一个向量。当清除为 0, HBA 不转换成单个 MSI 模式(例如, 硬件已经在单个 MSI 模式下, 软件分配了消息请求数量, 或者当 MC.MME < MC.MMC 时硬件共享了中断向量)。HBA 可以转换成单个 MSI 模式当主机分配的向量数量小于请求数量。这一位在下面的情况下应该设置为 1:  <ul style="list-style-type: none"> <li>• MC.MSIE = '1' (MSI 使能)</li> <li>• MC.MMC &gt; 0 (多消息请求)</li> <li>• MC.MME &gt; 0 (分配多个消息)</li> <li>• MC.MME != MC.MMC (消息分配不等于消息请求) 当这一位设置为 1, 使用单个 MSI 模式, 软件负责清除 IS 寄存器中的对应位来清除中断。当 4 种条件状态任一条件不满足时, 硬件清除这一位为 0。当 MC.MSIE = '1' 和 MC.MME = 0h 时, 这一位也清除为 0。在这种情况下, 硬件被编程设置为使用单个 MSI 模式, 而不是“转换”成这种模式。</li> </ul>
01	RW	0	<b>中断使能(IE):</b> 这是 HBA 中断的全局使能位。当清除为 0, 所有端口的中断源都不使能。当设置为 1, 中断都使能。
00	RW1	0	<b>HBA 复位(HR):</b> 当软件设置为 1 会产生 HBA 内部复位。所有数据传输和队列相关的状态机都返回空闲状态, 所有的端口通过 COMRESET 重新初始化(如果不支持 SSS)。如果支持 SSS, 复位完成后软件负责启动各个端口。当 HBA 执行完复位动作, 这一位复位为 0。软件写这一位为 0 没有影响。参考章节 10.4.3, 描述了设置了这一位会导致哪些位被复位。

### 2.3.1.3 偏移 08h: IS(中断状态)

这个寄存器表明控制器的哪个端口有悬挂的中断等待服务。

位	类型	复位	描述
31:0	RWC	0	<b>中断悬挂状态(IPS):</b> 如果设置为 1, 表明对应的端口有悬挂的中断。软件使用这个信息决定哪个端口在中断后请求服务。IPS[x]位只定义了实现了的端口, 或者 CCC_CTL.INT 中定义的命令完成合并中断。所有的其他位是保留的。

### 2.3.1.4 偏移 0Ch: PI(端口实现)

这个寄存器表明 HBA 开放了哪个端口。这个值通过 BIOS 加载。它表明 HBA 支持的哪个端口可以被软件使用。例如, HBA 在 CAP.NP 域中表明支持 6 个端口, 但端口 1、3 可以使用, 端口 0、2、4、5 不能使用。软件不能读或写不能使用的端口寄存器。这个寄存器允许系统厂商建立端口数量少于 HBA 芯片实现端口的平台。

位	类型	复位	描述
---	----	----	----



31:0	RO	0x3	<b>端口实现(PI):</b> 这个寄存器是按位有意义的。如果某一位设置为 1, 对应的端口是可以被软件使用的。如果某一位清除为 0, 对应的端口不能被软件使用。可以设置的为 1 的位的最大数量不能超过 CAP.NP + 1, 但是可以少于 CAP.NP + 1。至少有 1 位应该设置为 1。
------	----	-----	--

### 2.3.1.5 偏移 10h: VS(AHCI 版本)

这个寄存器表明 HBA 支持的 AHCI 的主要和次要版本号。高 2 个字节表示主要版本号, 低 2 个字节表示次要版本号。例如版本 3.12 就应该表示为 00030102h。现在有 4 个版本号是有效的: 0.95, 1.0, 1.1, 1.2 和 1.3。

位	类型	复位	描述
31:16	RO	0x0001	<b>主要版本号(MJR):</b> 表明主要版本号是“1”
15:00	RO	0x0300	<b>次要版本号(MJR):</b> 表明次要版本号是“30”

### 2.3.1.6 偏移 14h: CCC\_CTL(命令完成合并控制)

命令完成合并控制寄存器用于配置整个 HBA 命令完成合并特征。 **实现提醒:** HBA 状态变量(例如, 包括 hCccComplete 和 hCccTimer)用于描述真个内部可见行为。实现时不需要有与这些变量直接对应的内部状态值。

位	类型	复位	描述
31:16	RW	1	<b>超时值(TV):</b> 超时值以 1ms 为间隔定义。计时器的精度值应该小于 5%。hCccTimer 使用这个超时值。当命令在指定端口悬挂时, hCccTimer 值只会减少, 如章节 11.2 中定义的。HBA 将会置起 CCC 中断当 hCccTimer 值减少为 0 时。每次 CCC 中断置起时, hCccTimer 将会复位到超时值。超时 值为 0 是保留的。
15:8	RW	1	<b>命令完成(CC):</b> 必须要定义的命令完成的数量来产生 CCC 中断。HBA 有内部命令完成计数器, hCccComplete。当选定端口有命令完成, hCccComplete 每次增加 1。当 hCccComplete 等于命令完成数量时, CCC 中断置起。每次 CCC 中断置起时, 内部命令完成计数器复位到 0。这个 域为 0 将不使能基于命令完成数量产生的 CCC 中断。例如, 在这种情况下只能产生基于计数器的中断。
7:3	RO	0x3	<b>中断(INT):</b> 定义使用 CCC 特征的中断。PI 中对应位为 0 的没有使用的端口必须标记这个中断为不使用。否则控制器没有实现的端口上会发生 CCC 中断。当 CCC 中断发生时, IS.IPS[INT]设置为 1。这个域也定义了 用于 MSI 的中断向量。
2:1	RO	0	<i>保留</i>
0	RW	0	<b>使能(EN):</b> 当清除为 0, 命令完成合并特征不使能, CCC 中断不会产生。当设置为 1, 命令完成合并特征使能, CCC 中断可以基于超时或命令完成数量条件产生。只有当 EN 位为 0 时改变 TV 和 CC 域的值。当这一位从 0 变为 1 时, 任何 TV 和 CC 值的更新值都会产生作用。

### 2.3.1.7 偏移 18h: CCC\_PORTS(命令完成合并端口)

命令完成合并端口寄存器是当 CCC\_CTL.EN = '1' 时, 定义 CCC 特征的一部分。

位	类型	复位	描述
---	----	----	----

31:0	RWC	0	<b>端口(PRT):</b> 这个寄存器是按位有效的, 每个位对应某个端口, 如第 0 位对应端口 0。如果某一位设置为 1, 对应端口就是 CCC 特征的一部分。如果某一位清除为 0, 对应端口不是 CCC 特征的一部分。设置为 1 的位在 PI 寄存器中对应的位应该也为 1。这个域的更新值会在 1 个计时器增加 值 (1ms) 内产生影响。
------	-----	---	--

### 2.3.1.8 偏移 24h: CAP2(HBA 能力扩展)

这个寄存器表明 HBA 对软件驱动的能力。

位	类型	复位	描述
31:03	RO	0	保留
02	RO	1	<b>部分睡眠到完全睡眠的自动转换(APST):</b> 如果设置为 1, HBA 支持部分睡眠到全部睡眠的自动转换。如果清除为 0, 不支持部分睡眠到全部睡眠的自动转换。参考章节 10.16。
01	RO	0	<b>NVMHCI 在位(NVMP):</b> 当设置为 1, HBA 支持 NVMHCI 和偏移 60h-9Fh 的寄存器。如果清除为 0, HBA 不支持 NVMHCI。参考章节 10.15。
00	RO	0	<b>BIOS/OS 传递(BOH):</b> 当设置为 1, HBA 支持章节 10.6 定义的 BIOS/OS 传递机制, HBA 实现 BOHC 全局 HBA 寄存器。如果清除为 0, HBA 不支持 BIOS/OS 传递机制, 不实现 BOHC 全局 HBA 寄存器。

## 2.3.2 厂商定义寄存器

偏移 A0h 到 FFh 的寄存器是厂商自定义的。

### 2.3.2.1 偏移 A0h: BISTAFR (BIST 启动 FIS)

位	类型	复位	描述
31:16	RO	0	保留
15:8	RO	0	不兼容模式(NCP):
7:0	RO	0	模式定义(PD):

### 2.3.2.2 偏移 A4h: BISTCR (BIST 控制)

位	类型	复位	描述
31:26	RO	0	保留
25	RW	0	老式 phy_ready(OLD_PHY_READY):
24	RW	0	后来的 phy_ready(LATE_PHY_READY):
23:21	RO	0	保留
20	WO	0	远端重定时回环(FERLB)
19	RO	0	保留
18	WO	0	值发送(TXO)
17	WO	0	计数器清除(CNTCLR)
16	WO	0	近端逻辑回环(NEALB)
15	RW	0	实验室回环模式(LLB)
14	RW	0	快速 PHY 初始化使能(QPHYINIT)



13	RW	0	错误失通路检测使能(ERRLOSSEN)
12	RW	0	信号检测特征使能(SDFE)
11	RO	0	保留
10:8	RW	0	链路层控制(LLC)
7	RO	0	保留
6	RW	0	错误使能(ERREN)
5	RW	0	触发器不同(FLIP)
4	RW	0	模式版本(PV)
3:0	RW	0	模式

### 2.3.2.3 偏移 A8h: BISTFCTR (BIST FIS 计数)

位	类型	复位	描述
31:0	RO	0	BIST FIS 计数(COUNT)

### 2.3.2.4 偏移 ACh: BISTSR (BIST 状态)

位	类型	复位	描述
31:24	RO	0	保留
23:16	RO	0	传输错误 (BRSTERR)
15:0	RO	0	帧错误(FRAMERR)

### 2.3.2.5 偏移 B0h: BISTDECR (BIST 双字错误计数)

位	类型	复位	描述
31:0	RO	0	双字错误计数(DWERR)

### 2.3.2.6 偏移 BCh: OOB (OOB 寄存器)

位	类型	复位	描述
31	WE	0	写使能 WE)
30:24	RW/RO	0x2	COMWAKE 最小值(cwMin)
23:16	RW/RO	0x6	COMWAKE 最大值(cwMax)
15:8	RW/RO	0xB	COMINIT 最小值(ciMin)
7:0	RW/RO	0x14	COMINIT 最大值(ciMax)

### 2.3.2.7 偏移 D0h: GPCR (GPIO 控制)

位	类型	复位	描述
31:0	RW	0	通用目的控制(gp_ctrl)

### 2.3.2.8 偏移 D4h: GPSR (GPIO 状态)

位	类型	复位	描述
31:0	RW	0	通用目的状态(gp_status)

### 2.3.2.9 偏移 E0h: TIMER1MS (计时器 1ms)

位	类型	复位	描述
31:20	RO	0	保留
19:0	RW/RO	0x3D090	1ms 时间值(TIMV)

### 2.3.2.10 偏移 E8h: GPARAM1R (全局参数 1)

位	类型	复位	描述
31	RO	1	RX 数据对界(ALIGN_M)
30	RO	0	RX 数据缓冲 (RX_BUFFER)
29:28	RO	0x1	PHY 数据宽度(PHY_DATA)
27	RO	0	PHY 复位模式(PHY_RST)
26:21	RO	0x20	PHY 控制宽度(PHY_CTRL)
20:15	RO	0x20	PHY 状态宽度(PHY_STAT)
14	RO	0	门闩模式 (LATCH_M)
13:11	RO	0x1	PHY 接口类型(PHY_TYPE)
10	RO	1	AMBA 错误响应(RETURN_ERR)
9:8	RO	0	AHB 总线大小端(AHB_ENDIAN)
7	RO	0	AMBA 从地址总线宽度(S_HADDR)
6	RO	0	AMBA 主地址总线宽度(M_HADDR)
5:3	RO	0	AMBA 从数据宽度(S_HDATA)
2:0	RO	0x2	AMBA 主数据宽度(M_HDATA)

### 2.3.2.11 偏移 ECh: GPARAM2R (全局参数 2)

位	类型	复位	描述
31	RO	0	保留
19	RO	0	BIST 回环检查深度(BIST_M)
18	RO	0	上下文 RAM 存储器位置 (FBS_MEM_S)
17:16	RO	0	端口多分器器端口最大数量(FBS_PMPN)
15	RO	0	支持基于 FIS 的切换(FBS_SUPPORT)
14	RO	1	冷在位检测(DEV_CP)
13	RO	1	机械在位切换器(DEV_MP)
12	RO	1	8b/10b 编码/解码(ENCODE_M)
11	RO	1	RX OOB 时钟模式(RXOOB_CLK_M)
10	RO	1	RX OOB 模式 RX_OOB_M)
9	RO	1	TX OOB 模式 (TX_OOB_M)
8:0	RO	0x32	RX OOB 时钟频率(RXOOB_CLK)

### 2.3.2.12 偏移 F0h: PPARAMR (端口参数)

位	类型	复位	描述
31:12	RO	0	保留
11	RO	1	TX FIFO 存储器读端口类型(TX_MEM_M)
10	RO	0	TX FIFO 存储器类型(TX_MEM_S)
9	RO	1	RX FIFO 存储器读端口类型(RX_MEM_M)
8	RO	0	RX FIFO 存储器类型(RX_MEM_S)
7:4	RO	0x7	TX FIFO 深度 (TXFIFO_DEPTH)
3:0	RO	0x7	RX FIFO 深度 (RXFIFO_DEPTH)

### 2.3.2.13 偏移 F4h: TESTR (测试寄存器)

位	类型	复位	描述
31:19	RO	0	保留
18:16	RW	0	端口选择 (PSEL)
15:1	RO	0	保留
0	RW	0	测试接口(TEST_IF)

### 2.3.2.14 偏移 F8h: VERSIOINR (版本号)

位	类型	复位	描述
31:0	RO	0x3432302a	AHSATA 版本号

### 2.3.2.15 偏移 FCh: IDR (ID 号)

位	类型	复位	描述
31:0	RO	0	用户核心 ID 号

## 2.3.3 端口寄存器 (每个端口一套)

下面的寄存器描述了每个端口必须实现的寄存器，所有的端口应该有相同的寄存器映射，端口 0 从 100h 开始，端口 1 从 180h 开始，端口 2 从 200h 开始，端口 3 从 280h 开始，等等。软件决定某个端口偏移的算法是：

- 端口偏移=100h+(端口号 \* 80h)

偏移 70h 到 7Fh 的寄存器是厂商自定义的寄存器。

地址偏移	寄存器名	Description	寄存器名
0x00	PxCLB	Port x Command List Base Address	端口命令列表基址
0x04	PxCLBU	Port x Command List Base Address Upper 32-Bits	端口命令列表基址高 32 位
0x08	PxFB	Port x FIS Base Address	端口 FIS 基址
0x0C	PxFBU	Port x FIS Base Address Upper 32-Bits	端口 FIS 基址高 32 位
0x10	PxIS	Port x Interrupt Status	端口中断状态

0x14	PxIE	Port x Interrupt Enable	端口中断使能
0x18	PxCMD	Port x Command and Status	端口命令和状态
0x1C	<i>Reserved</i>	<i>Reserved</i>	<i>保留</i>
0x20	PxTFD	Port x Task File Data	端口任务文件数据
0x24	PxSIG	Port x Signature	端口签名
0x28	PxSSTS	Port x Serial ATA Status (SCR0: SStatus)	端口 SATA 状态
0x2C	PxSCTL	Port x Serial ATA Control (SCR2: SControl)	端口 SATA 控制
0x30	PxSERR	Port x Serial ATA Error (SCR1: SError)	端口 SATA 错误
0x34	PxSACT	Port x Serial ATA Active (SCR3: SActive)	端口 SATA 活动
0x38	PxCI	Port x Command Issue	端口命令发射
0x3C	PxSNTF	Port x Serial ATA Notification (SCR4: SNotification)	端口 SATA 通知
0x40	PxFBS	Port x FIS-based Switching Control	端口 FIS 基址切换控制
0x44	PxDEVSLP	Port x Device Sleep Register	端口设备睡眠
0x44-0x6F	<i>Reserved</i>	<i>Reserved</i>	<i>保留</i>
0x70	PxDMA CR	Port x DMA Control Register	端口 DMA 控制
0x74-0x77	<i>Reserved</i>	<i>Reserved</i>	<i>保留</i>
0x78	PxPHYCR	Port x PHY Control Register	端口 PHY 控制
0x7C	PxPHYSR	Port x PHY Status Register	端口 PHY 状态

### 2.3.3.1 偏移 00h: PxCLB(端口命令列表基址)

位	类型	复位	描述
31:10	RW	0	<b>命令列表基址(CLB)</b> : 表明这个端口的命令列表的 32 位物理地址基址。当去用于执行的命令时使用这个基址。这个地址指向的结构地址范围是 1KB 的长度。地址的 09:00 是只读的, 表明这个地址必须 1KB 对界。
09:00	RO	0	<i>保留</i>

### 2.3.3.2 偏移 04h: PxCLBU(端口命令列表基址高 32 位)

位	类型	复位	描述
31:00	RW/ RO	0	<b>命令列表基址高位(CLBU)</b> : 表明这个端口的命令列表的高 32 位物理地址基址。当去用于执行的命令时使用这个基址。当 HBA 不支持 64 位地址寻址时, 这个寄存器是只读的, 且值为 0。

### 2.3.3.3 偏移 08h: PxFB(端口 FIS 基址)

位	类型	复位	描述
31:08	RW	0	<b>FIS 基址(FB)</b> : 表明接收 FIS 的 32 位物理地址基址。这个基址指向的结构地址范围是 256KB 的长度。地址的 07:00 是只读的, 表明这个地址必须 256B 对界。当基于 FIS 切换使用时, 这个结构是 4KB 长度, 地址也需要 4KB 对界, 参考章节 9.3.3。
07:00	RO	0	<i>保留</i>

### 2.3.3.4 偏移 0Ch: PxFBU(端口 FIS 基址高 32 位)

位	类型	复位	描述
31:00	RW/ RO	0	<b>FIS 基址高位(FBU)</b> : 表明接收 FIS 的高 32 位物理地址基址。当 HBA 不支持 64 位地址寻址时, 这个寄存器是只读的, 且值为 0。

### 2.3.3.5 偏移 10h: PxIS(端口中断状态)

位	类型	复位	描述
31	RWC	0	<b>冷端口检测状态(CPDS)</b> : 当设置为 1, 表明冷在位检测逻辑发现了一个设备状态发生了改变。这位可以被设置由于一个没有连接的端口连接了一个设备, 或者一个连接的端口的设备被移走。这位只有在 PxCMD.CPD 为 1, 表明支持冷在位监测时有效。
30	RWC	0	<b>任务文件错误状态(TFES)</b> : 只要当设备更新状态寄存器错误位(接收 FIS 状态域的第 0 位)被设置上时这位就被置为 1。
29	RWC	0	<b>主机总线致命故障状态(HBFS)</b> : 表明 HBA 遇到了不能恢复正常的主机总线错误, 例如错误的软件指针。在 PCI 总线中, 这表明可能是目标或主机中止。
28	RWC	0	<b>主机总线数据错误状态(HBDS)</b> : 表明当与系统主存进行读写访问时 HBA 遇到了数据错误(不能纠正的 ECC 或偶校错)。
27	RWC	0	<b>接口致命错误状态(IFS)</b> : 表明 HBA 遇到了 SATA 接口上的错误导致传输停止。参考章节 6.1.2。
26	RWC	0	<b>接口非致命错误状态(INFS)</b> : 表明 HBA 遇到了 SATA 接口上的错误但是能够继续操作。参考章节 6.1.2。
25	RO	0	保留
24	RWC	0	<b>上溢(OFS)</b> : 表明 HBA 从设备接收到了多于命令 PRD 表中定义的字节。
23	RWC	0	<b>错误端口多分器状态(IPMS)</b> : 表明 HBA 接收到了从设备来的 FIS, 但是没有命令悬挂。在端口多分器的设备正常枚举过程中 IPMS 可能会置起。所以建议在端口多分器枚举完成后再使用 IPMS 位。收到异步提醒(Set Device Bits FIS 带提醒位"N"为 1)IPMS 位不会置起。
22	RO	0	<b>PhyRdy 改变状态(PRCS)</b> : 当设置为 1 表明 PhyRdy 信号状态改变了。这位影响 PxSERR.DIAG.N 的状态。为了清除这位, 软件应该清除 PxSERR.DIAG.N
21:08	RO	0	保留
07	RWC	0	<b>设备机械在位状态(DMPS)</b> : 当设置为 1, 表明连接这个端口的机械在位切换器打开或关闭了。这可以引导改变正确的设备状态。只有当 CAP.SMPS 和 PxCMD.MPSP 设置为 1 时这位才有效。
06	RO	0	<b>端口连接改变状态(PCS)</b> : 值为 1 表明当前连接状态改变了, 值为 0 表明当前连接状态没有改变。这一位影响 PxSERR.DIAG.X 的状态, 只有清除 PxSERR.DIAG.X, 这位才能被清除。
05	RWC	0	<b>描述符处理(DPS)</b> : 传输完带“T”位的 PRD 管理的所有数据。参考章节 5.4.2。
04	RO	0	<b>Unknown FIS 中断(UFS)</b> : 当设置为 1 表明收到 unknown FIS, 并被拷贝到系统主存中。通过软件清除 PxSERR.DIAG.F 为 0 清除这位。PxSERR.DIAG.F 当检测到 unknown FIS 时就置起, 而这位当 unknown FIS 拷贝进主存再置起。软件清除这位为 0 清除这位。PxSERR.DIAG.F 为 0 清除这位。PxSERR.DIAG.F 当检测到 unknown FIS 时就置起, 而这位当 unknown FIS 拷贝进主存再置起。
03	RWC	0	<b>Set Device Bits FIS 中断(SDBS)</b> : 收到带“T”的 Set Device Bits FIS 并且已经拷

02	RWC	0	<b>DMA Setup FIS 中断(DSS):</b> 收到带“T”的 DMA Setup FIS 并且已经拷贝到系统主存。
01	RWC	0	<b>PIO Setup FIS 中断(PSS):</b> 收到带“T”的 PIO Setup FIS 并且已经拷贝到系统主存, FIS 相关的数据已经传输了。及时数据传输的结果是错误的也会置起这位。
00	RWC	0	<b>D2H Register FIS 中断(DHRS):</b> 收到带“T”的 D2H Register FIS 并且已经拷贝

### 2.3.3.6 偏移 14h: PxIE(端口中断使能)

这个寄存器使能和不使能报告系统的对应中断。当某位设置为 1, 对应的中断条件是使能的, 中断也是允许的。设能位设置为 1 的中断源仍然会影响状态寄存器, 这个寄存器与 PxIS 寄存器是对应的。

位	类型	复位	描述
31	RW/ RO	0	<b>冷在位检查使能(CPDE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.CPDS 设置为 1, HBA 将产生中断。如果系统不支持冷在位检查, 这位为只读, 值为 0。
30	RW	0	<b>任务文件错误使能(TFEE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.TFES 设置为 1, HBA 将产生中断。
29	RW	0	<b>主机总线致命错误使能(HBFE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.HBFS 设置为 1, HBA 将产生中断。
28	RW	0	<b>主机总线数据错误使能(HBFE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.HBDS 设置为 1, HBA 将产生中断。
27	RW	0	<b>接口致命错误使能(IFE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.IFS 设置为 1, HBA 将产生中断。
26	RW	0	<b>接口非致命错误使能(INFE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.INFS 设置为 1, HBA 将产生中断。
25	RO	0	保留
24	RW	0	<b>上溢使能(OFE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.OFS 设置为 1, HBA 将产生中断。
23	RW	0	<b>错误端口多分器使能(IPME):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.IPMS 设置为 1, HBA 将产生中断。
22	RW	0	<b>PhyRdy 改变中断使能(PRCE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.PRCS 设置为 1, HBA 将产生中断。
21:08	RO	0	保留
07	RW/ RO	0	<b>设备机械在位使能(DMPE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.DMPS 设置为 1, HBA 将产生中断。如果系统不支持机械在位切换器, 这位为只读, 值为 0。
06	RW	0	<b>端口改变中断使能(PCE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.PCS 设置为 1, HBA 将产生中断。
05	RW	0	<b>描述符处理中断使能(DPE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.DPS 设置为 1, HBA 将产生中断。
04	RW	0	<b>Unknown FIS 中断使能(UFE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.UFS
03	RW	0	<b>Set Device Bits FIS 中断使能(SDBE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.SDBS 设置为 1, HBA 将产生中断。
02	RW	0	<b>DMA Setup FIS 中断使能(DSE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.DSS 设置为 1, HBA 将产生中断。

01	RW	0	<b>PIO Setup FIS 中断使能(PSE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.PSS
00	RW	0	<b>D2H Register FIS 中断使能(DHRE):</b> 当这位设置为 1, GHC.IE 设置为 1, PxIS.DHRS 设置为 1, HBA 将产生中断。



### 2.3.3.7 偏移 18h: PxCMD(端口命令和状态)

位	类型	复位	描述														
31:28	RW	0	<p><b>接口通信控制(ICC):</b> 这个域用于控制接口的电源管理状态。如果链路层当前在 L_IDLE 状态, 写这个域会导致 HBA 发起到接口电源管理状态的请求。如果链路层不在 L_IDLE 状态, 写这个域将没有影响。</p> <table border="1"> <thead> <tr> <th>值</th> <th>定义</th> </tr> </thead> <tbody> <tr> <td>Fh - 7h</td> <td>保留</td> </tr> <tr> <td>6h</td> <td><b>完全睡眠:</b> 这将导致 HBA 请求接口转换到全部睡眠状态, SATA 设备可能拒绝这个请求, 接口仍保持在当前状态。</td> </tr> <tr> <td>5h - 3h</td> <td>保留</td> </tr> <tr> <td>2h</td> <td><b>部分睡眠:</b> 这将导致 HBA 请求接口转换到部分睡眠状态, SATA 设备可能拒绝这个请求, 接口仍保持在当前状态。</td> </tr> <tr> <td>1h</td> <td><b>活跃:</b> 这将导致 HBA 请求转换到活跃状态。</td> </tr> <tr> <td>0h</td> <td><b>无操作/空闲:</b> 当软件读这个值, 表明 HBA 等待接收新的接口控制命令, 虽然到上一个选择状态的转换可能没有发生。</td> </tr> </tbody> </table> <p>当系统软件写不是无操作/空闲(0h)的值, HBA 将执行这个动作并更新这个域为无操作/空闲 (0h)。如果软件写这个域去改变到当前链路已经处于的状态(例如接口处于活动 状态, 请求也是转换到活动状态), HBA 将没有操作并返回到空闲状态。如果接口在低功耗状态, 软件请求转换到其他的低功耗状态, 软件必须先 使链路到活跃状态, 然后启动到希望低功耗状态的转换。</p>	值	定义	Fh - 7h	保留	6h	<b>完全睡眠:</b> 这将导致 HBA 请求接口转换到全部睡眠状态, SATA 设备可能拒绝这个请求, 接口仍保持在当前状态。	5h - 3h	保留	2h	<b>部分睡眠:</b> 这将导致 HBA 请求接口转换到部分睡眠状态, SATA 设备可能拒绝这个请求, 接口仍保持在当前状态。	1h	<b>活跃:</b> 这将导致 HBA 请求转换到活跃状态。	0h	<b>无操作/空闲:</b> 当软件读这个值, 表明 HBA 等待接收新的接口控制命令, 虽然到上一个选择状态的转换可能没有发生。
值	定义																
Fh - 7h	保留																
6h	<b>完全睡眠:</b> 这将导致 HBA 请求接口转换到全部睡眠状态, SATA 设备可能拒绝这个请求, 接口仍保持在当前状态。																
5h - 3h	保留																
2h	<b>部分睡眠:</b> 这将导致 HBA 请求接口转换到部分睡眠状态, SATA 设备可能拒绝这个请求, 接口仍保持在当前状态。																
1h	<b>活跃:</b> 这将导致 HBA 请求转换到活跃状态。																
0h	<b>无操作/空闲:</b> 当软件读这个值, 表明 HBA 等待接收新的接口控制命令, 虽然到上一个选择状态的转换可能没有发生。																
27	RW/ RO	0	<p><b>激进全部睡眠/部分睡眠(ASP):</b> 当设置为 1, ALPE 设置为 1, HBA 将激进地进入完全睡眠状态, 当 PxCI 清除为 0, 且 PxSACT 已经为 0, 或者当 PxSACT 清除为 0, 且 PxCI 已经为 0。当清除为 0, ALPE 设置为 1, HBA 将激进地进入 部分睡眠状态, 当 PxCI 清除为 0, 且 PxSACT 已经为 0, 或者当 PxSACT 清除 为 0, 且 PxCI 已经为 0。如果 CAP.SALP 清除为 0, 软件将把这位作为保留位。 参考章节 8.3.1.3。</p>														
26	RW/ RO	0	<p><b>激进链路功耗管理使能(ALPE):</b> 当设置为 1, HBA 将基于 ASP 位的设置激进地进入某个低功耗状态(部分睡眠或完全睡眠)。只有 CAP.SALP 设置为 1 时软件才能设置这位为 1。如果 CAP.SALP 清除为 0, 软件将把这位作为保留位。参考章节 8.3.1.3。</p>														
25	RW	0	<p><b>驱动 LED 打开 ATAPI 使能(DLAE):</b> 当设置为 1, HBA 将根据命令驱动 LED 管脚活跃而忽略 PxCMD.ATAPI 的状态。当清除为 0, HBA 将只当</p>														
24	RW	0	<p><b>设备是 ATAPI(ATAPI):</b> 当设置为 1, 连接的设备是 ATAPI 设备。这位用于 HBA 控制是否产生桌面 LED 当命令是活跃的。参考章节 10.11。</p>														
23	RW	0	<p><b>部分睡眠到完全睡眠自动转换使能(APSTE):</b> 当设置为 1, HBA 可以执行部分睡眠到完全睡眠自动转换。当清除为 0, 端口将不执行部分睡眠到完全睡眠自动转换。如果 CAP2.APST 设置为 1, 软件不能设置这位为 1; 如果 CAP2.APST 清除为 0, 软件将把这位作为保留位。</p>														
22	RO	0	<p><b>基于 FIS 切换能力端口(FBSCP):</b> 当设置为 1, 表明这个端口支持端口多分器基于 FIS 切换。如果清除为 0, 表明这个端口不支持基于 FIS 切换。只有当 CAP.SPM 和 CAP.FBSS 都设置为 1 时这位可以设置为 1。</p>														

21	RO	0	<b>外部 SATA 端口(ESP):</b> 当设置为 1, 表明这个端口的可以通过只有信号连接的外部信号连接器访问(例如 eSATA 连接器)。CAP.SXS 也设置为 1。当清除为 0, 表明这个端口不能通过只有信号连接的外部信号连接器访问。ESP 与这个寄存器中的 HPCP 位是互斥的。如果 ESP 设置为 1, 这个端口可能会发生热插拔事件。
20	RO	0	<b>冷在位检测(CPD):</b> 如果设置为 1, 平台支持这个端口的冷在位检测。如果清除为 0, 平台不支持这个端口的冷在位检测。当这位设置为 1, PxCMD.HPCP 也应该设置为 1。
19	RO	0	<b>机械在位切换器连接端口(MPSP):</b> 如果设置为 1, 平台支持机械在位切换器连接到这个端口。如果清除为 0, 平台不支持机械在位切换器连接到这个端口。如果这位设置为 1, PxCMD.HPCP 也应该设置为 1。
18	RO	0	<b>热插拔能力端口(HPCP):</b> 当设置为 1, 表明这个端口的信号和电源连接器是外部可访问的。通过合并信号和电源的连接器用于盲目的热插拔。当清除为 0, 表明这个端口不是通过合并信号和电源的连接器外部可以访问的。HPCP 与这个寄存器中的 ESP 位是互斥的。
17	RW/ RO	0	<b>端口多分器连接(PMA):</b> 当 HBA 支持端口多分器(CAP.SPM = '1')时这位是可读写的。当 HBA 不支持端口多分器(CAP.SPM = '0')时这位是只读的。当软件设置为 1, HBA 支持连接端口多分器, 如果软件清除为 0, 端口多分器不能连接到 HBA 的这个端口。软件负责检查是否有端口多分器存在; 硬件不自动检测是否存在端口多分器。软件只有在 PxCMD.ST 清除为 0 时才能设置这位为 1。
16	RO	0	<b>冷在位状态(CPS):</b> CPS 位表示通过冷在位检测是否检测到这个端口有设备连接。如果这位设置为 1, HBA 通过冷在位检测到设备连接到这个端口。如果这位清除为 0, HBA 通过冷在位检测到没有设备连接到这个端口。
15	RO	0	<b>命令列表运行(CR):</b> 当这位设置为 1, 这个端口的命令列表 DMA 正在运行。参考章节 5.3.2 中 AHCI 状态机的描述, 了解 HBA 什么时候设置和清除这
14	RO	0	<b>FIS 接收运行(FR):</b> 当设置为 1, 这个端口的 FIS 接收 DMA 正在运行。参考章节 10.3.2 了解 HBA 什么时候设置和清除这位。
13	RO	0	<b>机械在位切换器状态(MPSS):</b> MPSS 位报告连接到这个端口的机械在位切换器的状态。如果 CAP.SMPS 设置为 1, 而机械在位切换器是关闭的, 那么这位清除为 0。如果 CAP.SMPS 设置为 1, 而机械在位切换器是打开的, 那么这位设置为 1。如果 CAP.SMPS 清除为 0, 那么这位清除为 0。软件只有当 CAP.SMPS 和 PxCMD.MPSP 都设置为 1 时才使用这位。
12:08	RO	0	<b>当前命令槽(CCS):</b> 当 PxCMD.ST 设置为 1 时这个域有效, 应该被设置为 HBA 当前发出命令的命令槽的值。如果 PxCMD.ST 从 1 变为 0, 这个域应该复位为 0。当 PxCMD.ST 从 0 变为 1 是, 下一个要发射的最高优先级的命令槽是命令槽 0。当第一个命令发射后, 下一个待发射的最高优先级的命令槽是 PxCMD.CCS + 1。例如, HBA 发生完第一个命令后, 如果 CCS = 0h、PxCMD.CCS=3h, 那么下一个发射的是命令槽 1。
07:05	RO	0	保留
04	RW	0	<b>FIS 接收使能(FRE):</b> 当设置为 1, HBA 将接收到的 FIS 发送到 PxFB(64 位的 HBA 还需要 PxFBU)指向的 FIS 接收区域。如果清除为 0, 除了初始化序列后第一个 D2H register FIS, HBA 不接收收到的 FIS, 没有 FIS 发送到 FIS 接收区域。系统软件不设置这位直到 PxFB (PxFBU)被设置为一个指向 FIS 接收区域的有效指针。如果软件准备改变这个基址, 这位应该先清除, 然后软件等待这个寄存器的 FR 位被清除。参考章节 10.3.2 中什么时候 FRE 位可以被设置和清除的重要限定。

03	RW1	0	<b>命令列表覆盖(CLO):</b> 设置这位为 1 导致 PxTFD.STS.BSY 和 PxTFD.STS.DRQ 清除为 0。这允许软件复位到设备的传输而忽略 PxTFD.STS 中设置的 BSY 和 DRQ 位。当 PxTFD.STS.BSY 和 PxTFD.STS.DRQ 已经为 0 时 设置清除这位为 0。写这位为 0 对 HBA 没有影响。只能在 PxCMD.ST 正准备从 0 设置为 1 前设置这位为 1。其他时候设置这位为 1 是不支持的, 可能会产生 不可预料的行为。软件应该在 PxCMD.ST 设置为 1 前等待 CLO 清除为 0。
02	RW/RO	0	<b>上电设备(POD):</b> 当 PxCMD.CPD 设置为 1 表明 HBA 支持这个端口冷在位检测, 这位是可读写的。当 HBA 不支持冷在位检测, 这位是只读的, 且值为 1。当设置为 1, HBA 设置一个管脚的状态, 用于可检测的冷在位端口上电。
01	RW/RO	0	<b>启动设备(SUD):</b> 当 HBA 支持通过 CAP.SSS 交错启动时这位是可读写的。当 HBA 不支持通过 CAP.SSS 交错启动时这位是只读的, 且值为 1。当检测到从 0 到 1 的边沿时, HBA 启动给设备的 COMRESET 初始化序列。清除这位为 0 不会导致端口这个发送任何 OOB 信号。当这位清除为 0、PxSCTL.DET=0h, HBA 将进入章节 10.10.1 中描述的倾听模式。
00	RW	0	<b>开始(ST):</b> 当设置为 1, HBA 开始处理命令列表。当清除为 0, HBA 不处理命令列表。无论什么时候这位从 0 变为 1, HBA 就开始从命令列表第 0 条目开始处理。无论什么时候这位从 1 变为 0, 当 HBA 使控制器进入空闲状态时, HBA 清除 PxCI 寄存器。只有当软件把 PxCMD.FRE 设置为 1 后这位才能被设置为 1。参考章节 10.3.1 中 ST 位什么时候能被设置为 1 的重要限定。

### 2.3.3.8 偏移 20h: PxTFD(端口任务文件数据)

当收到 FIS 时, 这个 32 位寄存器拷贝任务文件的特定域。包括这些信息的 FIS 有:

- D2H Register FIS
- PIO Setup FIS
- Set Device Bits FIS (这个 FIS 不更新 BSY 和 DRQ)

位	类型	复位	描述																		
31:16	RO	0	保留																		
15:08	RO	0	<b>错误(ERR):</b> 包含命令文件错误寄存器的最后拷贝。																		
07:00	RO	0x7F	<b>状态(STS):</b> 包含任务文件状态寄存器的最后拷贝。这个寄存器中影响 AHCI 硬件操作的域的含义为: <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>位</th> <th>域</th> <th>定义</th> </tr> </thead> <tbody> <tr> <td>7</td> <td>BSY</td> <td>表明接口忙</td> </tr> <tr> <td>6:4</td> <td>cs</td> <td>命令定义</td> </tr> <tr> <td>3</td> <td>DRQ</td> <td>表明请求数据传输</td> </tr> <tr> <td>2:1</td> <td>cs</td> <td>命令定义</td> </tr> <tr> <td>0</td> <td>ERR</td> <td>表明传输中发生错误</td> </tr> </tbody> </table> HBA 更新整个 8 位的域, 而不是上面的某一位。	位	域	定义	7	BSY	表明接口忙	6:4	cs	命令定义	3	DRQ	表明请求数据传输	2:1	cs	命令定义	0	ERR	表明传输中发生错误
位	域	定义																			
7	BSY	表明接口忙																			
6:4	cs	命令定义																			
3	DRQ	表明请求数据传输																			
2:1	cs	命令定义																			
0	ERR	表明传输中发生错误																			

### 2.3.3.9 偏移 24h: PxSIG(端口签名)

这个 32 为寄存器包含收到来自连接设备的第一个 D2HRegister FIS 的初始签名。它在复位序列一结束后就会更新。

位	类型	复位	描述

31:00	RO	0xFFFFFFFF	<b>签名(SIG):</b> 包含收到的第一个 D2H Register FIS 的签名。位的顺序是: <table border="1" style="margin-left: 20px;"> <tr> <th>Bit</th> <th>Field</th> </tr> <tr> <td>31:24</td> <td>LBA 高位</td> </tr> <tr> <td>23:16</td> <td>LBA 中位</td> </tr> <tr> <td>15:08</td> <td>LBA 低位</td> </tr> <tr> <td>07:00</td> <td>扇区数量</td> </tr> </table>	Bit	Field	31:24	LBA 高位	23:16	LBA 中位	15:08	LBA 低位	07:00	扇区数量
Bit	Field												
31:24	LBA 高位												
23:16	LBA 中位												
15:08	LBA 低位												
07:00	扇区数量												

### 2.3.3.10 偏移 28h: PxSSTS(端口 SATA 状态)

这个 32 位寄存器表达了接口和主机的当前状态。HBA 连续地异步更新这个寄存器。当 HBA 发送 COMRESET 给设备时, 这个寄存器更新为复位值。

位	类型	复位	描述
31:12	RO	0	保留
11:08	RO	0	<b>接口电源管理(IPM):</b> 表明当前接口状态。 0h 设备不存在或者通信没有建立 1h 接口在活跃状态 2h 接口在部分睡眠电源管理状态 6h 接口在完全睡眠电源管理状态 所有其他的值都是保留的。
07:04	RO	0	<b>当前接口速率(SPD):</b> 表明协商后的接口通信速率。 0h 设备不存在或者通信没有建立 1h 协商后第 1 代通路速率 2h 协商后第 2 代通路速率 3h 协商后第 3 代通路速率 所有其他的值都是保留的。
03:00	RO	0	<b>设备检测(DET):</b> 表明接口设备检测和 PHY 状态。 <sup>1</sup> 0h 没有设备检测到或者通信没有建立 1h 设备存在但是 PHY 通信没有建立 3h 设备存在并且 PHY 通信建立 4h PHY 在离线模式, 由于接口没使能或者运行在 BIST 回环模式 所有其他的值都是保留的。

1、设备在位的实现含义可以是厂商定义的。但在收到 COMINIT 之后应该指示设备在位。

### 2.3.3.11 偏移 2Ch: PxSCTL(端口 SATA 控制)

这是软件控制 SATA 能力的 32 位可读写寄存器。写这个寄存器会导致主机适配器或接口产生动作。读这个寄存器返回最后写入的值。

位	类型	复位	描述
31:20	RO	0	保留
19:16	RO	0	<b>端口多分器端口(PMP):</b> 这个域 AHCI 不使用。
15:12	RO	0	<b>选择电源管理(SPM):</b> 这个域 AHCI 不使用。
11:08	RW	0	<b>接口电源管理转换允许(IPM):</b> 表明允许转换到哪个电源状态。如果某个电源管理状态不允许, HBA 不能允许启动那个状态, 对设备发起转换那个状态的请求, HBA 必须返回 PMNAKP。

			1h 不允许转换到部分睡眠状态 2h 不允许转换到完全睡眠状态 3h 不允许转换到部分睡眠和完全睡眠状态 所有其他的值都是保留的。
07:04	RW	0	<b>速率允许(SPD):</b> 表明允许的接口最高速率。 0h 没有速率协商限定 1h 限制速率协商到第 1 代通信速率 2h 限制速率协商到不超过第 2 代通信速率 3h 限制速率协商到不超过第 3 代通信速率 所有其他的值都是保留的。
03:00	RW	0	<b>设备检测初始化(DET):</b> 控制 HBA 设备检测和接口初始化。 0h 没有设备检测或初始化动作请求 1h 执行接口通信初始化序列来建立通信。这个功能等同于硬复位, 导致接口复位, 通信重新初始化。当这个域为 1h, 端口发送 COMRESET。软件应该让 DET 域设置为 1 保持至少 1ms, 确保 COMRESET 发送到接口。 4h 不使能 SATA 接口, 让 PHY 在离线状态。所有其他的值都是保留的。 只有当 PxCMD.ST 为 0 时改变这个域的值。当 PxCMD.ST 设置为 1 时改变这个域的值会导致不确定的行为。当 PxCMD.ST 设置为 1 时这个域的值应该为

### 2.3.3.12 偏移 30h: PxSERR(端口 SATA 错误)

位	类型	复位	描述																								
31:16	RWC	0	<b>诊断(DIAG):</b> 包含诊断错误信息用于诊断软件确认正确操作或脱离错误模式: <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">31:27</td> <td>保留</td> </tr> <tr> <td>26</td> <td><b>交换(X):</b> 当这位设置为 1 表明从上次这位清除后设备在位状态发生过改变。设备在位的实现含义是厂商定义的。任何时候收到 COMINIT 信号, 这位总是设置为 1。这位受 PxIS.PCS 影响。</td> </tr> <tr> <td>25</td> <td><b>Unknown FIS 类型(F):</b> 表明传输层收到一个或多个带正确 CRC 的 FIS, 但是不认识/知道类型域的含义。</td> </tr> <tr> <td>24</td> <td><b>传输层状态转换错误(T):</b> 表明自从上次这位清除后, 传输层在状态转换是发生了错误。</td> </tr> <tr> <td>23</td> <td><b>链路序列错误(S):</b> 表明遇到了一个或多个链路状态机错误条件。链路层状态机定义了检测错误转换的条件。</td> </tr> <tr> <td>22</td> <td><b>握手错误(H):</b> 表明帧传输时收到一个或多个 R_ERR 握手响应。 这样的错误可能是接收者检测到 CRC 错误, 奇偶校验错, 或 8b/10b</td> </tr> <tr> <td>21</td> <td><b>CRC 错(C):</b> 表明链路层发生一个或多个 CRC 错。</td> </tr> <tr> <td>20</td> <td><b>奇偶校验错(D):</b> 这个域 AHCI 不支持。</td> </tr> <tr> <td>19</td> <td><b>10b 到 8b 译码错 (B):</b> 表明发生一个或多个 10b 到 8b 的译码</td> </tr> <tr> <td>18</td> <td><b>COMWAKE(W):</b> 表明 PHY 收到 COMWAKE 信号。</td> </tr> <tr> <td>17</td> <td><b>PHY 内部错(I):</b> 表明 PHY 检测到一些内部错。</td> </tr> <tr> <td>16</td> <td><b>PhyRdy 改变(N):</b> 表明 PhyRdy 信号改变了状态。这位受 PxIS.PRCS 的影响。</td> </tr> </table>	31:27	保留	26	<b>交换(X):</b> 当这位设置为 1 表明从上次这位清除后设备在位状态发生过改变。设备在位的实现含义是厂商定义的。任何时候收到 COMINIT 信号, 这位总是设置为 1。这位受 PxIS.PCS 影响。	25	<b>Unknown FIS 类型(F):</b> 表明传输层收到一个或多个带正确 CRC 的 FIS, 但是不认识/知道类型域的含义。	24	<b>传输层状态转换错误(T):</b> 表明自从上次这位清除后, 传输层在状态转换是发生了错误。	23	<b>链路序列错误(S):</b> 表明遇到了一个或多个链路状态机错误条件。链路层状态机定义了检测错误转换的条件。	22	<b>握手错误(H):</b> 表明帧传输时收到一个或多个 R_ERR 握手响应。 这样的错误可能是接收者检测到 CRC 错误, 奇偶校验错, 或 8b/10b	21	<b>CRC 错(C):</b> 表明链路层发生一个或多个 CRC 错。	20	<b>奇偶校验错(D):</b> 这个域 AHCI 不支持。	19	<b>10b 到 8b 译码错 (B):</b> 表明发生一个或多个 10b 到 8b 的译码	18	<b>COMWAKE(W):</b> 表明 PHY 收到 COMWAKE 信号。	17	<b>PHY 内部错(I):</b> 表明 PHY 检测到一些内部错。	16	<b>PhyRdy 改变(N):</b> 表明 PhyRdy 信号改变了状态。这位受 PxIS.PRCS 的影响。
31:27	保留																										
26	<b>交换(X):</b> 当这位设置为 1 表明从上次这位清除后设备在位状态发生过改变。设备在位的实现含义是厂商定义的。任何时候收到 COMINIT 信号, 这位总是设置为 1。这位受 PxIS.PCS 影响。																										
25	<b>Unknown FIS 类型(F):</b> 表明传输层收到一个或多个带正确 CRC 的 FIS, 但是不认识/知道类型域的含义。																										
24	<b>传输层状态转换错误(T):</b> 表明自从上次这位清除后, 传输层在状态转换是发生了错误。																										
23	<b>链路序列错误(S):</b> 表明遇到了一个或多个链路状态机错误条件。链路层状态机定义了检测错误转换的条件。																										
22	<b>握手错误(H):</b> 表明帧传输时收到一个或多个 R_ERR 握手响应。 这样的错误可能是接收者检测到 CRC 错误, 奇偶校验错, 或 8b/10b																										
21	<b>CRC 错(C):</b> 表明链路层发生一个或多个 CRC 错。																										
20	<b>奇偶校验错(D):</b> 这个域 AHCI 不支持。																										
19	<b>10b 到 8b 译码错 (B):</b> 表明发生一个或多个 10b 到 8b 的译码																										
18	<b>COMWAKE(W):</b> 表明 PHY 收到 COMWAKE 信号。																										
17	<b>PHY 内部错(I):</b> 表明 PHY 检测到一些内部错。																										
16	<b>PhyRdy 改变(N):</b> 表明 PhyRdy 信号改变了状态。这位受 PxIS.PRCS 的影响。																										
15:00	RWC	0	<b>错误(ERR):</b> ERR 域包含了错误信息用于主机软件决定错误条件的适当响应。 <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 5%;">15:12</td> <td>保留</td> </tr> </table>	15:12	保留																						
15:12	保留																										



11	<b>内部错(E):</b> HBA 发生了内部错导致操作失败, HBA 也可能进入错误状态。内部错包括当准备访问主存时主机或目标中止, 弹性缓冲上溢, 原语不对界, 同步 FIFO 溢出, 或者其他内部错误条件。通常当内部发生时, Pxl 会置起非致命或致命错误, 在需要的恢复机制中指示软件。
10	<b>协议错(P):</b> 监测到违反 SATA 协议。
9	<b>持续的通信或错误完整错(C):</b> 没有恢复的通信错误会持续发生。发生持续的通信错误可能由于错误的设备互连, 来自被移除或发生错误的设备, 或者一系列其他原因。
8	<b>传输数据完整错(T):</b> 发生了数据完整错误, 接收没有接收。
7:2	保留
1	<b>恢复通信错(M):</b> 设备和主机间的通信暂时失效了, 但是重新建立了。这可能由于设备暂时被移走, PHY 同步暂时失败, 或者其原因导致 PHY 和链路层之间的 PhyNRdy 信号变化。
0	<b>恢复数据完整错(I):</b> 接口发现了数据完整错, 通过重试的操作或其他恢复动作恢复了。

### 2.3.3.13 偏移 34h: PxSACT(端口 SATA 活动)

位	类型	复位	描述
31:0	RW1	0	<b>设备状态(DS):</b> 这个域是按位有意义的。每一位对应本地命令队列的 TAG 和命令槽, 例如位 0 对应 TAG 0 和命令槽 0。设置这个域用于软件优先发射某个特定的命令槽中的本地队列命令。设置 PxCI[TAG]为 1 前, 软件应该设置 DS[TAG]为 1 表明带这个 TAG 的命令已经悬挂。设备通过向主机发送 Set Device Bits FIS 来清除这位。HBA 通过设置 Set Device Bits FIS 中的 SActive 域为 1 来清除对应的位。HBA 只清除已经成功的本地队列命令的对应位。软件只有当 PxCMD.ST 为 1 时写这个域。当 PxCMD.ST 从 1 写为 0 时清除这个域。这个域不会被 COMRESET 或软件复位清除。

### 2.3.3.14 偏移 38h: PxCI(端口命令发射)

位	类型	复位	描述
31:0	RW1	0	<b>命令发射(CI):</b> 这个域是按位有意义的。每位对应一个命令槽, 例如位 0 对应命令槽 0。这个域由软件设置向 HBA 表明系统主存的命令槽中已经建立了命令, 可以发送给设备。当 HBA 接收到 FIS 清除命令的 BSY、DRQ 和 ERR 位, 它清除命令槽在这个寄存器中的对应位。当 PxCMD.ST 设置为 1 时软件才能设置这个域为 1。当 PxCMD.ST 从 1 写为 0 时这个域被清除。

### 2.3.3.15 偏移 3Ch: PxSNTF(端口 SATA 通知)

这个寄存器用于决定异步通知事件是否发生了, 设备是直接连接的和通过端口多分器连接的。

位	类型	复位	描述

31:16	RO	0	保留
15:0	RWC	0	<b>PM 通知(PMN):</b> 这个域表明 PM 端口号对应的特定设备发射到主机的 Set Device Bits FIS 是否设置了通知位。端口 0h 设置位 0 ..... 端口 Fh 设置位 15 软件写 1 来清除对应的位。这个域在 HBA 复位时复位为缺省值, 但是不会被 COMRESET 和软件复位复位。

### 2.3.3.16 偏移 40h: PxFBS(端口 FIS 基址切换控制)

这个寄存器用于控制和获得基于 FIS 切换的端口多分器状态。

位	类型	复位	描述
31:20	RO	0	保留
19:16	RO	0	<b>设备有错(DWE):</b> 硬件设置出现过致命错误条件的端口多分器端口的设备号。只有当 PxFBS.SDE = '1'时这个域有效。
15:12	RO	0	<b>活动设备优化(ADO):</b> 这个寄存器显示被优化过的基于 FIS 切换的活动设备数量。当活动设备比这个域指示的数量多时, 同时发生传输的流量会降级。为了优化性能, 软件应该基于这个值限制活跃设备的数量。这个域的最小值是 2h, 表明最少 2 个设备可以维持高性能活跃。
11:8	RW	0	<b>待发射设备(DEV):</b> 软件设置下一个发射命令的端口多分器值。这个域使硬件知道发射命令的端口, 而不用取命令头。同样地写 PxCI, 软件不会向端口多分器端口发射命令。
7:3	RO	0	保留
2	RO	0	<b>单个设备错(SDE):</b> 当设置为 1, 一个致命错误条件发生, 硬件相信错误定位在一个设备上, 这样软件第一个错误恢复步骤应该是使用 PxFBS.DEC 功能。当清除为 0, 一个致命错误发生, 错误发生在整个端口, 清除错误需要软件把 PxCMD.ST 清除为 0。当 PxFBS.DEC 设置为 1 或 PxCMD.ST 清除为 0 时 这位被清除。
1	RW1	0	<b>设备错误清除(DEC):</b> 当软件设置为 1, HBA 应该清除设备特定错误条件, HBA 应该刷新发生错误设备的任何悬挂命令, 包括清除 PxCI 和 PxSACT 中这个设备的对应位。当硬件完成错误恢复动作, 硬件应该清除这位为 0, 软件 写这位为 0 没有影响。只有当 PxFBS.EN 设置为 1 和 PxFBS.SDE 设置为 1 时软件 才能设置这位为 1。
0	RW	0	<b>使能(EN):</b> 当设置为 1, 连接到 HBA 的端口多分器使用基于 FIS 的切换进行通信。当清除为 0, 不是用基于 FIS 的切换。当 PxCMD.ST 清除为 0 时软件不能改变 EN 位的值。

### 2.3.3.17 偏移 44h: PxDEVSLP (设备睡眠)

这个寄存器用于控制和获得基于 FIS 切换的端口多分器状态。

位	类型	复位	描述
31:16	RO	0	保留
28:25	RO	0	DITO 多分器(DM)
24:15	RW/RO	0	设备睡眠空闲超时(DITO)
14:10	RW/RO	0	最小设备睡眠置起时间(MDAT)
9:2	RW/RO	0	设备睡眠退出超时(DETO)
1	RO	0	设备睡眠在位(DSP)



0	RW/RO	0	激进设备睡眠使能(ADSE)
---	-------	---	----------------

## 2.3.4 偏移 70h 到 7Fh: PxVS (端口厂商自定义)

偏移 70h 到 7Fh 的寄存器是厂商自定义的。

### 2.3.4.1 偏移 70h: PxDMA CR (端口 DMA 控制)

位	类型	复位	描述
31:16	RO	0	保留
15:12	RO	0	保留
11:8	RO	0	保留
7:4	RW/RO	0x6	接收传输大小(RXTS) 这个域定义了在接受操作(系统总线写, 设备读)中端口 DMA 传输的大小, 以 FIFO 字数量为单位。 这个域的选项有: 0x0: 1            0x6: 64 0x1: 2            0x7: 128 0x2: 4            0x8: 256 0x3: 8            0x9: 512 0x4: 16           0xA: 1024 0x5: 32 所有其他的值是保留的, 也不能使用。当 P#CMD.ST=0 时, 这个域是可读写的, 当 P#CMD.ST=1 时, 这个域是只读的。这个域的最大值由 AXI 总线的突发传输长度和总线宽度决定的: 突发长度 16 x 总线宽度 128b/32b = 64 当软件试图写超过这个值的值时, 将使用最大值替代这个值。
3:0	RW/RO	0x6	发送传输大小(TXTS) 这个域定义了在接受操作(系统总线读, 设备写)中端口 DMA 传输的大小, 以 FIFO 字数量为单位。 这个域的选项有: 0x0: 1            0x6: 64 0x1: 2            0x7: 128 0x2: 4            0x8: 256 0x3: 8            0x9: 512 0x4: 16           0xA: 1024 0x5: 32 所有其他的值是保留的, 也不能使用。 当 P#CMD.ST=0 时, 这个域是可读写的, 当 P#CMD.ST=1 时, 这个域是只读的。 这个域的最大值由 AXI 总线的突发传输长度和总线宽度决定的: 突发长度 16 x 总线宽度 128b/32b = 64 当软件试图写超过这个值的值时, 将使用最大值替代这个值。

### 2.3.4.2 偏移 78h: PxPHYCR (端口 PHY 控制)

位	类型	复位	描述
31:0	RW	0	端口 PHY 控制

### 2.3.4.3 偏移 7Ch: PxPHYSR (端口 PHY 状态)

位	类型	复位	描述
31:0	RW	0	端口 PHY 状态

## 2.4 显卡相关部件

### 2.4.1 显存

维护地址: **0x5800,0000 ~0x5fff,ffff (128MB)**

MemBiaReg(0x4600-000c)为 4'b0: 对应显存 0x0~0x7ff,ffff

MemBiaReg(0x4600-000c)为 4'b1: 对应显存 0x800,0000~0xffff,ffff

### 2.4.2 MC 寄存器

维护地址: **0x5030,0000 + offset[12:0]**

uMCTL 寄存器

APB Address	Name	Access Type	Description
uMCTL Registers			
0x400~0x47c	PCFG_n	R/W	Port n Configuration Register
0x480	CCFG	R/W	Controller Configuration Register
0x484	DCFG	R/W	DRAM Configuration Register
0x488	CSTAT	R	Controller Status Register
0x48c	CCFG1	R/W	Controller Configuration Register 1
uPCTL Registers			
0x000	SCFG	R/W	State Configuration Register
0x004	SCTL	R/W	State Control Register
0x008	STAT	R	State Status Register
0x00c	INTRSTAT	R	Interrupt Status Register
Initialization Control and Status Registers			

0x040	MCMD	R/W R/WSC	Memory Command Register
0x044	POWCTL	R/WSC	Power Up Control Register
0x048	POWSTAT	R	Power Up Status Register
0x04c	CMDTSTAT	R	Command Timing Status Register
0x050	CMDTSTATEN	R/W	Command Timing Status Enable Register
0x060	MRRCFG0	R/W	MRR COnfiguration 0 Register
0x064	MRRSTAT0	R/W	MRR Status 0 Register
0x068	MRRSTAT1	R/W	MRR Status 1 Register
Memory Control and Status Register			
0x07c	MCFG1	R/W	Memory Configuration 1 Register
0x080	MCFG	R/W	Memory Configuration Register
0x084	PPCFG	R/W	Partially Populated Memories Configuration Register
0x088	MSTAT	R	Memory Status Register
0x08c	LPDDR2ZQCFG	R/W	LPDDR2 ZQ Configuration Register
DTU Control and Status Registers			
0x094	DTUPDES	R	DTU Status
0x098	DTUNA	R	DTU Number of Random Addresses Created
0x09c	DTUNE	R	DTU Number of Errors
0x0a0	DTUPRD0	R	DTU Parallel Read 0
0x0a4	DTUPRD1	R	DTU Parallel Read 1
0x0a8	DTUPRD2	R	DTU Parallel Read 2
0x0ac	DTUPRD3	R	DTU Parallel Read 3
0x0b0	DTUAWDT	R/W	DTU Address Width
Memory Timing Registers			
0x0c0	TOGCNT1U	R/W	Toggle Counter 1U Register
0x0c4	TINIT	R/W	t_init Timing Register
0x0c8	TRSTH	R/W	Reset High Time Register
0x0cc	TOGCNT100N	R/W	Toggle Counter 100N Register
0x0d0	TREFI	R/W	t_refi Timing Register
0x0d4	TMRD	R/W	t_mrd Timing Register
0x0d8	TRFC	R/W	t_rfc Timing Register
0x0dc	TRP	R/W	t_rp Timing Register
0x0e0	TRTW	R/W	t_rtw
0x0e4	TAL	R/W	AL Latency Register
0x0e8	TCL	R/W	CL Timing Register
0x0ec	TCWL	R/W	CWL Register

0x0f0	TRAS	R/W	t_ras Timing Register
0x0f4	TRC	R/W	t_rc Timing Register
0x0f8	TRCD	R/W	t_rcd Timing Register
0x0fc	TRRD	R/W	t_rrd Timing Register
0x100	TRTP	R/W	t_rtp Timing Register
0x104	TWR	R/W	t_wr Timing Register
0x108	TWTR	R/W	t_wtr Timing Register
0x10c	TEXSR	R/W	t_exsr Timing Register
0x110	TXP	R/W	t_xp Timing Register
0x114	TXPDLL	R/W	t_xpdll Timing Register
0x118	TZQCS	R/W	t_zqcs Timing Register
0x11c	TZQCSI	R/W	t_zqcsi Timing Register
0x120	TDQS	R/W	t_dqs Timing Register
0x124	TCKSRE	R/W	t_cksre Timing Register
0x128	TCKSRX	R/W	t_cksrx Timing Register
0x12c	TCKE	R/W	t_cke Timing Register
0x130	TMOD	R/W	t_mod Timing Register
0x134	TRSTL	R/W	Reset Low Timing Register
0x138	TZQCL	R/W	t_zqcl Timing Register
0x13c	TMRR	R/W	t_mrr Timing Register
0x140	TCKESR	R/W	t_ckesr Timing Register
0x144	TDPD	R/W	t_dpd Timing Register
ECC Configuration, Control, and Status Registers			
0x180	ECCCFG	R/W	ECC Configuration Register
0x184	ECCTST	R/W	ECC Test Register
0x188	ECCCLR	R/WSC	ECC Clear Register
0x18c	ECCLOG	R	ECC Log Register
DTU Control and Status Registers			
0x200	DTUWACTL	R/W	DTU Write Address Control Register
0x204	DTURACTL	R/W	DTU Read Address Control Register
0x208	DTUCFG	R/W	DTU Configuration Control Register
0x20c	DTUECTL	R/W	DTU Execute Control Register
0x210	DTUWD0	R/W	DTU Write Data #0
0x214	DTUWD1	R/W	DTU Write Data #1
0x218	DTUWD2	R/W	DTU Write Data #2
0x21c	DTUWD3	R/W	DTU Write Data #3
0x220	DTUWDM	R/W	DTU Write Data Mask
0x224	DTURD0	R	DTU Read Data #0

0x228	DTURD1	R	DTU Read Data #1
0x22c	DTURD2	R	DTU Read Data #2
0x230	DTURD3	R	DTU Read Data #3
0x234	DTUFSRWD	R/W	DTU LFSR Seed for Write Data Generation
0x238	DTULFSRRD	R/W	DTU LFSR Seed for Read Data Generation
0x23c	DTUEAF	R	DTU Error Address FIFO
DFI Control Registers			
0x240	DFITRLDELAY	R/W	DFI tctrl_delay Register
0x244	DFIODTCFG	R/W	DFI ODT Configuration Register
0x248	DFIODTCFG1	R/W	DFI ODT Timing Configuration 1 Register
0x24c	DFIODTRANKMAP	R/W	DFI ODT Rank Mapping Register
DFI Write Data Registers			
0x250	DFITPHYWRDATA	R/W	DFI tphy_wrdata Register
0x254	DFITPHYWRLAT	R/W	DFI tphy_wrlat Register
DFI Read Data Registers			
0x260	DFITRDDATAEN	R/W	DFI trddata_en Register
0x264	DFITPHYRDLAT	R/W	DFI tphy_rddata Register
DFI Update Registers			
0x270	DFITPHYUPDTYPE0	R/W	DFI tphyupd_type0 Register
0x274	DFITPHYUPDTYPE1	R/W	DFI tphyupd_type1 Register
0x278	DFITPHYUPDTYPE2	R/W	DFI tphyupd_type2 Register
0x27c	DFITPHYUPDTYPE3	R/W	DFI tphyupd_type3 Register
0x280	DFITCTRLUPDMIN	R/W	DFI tctrlupd_min Register
0x284	DFITCTRLUPDMAX	R/W	DFI tctrlupd_max Register
0x288	DFITCTRLUPDDL	R/W	DFI tctrlupd_dly Register
0x290	DFIUPDCFG	R/W	DFI Update Configuration Register
0x294	DFITREFMSKI	R/W	DFI Masked Refresh Interval Register
0x298	DFICTRLUPDI	R/W	DFI tctrlupd_interval Register
DFI Training Register			
0x2ac	DFITRCFG0	R/W	DFI Training Configuration 0 Register
0x2b0	DFITRSTAT0	R	DFI Training Status 0 Register
0x2b4	DFITRWRLVLEN	R/W	DFI Training dfi_wrlvl_en Register
0x2b8	DFITRRDLVLEN	R/W	DFI Training dfi_rdlvl_en Register
0x2bc	DFITRRDLVLGATEEN	R/W	DFI Training dfi_rdlvl_gate_en Register
DFI Status Registers			
0x2c0	DFISTSTAT0	R	DFI Status Status 0 Register
0x2c4	DFISTCFG0	R/W	DFI Status Configuration 0 Register

0x2c8	DFISTCFG1	R/W	DFI Status Configuration 1 Register
0x2d0	DFITDRAMCLKEN	R/W	DFI tdram_clk_disable Register
0x2d4	DFITDRAMCLKDIS	R/W	DFI tdram_clk_enable Register
0x2d8	DFISTCFG2	R/W	DFI Status Configuration 2 Register
0x2dc	DFISTPARCLR	R/WSC	DFI Status Parity Clear Register
0x2e0	DFISTPARLOG	R	DFI Status Parity Log Register
DFI Low Power Registers			
0x2f0	DFILPCFG0	R/W	DFI Low Power Configuration 0 Register
DFI Training 2 Registers			
0x300	DFITRWRLVLRESP0	R	DFI Training dfi_wrlvl_resp Status 0
0x304	DFITRWRLVLRESP1	R	DFI Training dfi_wrlvl_resp Status 1
0x308	DFITRWRLVLRESP2	R	DFI Training dfi_wrlvl_resp Status 2
0x30c	DFITRRDLVLRESP0	R	DFI Training dfi_rdlvl_resp Status0
0x310	DFITRRDLVLRESP1	R	DFI Training dfi_rdlvl_resp Status1
0x314	DFITRRDLVLRESP2	R	DFI Training dfi_rdlvl_resp Status2
0x318	DFITRWRLVLDELAY 0	R/W	DFI Training dfi_wrlvl_delay Configuration0
0x31c	DFITRWRLVLDELAY 1	R/W	DFI Training dfi_wrlvl_delay Configuration1
0x320	DFITRWRLVLDELAY 2	R/W	DFI Training dfi_wrlvl_delay COnfiguration2
0x324	DFITRRDLVLDELAY 0	R/W	DFI Training dfi_rdlvl_delay Configuration0
0x328	DFITRRDLVLDELAY 1	R/W	DFI Training dfi_rdlvl_delay Configuration1
0x32c	DFITRRDLVLDELAY 2	R/W	DFI Training dfi_rdlvl_delay Configuration2
0x330	DFITRRDLVLGATED ELAY0	R/W	DFI Training dfi_rdlvl_gate_delay Configuration 0
0x334	DFITRRDLVLGATED ELAY1	R/W	DFI Training dfi_rdlvl_gate_delay Configuration1
0x338	DFITRRDLVLGATED ELAY2	R/W	DFI Training dfi_rdlvl_gate_delay Configuraiont2
0x33c	DFITRCMD	R/W R/WSC	DFI Training Command Register
IP Status Registers			
0x3f8	IPVR	R	IP Version Register
0x3fc	IPTR	R	IP Type Register

## PHY 接口模块寄存器

APB Address	Name	Access Type	Description
0x800	DTPCCR	R/W	Calibration Configuration Register
0x804	DTPCSR	R	Calibration Status Register
0x808	DTPWLR	W/R	Write Latency Register
0x80c	DTPS2WLR	W/R	Step 2 Write Leveling Register
0x810	DTPDSCR	W/R	DQS Configuration Register
0x814	DTPQSCR	W/R	QS Configuration Register
0x818	DTPQSLR0	W/R	QS Latency Register 0
0x81c	DTPQSLR1	W/R	QS Latency Register 1
0x820	DTPPHYCR	W/R	PHY Configuration Register
0x824	DTPPHYSR	R	PHY Status Register
0x828	DTPSFRR	W/R	Synchronize FIFO Reset Register
0x82c	DTPSFSR	R	Synchronize FIFO Status Register
0x830	DTPSFER	R	Synchronize FIFO Error Register
0x834	DTPDER	R	DFI2PHY Error Register
0x838	DTPICR	W/R	IO Control Register
0x83c	DTPEDCR	W/R	Edge Delay Control Register
0x840	FPGA WCR	W/R	FPGA Write Configuration Register
0x844	FPGARCR	W/R	FPGA Read Configuration Register
0x848	GPUR	W/R	GPU Register
0x84c	DTPSFFCR	W/R	Synchronize FIFO Fetch Control Register
0x850	DTPSFFDR0	R	Synchronize FIFO Fetch Data Register0
0x854	DTPSFFDR1	R	Synchronize FIFO Fetch Data Register1
0x858	DTPSFFDR2	R	Synchronize FIFO Fetch Data Register2
0x85c	DTPSFFDR3	R	Synchronize FIFO Fetch Data Register3
0x860	DTPSFFDR4	R	Synchronize FIFO Fetch Data Register4
0x864	DTPSFFDR5	R	Synchronize FIFO Fetch Data Register5
0x868	DTPSFFDR6	R	Synchronize FIFO Fetch Data Register6
0x86c	DTPSFFDR7	R	Synchronize FIFO Fetch Data Register7
0x870	DTPSFPR	R	Synchronize FIFO Pointer Register
0x880~0x88c	DTPDTR0~3	W/R	数据训练相关寄存器 0~3

## PVT 模块寄存器

APB Address	Name	Access Type	Description
0xc00	PVTCCR	R/W	PVT Calibration Control Register
0xc04	PVTUCR	R/W	PVT Update Control Register
0xc08	PVTCLM	R	PVT Calibrator Last Measurement



0xc0c	PVTZPLR	R/W	PVT Zout Pull-Down Register
0xc10	PVTZPUR	R/W	PVT Zout Pull-Up Register
0xc14	PVTOPDR	R/W	PVT ODT Pull-Down Register
0xc18	PVTOPUR	R/W	PVT ODT Pull-Up Register
0xc1c	PVTCTR	R/W	PVT Calibrate Threshold Register
0xc20	PVTCOPUR	R/W	PVT Calibrate ODT Pull-Up Register
0xc24	PVTCOPDR	R/W	PVT calibrate ODT Pull-Down Register
0xc28	PVTCZPUR	R/W	PVT Calibrate Zout Pull-Up Register
0xc2c	PVTCZPDR	R/W	PVT Calibrate Zout Pull-Down Register
0xc30	PVTOPUCR	R	PVT ODT Pull-Up Control Register
0xc34	PVTOPDCR	R	PVT ODT Pull-Down Control Register
0xc38	PVTZCPUR	R	PVT Zout Control Pull-Up Register
0xc3c	PVTZCPDR	R	PVT Zout Control Pull-Down Register
0xc40	PVTHOPUR	R	PVT History ODT Pull-Up Register
0xc44	PVTHOPDR	R	PVT History ODT Pull-Down Register
0xc48	PVTHZPUR	R	PVT History Zout Pull-Up Register
0xc4c	PVTHZPDR	R	PVT History Zout Pull-Down Register
0xc50	PVTSWCR	R/W	PVT Sample Wait Clocks Register

## DDR3PHYAC 中的寄存器

APB Address	Name	Access Type	Description
0x1000	GCR	R/W	General Configuration Register
0x1004-0 x1010	RCR0-3	R/W	Rank Control Registers 0-3
0x1014	ACCR	R/W	Address/Command Control Register
0x1018	GSR	R	General Status Register
0x101c	ECSR	R	Even Command Status Register
0x1020	OCSR	R	Odd Command Status Register
0x1024	MDIPR	R	Master Delay Initial Period Register
0x1028	MDTPR	R	Master Delay Target Period Register
0x102c-0 x1030	MDPPR0-1	R	Master Delay Present Period Registers 0-1
0x1034-0 x1038	PMBDR0-1	R/W	Path Matching Bit Delay Registers 0-1
0x1060	ACR	R/W	Auxiliary Configuration Register
0x1064	PSCR	R/W	Pre-Scale Count Register
0x1068	PRCR	R/W	PHY Reset Control Register

0x106c-0x1070	PLLCR0-1	R/W	PLL Control Registers 0-1
0x1078	CLKENR	R/W	Clock Enable Register
0x107c	RIDR	R	Revision Identification Register

**DDR3PHYDATX8 寄存器**

APB Address	Name	Access	Description
		Type	
0x1800 、 0x1900 、 0x1a00 、 0x1b00 、 0x1c00 、 0x1d00 、 0x1e00、 0x1f00	GCR	R/W	General Configuration Register
0x1804 、 0x1904 、 0x1a04 、 0x1b04 、 0x1c04 、 0x1d04 、 0x1e04、 0x1f04	WSDR	R/W	Write DQ Slave Delay Register
0x1808 、 0x1908 、 0x1a08 、 0x1b08 、 0x1c08 、 0x1d08 、 0x1e08、 0x1f08	WLDPR	R/W	Write Leveling Delay Period Register
0x180c-0x1818 、 0x190c-0x1918 、 0x1a0c-0x1a18 、 0x1b0c-0x1b18 、 0x1c0c-0x1c18 、 0x1d0c-0x1d18 、 0x1e0c-0x1e18 、 0x1f0c-0x1f18	WLDR0-3	R/W	Write Leveling Delay Registers 0-3
0x181c-0x183c 、 0x191c-0x193c 、 0x1a1c-0x1a3c 、 0x1b1c-0x1b3c 、 0x1c1c-0x1c3c 、 0x1d1c-0x1d3c 、 0x1e1c-0x1e3c 、 0x1f1c-0x1f3c	WDBDR0-8	R/W	Write Data Bit Delay Registers 0-8

0x1840 、 0x1940 、 0x1a40 、 0x1b40 、	WDBDM R	R/W	Write Data Bit Delay Maximum Register
--	------------	-----	---------------------------------------

0x1c40 、 0x1d40 、 0x1e40、0x1f40			
0x1844 、 0x1944 、 0x1a44 、 0x1b44 、 0x1c44 、 0x1d44 、 0x1e44、0x1f44	RDSDR	R/W	Read DQS Slave Delay Register
0x1848-0x1864 、 0x1948-0x1964 、 0x1a48-0x1a64 、 0x1b48-0x1b64 、 0x1c48-0x1c64 、 0x1d48-0x1d64 、 0x1e48-0x1e64 、 0x1f48-0x1f64	RDBDR0 -7	R/W	Read Data Bit Delay Register 0-7
0x1868 、 0x1968 、 0x1a68 、 0x1b68 、 0x1c68 、 0x1d68 、 0x1e68、0x1f68	RDBDM R	R/W	Read Data Bit Delay Maximum Register
0x186c-0x1878 、 0x196c-0x1978 、 0x1a6c-0x1a78 、 0x1b6c-0x1b78 、 0x1c6c-0x1c78 、 0x1d6c-0x1d78 、 0x1e6c-0x1e78 、 0x1f6c-0x1f78	PMBDR0 -3	R/W	Path Matching Bit Delay Registers 0-3
0x187c 、 0x197c 、 0x1a7c 、 0x1b7c 、 0x1c7c 、 0x1d7c 、 0x1e7c、0x1f7c	WDBDP R	R	Write Data Bit Delay Present Register
0x1880 、 0x1980 、	RDBDPR	R	Read Data Bit Delay Present Register
0x1a80 、 0x1b80 、 0x1c80 、 0x1d80 、 0x1e80、0x1f80			

0x1884 、 0x1984 、 0x1a84 、 0x1b84 、 0x1c84 、 0x1d84 、 0x1e84、0x1f84	GSR	R	General Status Register
0x18f0 、 0x19f0 、 0x1af0 、 0x1bf0 、 0x1cf0 、 0x1df0 、 0x1ef0、0x1ff0	ACR	R/W	Auxiliary Configuration Register
0x18f4 、 0x19f4 、 0x1af4 、 0x1bf4 、 0x1cf4 、 0x1df4 、 0x1ef4、0x1ff4	RSR	R/W	Rank Select Register
0x18f8 、 0x19f8 、 0x1af8 、 0x1bf8 、 0x1cf8 、 0x1df8 、 0x1ef8、0x1ff8	CLKENR	R/W	Clock Enable Register
0x18fc 、 0x19fc 、 0x1afc 、 0x1bfc 、 0x1cfc 、 0x1dfc 、 0x1efc、0x1ffc	RIDR	R	Revision Identification Register

### 2.4.3 VPU 寄存器

维护地址: 0x5038,0000 + offset[15:0]

VPU 寄存器列表如下:

地址[15:0]	符号	名称	属性
<b>Summary of Host Interface Registers</b>			
16'h0000	BIT_CODE_RUN		WO
16'h0004	BIT_CODE_DOWN		WO
16'h0008	BIT_INT_REQ		WO
16'h000C	BIT_INT_CLEAR		WO
16'h0010	BIT_INT_STS		RO
16'h0014	OBSOLETE		
16'h0018	BIT_CUR_PC		RO
16'h0100	BIT_CODE_BUF_ADDR		RW
16'h0104	BIT_WORK_BUF_ADDR		RW
16'h0108	BIT_PARA_BUF_ADDR		RW
16'h011C	BIT_BIT_STREAM_CTRL		RW
16'h0110	BIT_FRAME_MEM_CTRL		RW
16'h0114	BIT_BIT_STREAM_PARAM		RW
16'h0120	BIT_RD_PTR_0		RW

16'h0124	BIT_WR_PTR_0		RW
16'h0128	BIT_RD_PTR_1		RW
16'h012C	BIT_WR_PTR_1		RW
16'h0130	BIT_RD_PTR_2		RW
16'h0134	BIT_WR_PTR_2		RW
16'h0138	BIT_RD_PTR_3		RW
16'h013C	BIT_WR_PTR_3		RW
16'h0140	BIT_AXI_SRAM_USE		RW
16'h0150	BIT_FRM_DIS_FLG_0		RW
16'h0154	BIT_FRM_DIS_FLG_1		RW
16'h0158	BIT_FRM_DIS_FLG_2		RW
16'h015C	BIT_FRM_DIS_FLG_3		RW
16'h0160	BIT_BUSY_FLAG		RW
16'h0164	BIT_RUN_COMMAND		RW
16'h0168	BIT_RUN_INDEX		RW
16'h016C	BIT_RUN_COD_STD		RW
16'h0170	BIT_INT_ENABLE		RW
16'h0174	BIT_INT_REASON		RW
16'h0178	BIT_RUN_AUX_STD		RW
16'h0180~16'h01DC	CMD		RW
<b>ENC_SEQ_INIT Parameter Register</b>			
16'h0180	CMD_ENC_SEQ_BIT_BUF_START		RW
16'h0184	CMD_ENC_SEQ_BIT_BUF_SIZE		RW
16'h0188	CMD_ENC_SEQ_OPTION		RW
16'h018C	CMD_ENC_SEQ_COD_STD		RW
16'h0190	CMD_ENC_SEQ_SRC_SIZE		RW
16'h0194	CMD_ENC_SEQ_SRC_F_RATE		RW
16'h0198	CMD_ENC_SEQ_MP4_PARA		RW
16'h019C	CMD_ENC_SEQ_263_PARA		RW
16'h01A0	CMD_ENC_SEQ_264_PARA		RW
16'h01A4	CMD_ENC_SEQ_SLICE_MODE		RW
16'h01A8	CMD_ENC_SEQ_GOP_NUM		RW
16'h01AC	CMD_ENC_SEQ_RC_PARA		RW
16'h01B0	CMD_ENC_SEQ_RC_BUF_SIZE		RW
16'h01B4	CMD_ENC_SEQ_INTRA_MB		RW
16'h01C4	CMD_ENC_SEQ_INTRA_QP		RW
16'h01C8	CMD_ENC_SEQ_RC_QP_MAX		RW
16'h01CC	CMD_ENC_SEQ_RC_GAMMA		RW
16'h01D0	CMD_ENC_SEQ_RC_INTERVAL_MODE		RW
16'h01D4	CMD_ENC_SEQ_INTRA_WEIGHT		RW
16'h01D8	CMD_ENC_SEQ_ME_OPTION		RW
16'h01C0	RET_ENC_SEQ_SUCCESS		RO
<b>DEC_SEQ_INIT Parameter Register Summary</b>			
16'h0180	CMD_DEC_SEQ_BB_START		R/W
16'h0184	CMD_DEC_SEQ_BB_SIZE		R/W
16'h0188	CMD_DEC_SEQ_OPTION		R/W
16'h018C	CMD_DEC_SEQ_SRC_SIZE		R/W
16'h0190	CMD_DEC_SEQ_START_BYTE		R/W
16'h0194	CMD_DEC_SEQ_PS_BB_START		R/W
16'h0198	CMD_DEC_SEQ_USER_DATA_OPTION		R/W
16'h0198	CMD_DEC_SEQ_PS_BB_SIZE		R/W
16'h019C	CMD_DEC_SEQ_SAM_XY		R/W
16'h019C	CMD_DEC_SEQ_JPG_THUMB_EN		R/W
16'h019C	CMD_DEC_SEQ_MP4_ASP_CLASS		R/W
16'h019C	CMD_DEC_SEQ_VC1_STREAM_FMT		R/W
16'h01A0	CMD_DEC_SEQ_CLIP_MODE		R/W
16'h01A4	CMD_DEC_SEQ_CLIP_FROM		R/W
16'h01A8	CMD_DEC_SEQ_CLIP_TO		R/W

16'h01AC	CMD_DEC_SEQ_USER_DATA_BASE_ADDR		R/W
16'h01B0	CMD_DEC_SEQ_USER_DATA_BUF_SIZE		R/W
16'h01B8	CMD_DEC_SEQ_CLIP_CNT		R/W
16'h01B0	RET_DEC_SEQ_ASPECT		RO
16'h01B4	RET_DEC_SEQ_BIT_RATE		RO
16'h01C0	RET_DEC_SEQ_SUCCESS		RO
16'h01C4	RET_DEC_SEQ_SRC_SIZE		RO
16'h01C8	RET_DEC_SEQ_SRC_F_RATE		RO
16'h01CC	RET_DEC_SEQ_FRAME_NEED		RO
16'h01D0	RET_DEC_SEQ_FRAME_DELAY		RO
16'h01D4	RET_DEC_SEQ_INFO		RO
16'h01D8	RET_DEC_SEQ_CROP_LEFT_RIGHT		RO
16'h01DC	RET_DEC_SEQ_CROP_TOP_		RO
16'h01E0	RET_DEC_SEQ_NEXT_FRAME_NUM		RO
16'h01E4	RET_DEC_SEQ_JPG_PARA RET_DEC_SEQ_FRAME_FORMAT RET_DEC_SEQ_FRATE_NR		RO
16'h01E8	RET_DEC_SEQ_JPG_THUMB_IND RET_DEC_SEQ_FRATE_DR		RO
16'h01EC	RET_DEC_SEQ_HEADER_REPORT		RO
<b>ENC_PIC_RUN Parameter Register Summary</b>			
16'h0180	CMD_ENC_PIC_SRC_INDEX		R/W
16'h0184	CMD_ENC_PIC_SRC_STRIDE		R/W
16'h018C	CMD_ENC_PIC_QS		R/W
16'h0190	CMD_ENC_PIC_ROT_MODE		R/W
16'h0194	CMD_ENC_PIC_OPTION		R/W
16'h0198	CMD_ENC_PIC_BB_START		R/W
16'h019C	CMD_ENC_PIC_BB_SIZE		R/W
16'h01A0	CMD_ENC_PIC_PARA_BASE_		R/W
16'h01A8	CMD_ENC_PIC_SRC_ADDR_Y		R/W
16'h01AC	CMD_ENC_PIC_SRC_ADDR_CB		R/W
16'h01B0	CMD_ENC_PIC_SRC_ADDR_CR		R/W
16'h01C0	RET_ENC_PIC_FRAME_NUM		RO
16'h01C4	RET_ENC_PIC_TYPE		RO
16'h01C8	RET_ENC_PIC_IDX		RO
16'h01CC	RET_ENC_PIC_SLICE_NUM		RO
16'h01D0	RET_ENC_PIC_FLAG		RO
<b>DEC_PIC_RUN Parameter Register Summary</b>			
16'h0180	CMD_DEC_PIC_ROT_MODE		R/W
16'h0184	CMD_DEC_PIC_ROT_INDEX		R/W
16'h0188	CMD_DEC_PIC_ROT_ADDR_Y		R/W
16'h018C	CMD_DEC_PIC_ROT_ADDR_CB		R/W
16'h0190	CMD_DEC_PIC_ROT_ADDR_CR		R/W
16'h0194	CMD_DEC_PIC_OPTION		R/W
16'h0198	CMD_DEC_FRAME_SKIP_NUM		R/W
16'h019C	CMD_DEC_PIC_CHUNK_SIZE		R/W
16'h01A0	CMD_DEC_PIC_BB_START		R/W
16'h01A4	CMD_DEC_PIC_START_BYTE		R/W
16'h01A8	CMD_DEC_PIC_PARA_BASE		R/W
16'h01AC	CMD_DEC_PIC_USER_DATA_BASE_ADDR		R/W
16'h01B0	CMD_DEC_PIC_USER_DATA_BUF_SIZE		R/W
16'h01B4	CMD_DEC_PIC_FILT_PARA		R/W
16'h01B8	CMD_DEC_PIC_ROT_STRIDE		R/W
16'h01E0	CMD_DEC_PIC_SAM_XY		R/W
16'h01E4	CMD_DEC_PIC_JPG_THUMB_EN		R/W
16'h01E8	CMD_DEC_PIC_CLIP_MODE		R/W
16'h01F0	CMD_DEC_PIC_CLIP_FROM		R/W



16'h01F4	CMD_DEC_PIC_CLIP_TO		R/W
16'h01F8	CMD_DEC_PIC_CLIP_CNT		R/W
16'h01BC	RET_DEC_PIC_SIZE		RO
16'h01C0	RET_DEC_PIC_FRAME_NUM		RO
16'h01C4	RET_DEC_PIC_IDX		RO
16'h01C8	RET_DEC_PIC_ERR_MB		RO
16'h01CC	RET_DEC_PIC_TYPE		RO
16'h01D0	RET_DEC_PIC_POST		RO
16'h01D4	RET_DEC_PIC_OPTION		RO
16'h01D8	RET_DEC_PIC_SUCCESS		RO
16'h01DC	RET_DEC_PIC_CUR_IDX		RO
16'h01E0	RET_DEC_PIC_CROP_LEFT_RIGHT		RO
16'h01E4	RET_DEC_PIC_CROP_TOP_		RO
16'h01F0	RET_DEC_PIC_ASPECT		RO
16'h01F4	RET_DEC_PIC_FRATE_NR		RO
16'h01F8	RET_DEC_PIC_FRATE_DR		RO
<b>ENC_SEQ_END Parameter Register Summary</b>			
<b>SET_FRAME_BUFFER Parameter Register Summary</b>			
16'h0180	CMD_SET_FRAME_BUF_NUM		R/W
16'h0184	CMD_SET_FRAME_BUF_STRIDE		R/W
16'h0188	CMD_SET_FRAME_SLICE_BB_START CMD_SET_FRAME_SUBSAMP_A		R/W
16'h018C	CMD_SET_FRAME_SLICE_BB_SIZE CMD_SET_FRAME_SUBSAMP_B		R/W
16'h0190	CMD_SET_FRAME_AXI_BIT		R/W
16'h0194	CMD_SET_FRAME_AXI_IPACDC_ADDR		R/W
16'h0198	CMD_SET_FRAME_AXI_DBKY_ADDR		R/W
16'h019C	CMD_SET_FRAME_AXI_DBKC_ADDR		R/W
16'h01A0	CMD_SET_FRAME_AXI_OVL_ADDR		R/W
16'h01A4	CMD_SET_FRAME_AXI_BTP		R/W
<b>ENC_HEADER Parameter Register Summary</b>			
16'h0180	CMD_ENC_HEADER_CODE		R/W
16'h0184	CMD_ENC_HEADER_BB_START		R/W
16'h0188	CMD_ENC_HEADER_BB_SIZE		R/W
16'h018C	CMD_ENC_HEADER_FRAME_CROP_H		R/W
16'h0190	CMD_ENC_HEADER_FRAME_CROP_V		R/W
<b>ENC_PARA_SET Parameter Register Summary</b>			
16'h0180	CMD_ENC_PARA_SET_TYPE		R/W
16'h01C0	RET_ENC_PARA_SET_SIZE		RO
<b>DEC_PARA_SET Parameter Register Summary</b>			
16'h0180	CMD_DEC_PARA_SET_TYPE		R/W
16'h0184	CMD_DEC_PARA_SET_SIZE		R/W
<b>DEC_BUF_FLUSH Parameter Register Summary</b>			
<b>ENC_PARAM_CHANGE Parameter Register Summary</b>			
16'h0180	CMD_ENC_PARAM_CHAGE_		R/W
16'h0184	CMD_ENC_PARAM_CHANGE_GOP_NUM		R/W
16'h0188	CMD_ENC_PARAM_CHANGE_INTRA_QP		R/W
16'h018C	CMD_ENC_PARAM_CHANGE_		R/W
16'h0190	CMD_ENC_PARAM_CHANGE_F_RATE		R/W
16'h0194	CMD_ENC_PARAM_CHANGE		R/W
16'h0198	CMD_ENC_PARAM_CHANGE_SLICE_MODE		R/W
16'h019C	CMD_ENC_PARAM_CHANGE_HEC_MODE		R/W
16'h01C0	RET_ENC_PARAM_CHANGE_SUCCESS		RO
<b>GET_FW_VERSION Parameter Register Summary</b>			
16'h01C0	RET_VER_NUM		RO

### 2.4.3.1 Control Registers

#### BIT\_CODE\_RUN

地址: PA[15:0] = 16'h0000

属性: W 格式:

字段	属性	默认	说明
0	W	0	0 - BIT Processor stop execution 1 - BIT Processor start execution

#### BIT\_CODE\_DOWN

地址: PA[15:0] = 16'h0004

属性: W 格式:

字段	属性	默认	说明
15:0	W	0	16 bit BIT code download data
28:16	W	0	13 bit BIT code download address BIT code word address (16 bit address)– Current design has 6 K code word space(12 KB). So CodeAddr[12:0] must be less than 6144

#### BIT\_INT\_REQ

地址: PA[15:0] = 16'h0008

属性: W 格式:

字段	属性	默认	说明
0	W	0	Interrupt request to BIT processor. A host writes 1 to this register to request an interrupt to BIT. *Current firmware version does not use Interrupt from the host to BIT. So this is not used.

#### BIT\_INT\_CLEAR

地址: PA[15:0] = 16'h000c

属性: W 格式:

字段	属性	默认	说明
0	W	0	A host writes 1 to this register to clear the BIT interrupt.

#### BIT\_INT\_STS

地址: PA[15:0] = 16'h0010

属性: R 格式:

字段	属性	默认	说明
0	R	0	1 means that an interrupt is asserted from BIT-processor to host. This bit is cleared when the host writes BitIntClear Register 1

#### BIT\_CUR\_PC

地址: PA[15:0] = 16'h0018

属性: R 格式:

字段	属性	默认	说明
13:0	R	0	Current program counter of BIT processor. This register may be used for only debugging purpose

### 2.4.3.2 Global Registers

#### BIT\_CODE\_BUF\_ADDR

地址: PA[15:0] = 16'h0100

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	BIT firmware code image start byte address which resides in SDRAM. A host must set start SDRAM byte address of BIT code image to this register before start executing BIT processor – BIT code image size is around 132 - 152 KB depending on product. Refer to the released API referencesoftware for accurate size.

### BIT\_WORK\_BUF\_ADDR

地址: PA[15:0] = 16'h0104

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	BIT processor working buffer SDRAM byte address. The host must reserve working buffer in SDRAM for BIT processor decoding/encoding. This value shall be aligned to 1024.– Current design uses about 320 KB of working buffer.

### BIT\_PARA\_BUF\_ADDR

地址: PA[15:0] = 16'h0108

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	BIT processor parameter buffer SDRAM byte address. The host must reserve parameter buffer in SDRAM for BIT processor command execution argument and return data.– Current design uses 2KB for parameter buffer

### BIT\_BIT\_STREAM\_CTRL

地址: PA[15:0] = 16'h010C

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - bitstream buffer is little endian format 1 - bitstream buffer is big endian format
1	RW	N/A	0 - bitstream buffer is 64 bits endian format 1 - bitstream buffer is 32 bits endian format
2	RW	N/A	0 - bitstream buffer overflow/underflow check enable 1 - bitstream buffer overflow/underflow check disable BIT processor stops bitstream loading if bitstream buffer underflows in decoding case. If this flag is 1, BIT does not check bitstream buffer overflow/underflow status.
3	RW	N/A	In decoding case, this flag is ignored.
4	RW	N/A	The value of 1 means that bitstream buffer is flushed at every end of encoding picture. In encoding case, after encoding one picture internal bitstream buffer is flushed to external SDRAM. So whole encoded bitstream data is available to host. If this flag is 0, internal bitstream buffer is flushed only when internal bitstream buffer is filled to its maximal size (512 byte). So at end of encoding one picture, the some (less than 512 byte) last encoded data is not flushed to external SDRAM and only resides in internal bitstream buffer. To flush remaining encoded data residing in internal bitstream buffer, host must execute ENC_SEQ_END command. This flag is valid only when EncBufPicReset flag is 0. In decoding case, this flag is ignored. The value of 1 means that bitstream buffer is reset at every picture encoding/decoding command. In encoding case, after encoding one picture bitstream buffer is flushed to

			external SDRAM and next picture encoded data is over-written to the start of bitstream buffer. So host must get encoded data at every end of encoding picture. If this flag is 1, EncBufPicFlush bit is ignored.
5	RW	N/A	Enables dynamic picture stream buffer allocation in encoder operations. EncBufPicReset should also be enabled to use this option. If not, this value will be ignored. When this option is enabled, encoder stream buffer can be dynamically allocated at every picture encoding stage. This option will be helpful to achieve higher efficiency of buffering encoded picture stream.

## BIT\_FRAME\_MEM\_CTRL

地址: PA[15:0] = 16'h0110

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - frame memory is little endian format 1 - frame memory is big endian format
1	RW	N/A	0 - frame buffer is 64 bits endian format 1 - frame buffer is 32 bits endian format
2	RW	N/A	For the CODEC instance that has RunIndex as 0. 0 - CbCr data is written in separate memories. 1 - CbCr data is interleaved in chroma memory.
3	RW	N/A	For the CODEC instance that has RunIndex as 1. 0 - CbCr data is written in separate memories. 1 - CbCr data is interleaved in chroma memory.
4	RW	N/A	For the CODEC instance that has RunIndex as 2. 0 - CbCr data is written in separate memories. 1 - CbCr data is interleaved in chroma memory.
5	RW	N/A	For the CODEC instance that has RunIndex as 3. 0 - CbCr data is written in separate memories. 1 - CbCr data is interleaved in chroma memory.
8:6	RW	N/A	JPEG frame format in YCbCr 4'b000 - YCbCr 4:2:0 4'b001 - YCbCr 4:2:2 4'b010 - YCbCr 2:2:4 4'b011 - YCbCr 4:4:4 4'b100 - YCbCr 4:0:0
15:12	-	N/A	Reserved
16	RW	N/A	0 - GDI registers for rotation buffer is set by firmware. Firmware can read CMD_DEC_PIC_ROT_INDEX, CMD_DEC_PIC_ROT_ADDR_Y, CMD_DEC_PIC_ROT_ADDR_CB, CMD_DEC_PIC_ROT_ADDR_CR, CMD_DEC_PIC_ROT_STRIDE and update them to the relevant GDI registers. 1 - GDI registers for rotation buffer should be set directly by host. For details, please refer to the GDI Registers in this document.

## BIT\_BIT\_STREAM\_PARAM

地址: PA[15:0] = 16'h0114

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - Forced Escape is not activated. 1 - Forced Escape is activated. This flag is used for signaling to BIT processor to escape from SEQ_INIT stall state. When this bit is set as 1, then BIT processor gives up parsing more stream data and escape from stall state with return value 0 (Fail). Warning: Host should maintain this bit by 0 if a host does not intend to use Forced Escape in SEQ_INIT. Otherwise, SEQ_INIT function would not work properly even if stream has no errors. Recommendation: Always reset this bit by zero just before calling SEQ_INIT command. Only if system got stuck, set this bit by 1, and after BIT processor is not busy from this command, reset this bit by zero.
1	-	N/A	Reserved
2	RW	N/A	0 - There is more bitstream to be given to decoder. 1 - The whole bitstream has been given to decoder. In PIC_RUN state, BIT processor can know the end of bitstream by checking this bit. Host must set this flag after writing the whole bitstream to get the last picture of bitstream. Host also can clear busy state while BIT is waiting for the rest of bitstream corresponding to one picture and get one picture by setting this flag. Host can set/clear this flag at any stage in decoding process after BIT is initialized. Once this bit is set, the decoder will not accept more stream, so HOST must clear this flag to 0 before starting decoding and set this flag to 1 after writing the whole bitstream. This flag is for instance 0
3	RW	N/A	This flag is for instance 1
4	RW	N/A	This flag is for instance 2
5	RW	N/A	This flag is for instance 3

### BIT\_RD\_PTR\_0

地址: PA[15:0] = 16'h0120

属性: RW 格式:

字段	属性	默认	说明
31:0	RW		In decode case, current external SDRAM Bitstream Buffer read address of process index 0 is set to this register by BIT processor. This register is updated at every bitstream data load by BIT processor and wrapped around by automatically Current design load 512 bytes to internal buffer for each transfer. So Bitstream Read Pointer is increased 512 after loading data completion

### BIT\_WD\_PTR\_0

地址: PA[15:0] = 16'h012r

属性: RW 格式:

字段	属性	默认	说明
31:0	RW		In decode case, current external SDRAM Bitstream Buffer write address of process index 0 is set to this register by BIT processor. This register is updated at every bitstream data load by BIT processor and wrapped around by automatically Current design load 512 bytes to internal buffer for each transfer. So Bitstream Read Pointer is increased 512 after loading data completion

### BIT\_RD\_PTR\_1

地址: PA[15:0] = 16'h0128

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	External SDRAM Bitstream Buffer read address of process index 1

### BIT\_WD\_PTR\_1

地址: PA[15:0] = 16'h012c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	External SDRAM Bitstream Buffer write address of process index 1

### BIT\_RD\_PTR\_2

地址: PA[15:0] = 16'h0130

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	External SDRAM Bitstream Buffer read address of process index 2

### BIT\_WD\_PTR\_2

地址: PA[15:0] = 16'h0134

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	External SDRAM Bitstream Buffer write address of process index 2

### BIT\_RD\_PTR\_3

地址: PA[15:0] = 16'h0138

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	External SDRAM Bitstream Buffer read address of process index 3

### BIT\_WD\_PTR\_3

地址: PA[15:0] = 16'h013c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	External SDRAM Bitstream Buffer write address of process index 3

### BIT\_AXI\_SRAM\_USE

地址: PA[15:0] = 16'h0140

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	1 - Enables BIT-processor to use 2nd AXI bus for prediction buffer. 0 - Prediction buffer resides in external SDRAM. For use of secondary RAM, host needs to set its base address through the register CMD_SET_FRAME_AXI_BIT_ADDR (0x190) before executing SET_FRAME_BUF command.

1	RW	N/A	1 - Enables intra-prediction/AC-DC to use 2nd AXI bus for prediction row pixel buffer. 0 - Intra-prediction/AC-DC row pixel buffer resides in external SDRAM. For use of secondary RAM, host needs to set its base address through the register CMD_SET_FRAME_AXI_IPACDC_ADDR (0x194) before executing SET_FRAME_BUF command.
2	RW	N/A	1 - Enables de-blocking filter to use 2nd AXI bus for temporal buffer of luminance data. 0 - The de-blocking filter buffer resides in external SDRAM. For use of secondary RAM, host needs to set its base address through the register CMD_SET_FRAME_AXI_DBKY_ADDR (0x198) before executing SET_FRAME_BUF command.
3	RW	N/A	1 - Enables de-blocking filter to use 2nd AXI bus for temporal buffer of chrominance data. 0 - The de-blocking filter buffer resides in external SDRAM. For use of secondary RAM, host needs to set its base address through the register CMD_SET_FRAME_AXI_DBKC_ADDR (0x19C) before executing SET_FRAME_BUF command.
4	RW	N/A	1 - Enables overlap filter to use 2nd AXI bus for its temporal buffer. (only for VC1) 0 - The overlap filter buffer resides in external SDRAM. For use of secondary RAM, host needs to set its base address through the register CMD_SET_FRAME_AXI_OVL_ADDR (0x1A0) before executing SET_FRAME_BUF command.
5	RW	N/A	1 - Enables BIT processor to use 2nd AXI bus for temporal buffer of bit-plane data (only for VC1) 0 - The bit-plane buffer resides in external SDRAM. For use of secondary RAM, host needs to set its base address through the register CMD_SET_FRAME_AXI_BTP_ADDR (0x1A4) before executing SET_FRAME_BUF command.

### BIT\_FRM\_DIS\_FLG\_1

地址: PA[15:0] = 16'h0154

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	n-th bit means frame buffer regarding index n of Run Index 1 has not displayed yet but will be displayed. So, this buffer will not be used to decoding frame. If a host can control buffer display by clearing n-th bit after index n frame buffer displayed.

### BIT\_FRM\_DIS\_FLG\_1

地址: PA[15:0] = 16'h0154

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	n-th bit means frame buffer regarding index n of Run Index 1 has not displayed yet but will be displayed. So, this buffer will not be used to decoding frame. If a host can control buffer display by clearing n-th bit after index n frame buffer displayed.

### BIT\_FRM\_DIS\_FLG\_2

地址: PA[15:0] = 16'h0158

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----



31:0	RW	N/A	n-th bit means frame buffer regarding index n of Run Index 2 has not displayed yet but will be displayed. So, this buffer will not be used to decoding frame. If a host can control buffer display by clearing n-th bit after index n frame buffer displayed.
------	----	-----	---

### BIT\_FRM\_DIS\_FLG\_3

地址: PA[15:0] = 16'h015c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	n-th bit means frame buffer regarding index n of Run Index 3 has not displayed yet but will be displayed. So, this buffer will not be used to decoding frame. If a host can control buffer display by clearing n-th bit after index n frame buffer displayed.

### BIT\_BUSY\_FLAG

地址: PA[15:0] = 16'h0160

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	The value of 0 means BIT processor is ready for host command. The value of 1 means BIT processor is executing host command and not completed yet. The host must check this bit before write RunCommand register. If this bit is 1, host must wait until the value of 0 to set command.

### BIT\_RUN\_COMMAND

地址: PA[15:0] = 16'h0164

属性: RW 格式:

字段	属性	默认	说明

3:0	RW	N/A	<p>Host writes the command code to this register. Command code</p> <p>4'b0001: SEQ_INIT Encode/decode sequence initialize. In encode case, BIT processor analysis encoding parameter and encode sequence header. In decode case, BIT processor decode sequence header (VOL header for MPEG-4, SPS for H,264) and report sequence header information.</p> <p>4'b0010: SEQ_END Encode/decode terminates sequence. In encode case, BIT processor flush internal bitstream buffer to external bitstream buffer. In decode case, BIT processor terminates process.</p> <p>4'b0011: PICTURE_RUN Encode/decode one picture. BIT processor encodes/decodes one picture.</p> <p>4'b0100: SET_FRAME_BUF Set decoded/reconstructed frame buffer SDRAM address and maximum frame buffer number. Before decode picture run command, host must inform frame buffer SDRAM address to BIT processor then BIT processor arrange frame buffer for decoded/reconstructed image and return frame buffer index to host at end of decoding picture.</p> <p>4'b0111: DEC PARA SET Add SPS and PPS to parameter set buffer of BIT processor. In H.264, multiple SPS/PPS is allowed and host may inform one of the parameter set to BIT processor for use in decoding process.</p> <p>4'b1000: DEC BUF FLUSH Flush data in bitstream buffer. After this command finished, bitstream buffer read pointer will be 0. So, host must set bitstream buffer write pointer as 0</p> <p>4'b0101: ENCODE HEADER Encode header. For example in H.264 case, SPS (Sequence Parameter Set), PPS (Picture Parameter Set) may be inserted between picture boundary by this command.</p> <p>4'b0110: ENC PARA SET <i>Encode SPS, PPS to BIT processor's parameter set buffer. In H.264, host can obtain SPS/PPS by this command.</i></p> <p>4'b1001: ENC PARAM CHANGE Change encoder parameters dynamically after creating an instance.</p> <p>4'b1111: GET F/W VERSION</p>
-----	----	-----	--

### BIT\_RUN\_INDEX

地址: PA[15:0] = 16'h0168

属性: RW 格式:

字段	属性	默认	说明
1:0	RW	N/A	<p>The host writes the encoding/decoding process index to this register before every writing run command.</p> <p>BIT processor can execute encoding/decoding processes simultaneously. If more than one process is running, each process must be assigned different process index by this register. For example, when 1 MPEG-2 Decoder + 1 AVC Decoder + 1 AVC Decoder + 1 VC1 Decoder are running simultaneously, MPEG-2 Decoder is assigned process index 0, AVC Decoder is assigned process index 1, AVC Decoder is assigned process index 2 and VC1 Decoder is assigned process index 3.</p>

### BIT\_RUN\_COD\_STD

地址: PA[15:0] = 16'h016C

属性: RW 格式:

字段	属性	默认	说明

3:0	RW	N/A	CodStd[3:0] is codec standard as below. The host writes the codec standard index code to this register before every writing run command. 4'b0000: H.264/AVC DECODER 0 - AVC DECODER 1 - MVC DECODER 4'b0001: VC-1 DECODER 4'b0010: MPEG-2 DECODER 4'b0011: MPEG-4/DivX-3 DECODER 4'b0100: RVX DECODER 4'b0101: AVS DECODER 4'b1000: MJPEG DECODER 4'b1000: H.264/AVC ENCODER 4'b1011: MPEG-4 ENCODER 4'b1101: MJPEG ENCODER
-----	----	-----	---

### BIT\_INT\_ENABLE

地址: PA[15:0] = 16'h0170

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Interrupt Enable Flag register. Each bit of this register is interrupt enable flag of various interrupt. 1 means interrupt enable so BIT generates interrupt and 0 means interrupt disable 0th bit (LSB): Initialize complete. This interrupt is generated at once after BIT run [0]: Reserved [1]: DEC_SEQ_INIT/ENC_SEQ_INIT command execution complete [2]: DEC_SEQ_END/ENC_SEQ_END command execution complete [3]: DEC_PIC_RUN/ENC_PIC_RUN command execution complete [4]: SET_FRAME_BUF command execution complete [5]: ENC_HEADER_SET command execution complete [6]: ENC_PARA_SET command execution complete [7]: DEC_PARA_SET command execution complete [8]: DEC_BUF_FLUSH command execution complete [14]: External bitstream buffer is empty status in decoding case [15]: External bitstream buffer is full status in encoding case. When BufPicReset is 1, this flag is zero, and chunk overflow event occurred, the write pointer in WR_PTR forced to be start position of given chunk buffer without any handshake process. If both BufPicReset, this flag is 1, and chunk overflow event occurred, VPU stops encoding and waits for host response after buffer-full interrupt signal. In this case, the host should clear an interrupt to continue encoding process

### BIT\_INT\_REASON

地址: PA[15:0] = 16'h0174

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Interrupt Reason Flag register. Each bit of this register is interrupt enable flag of each interrupt. 1 means interrupt is generated and 0 means not generated. BIT writes 1 to the bit of each interrupt when generates interrupt request and host may acknowledge which interrupt is generated by reading this register at interrupt service routine The host is responsible for resetting this register to 0 for next interrupt. The interrupt matching of each bit field is same with IntEnable register.

## BIT\_INT\_REASON

地址: PA[15:0] = 16'h0178

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Auxiliary codec standard index register. The host writes the codec standard index code to this register before every writing run command when RunCodStd is 4'b0011(MPEG-4/DivX-3 DECODER). 0 - MPEG-4 DECODER 1 - DivX-3 DECODER

### 2.4.3.3 Command I/O Registers

#### CMD\_DEC\_SEQ\_BB\_START

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Bitstream buffer SDRAM byte address Bitstream buffer must be 8 byte-aligned. A host must write this register before executing DEC_SEQ_INIT command.

#### CMD\_DEC\_SEQ\_BB\_SIZE

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
13:0	RW	N/A	Bitstream buffer size in kilo bytes count A host must write this register before executing DEC_SEQ_INIT command. Maximum bitstream buffer size is $2^{14}-1 = 16383$ KB. Bitstream buffer size should be at least more than 2 KB and we recommend 10 KB of minimum allocation for VPU' safe multi-sequence control.

#### CMD\_DEC\_SEQ\_OPTION

地址: PA[15:0] = 16'h0188

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Enables out-loop de-blocking of MP2/4. When this flag is enabled, the VPU returns the number of required minimum decoded frame buffer + 1 to RET_DEC_SEQ_FRAME_NEED for deblocking filter operation. The decoded and deblocked result will be written to the frame buffer.
1	RW	N/A	Enables display buffer reordering in H.264/VC-1/ AVS decode case. In H.264 case output decoded picture may be re-ordered if pic_order_cnt_type is 0 or 1. In that case, decoder must delay output display for re-ordering but some applications(ex.video telephony) may do not want such display delay. A host may set this flag to 0 to disable output display buffer reordering. Then BIT processor does not re-order output buffer when pic_order_cnt_type is 0 or 1. If this flag is 1, BIT processor perform output decoded picture reordering and output display is delayed in the amount of [RET_DEC_SEQ_FRAME_DELAY] register's value.

2	RW	N/A	Enables file-play mode in decoder operation with frame based streaming. If CodStd[3:0] is 4'b0111(VPX decoding), this flag should be set to 1 because VP8 decoder works only in file-play mode, not in ring-buffer mode.
3	RW	N/A	Enables dynamic picture stream buffer allocation in file-play mode. If this option is enabled in file-play mode, stream buffer address given with DEC_PIC_RUN command will be used instead of stream buffer address given with DEC_SEQ_INIT. By using this dynamic allocation feature, application can achieve higher efficiency in streaming.
4	RW	-	Reserved for debug (VC-1)
5	RW	N/A	Enables user data report during decoding JPEG. If there are application specific data APPn except APP0(JFIF) and APP1(Exif) it reports the data. For example, if there is an APP2, it reports user data follow data length after FFE2(APP2 marker).
6	RW	-	Reserved
7	RW	N/A	Enables Mb information report during decoding JPEG.
15:0		N/A	Picture height size which exists in media file container in pixel
31:16		N/A	Picture width size which exists in media file container in pixel

### CMD\_DEC\_SEQ\_SRC\_SIZE

地址: PA[15:0] = 16'h018c

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Picture height size which exists in media file container in pixel
31:16	RW	N/A	Picture width size which exists in media file container in pixel

### CMD\_DEC\_SEQ\_START\_BYTE

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
2:0	W	N/A	Valid stream offset from stream start address and this value is only valid during SEQ_INIT command execution

### CMD\_DEC\_SEQ\_PS\_BB\_START

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Buffer for saving SPS/PPS RBSP SDRAM byte address Buffer must be 8 byte-aligned. A host must write this register before executing DEC_SEQ_INIT command..

### CMD\_DEC\_SEQ\_PS\_BB\_SIZE

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Buffer for saving SPS/PPS RBSP size in kilo bytes count A host must write this register before executing DEC_SEQ_INIT command. Maximal bitstream buffer size is $2^{16}-1 = 65535$ KB

### CMD\_DEC\_SEQ\_SAM\_XY

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Each value is used for re-sampling (resize) MJPEG image. [1:0]: horizontal sampling (resizing) ratio X [17:16]: vertical sampling (resizing) ratio Y With respect to the value ratio X, Y, the re-sampling ratio is as follows. 0: re-sampling off 1: 1/2 down sampling 2: 1/4 down sampling 3: 1/8 down sampling

### CMD\_DEC\_SEQ\_JPG\_THUMB\_EN

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	If a host sets this bit, the VPU returns thumb nail output after PIC_RUN command. (MJPEG only)

### CMD\_DEC\_SEQ\_MP4\_ASP\_CLASSMB\_EN

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
2:0	RW	N/A	Indicates an MPEG-4 standard format. 3'h0 - MPEG-4 3'h1 - DivX 5.0 or higher 3'h2 - Xvid 3'h5 - DivX 4.0. This flag is only valid on MPEG-4 decoding.
8	RW	N/A	Indicates whether the stream is in Sorenson Spark format or not. 1 - sorenson spark stream 0 - not sorenson spark stream

### CMD\_DEC\_SEQ\_VC1\_STREAM\_FMT

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
1:0	RW	N/A	Indicates a VC-1 stream format. These bits are available in VC-1 only 0 - STREAM RCV V1 1 - STREAM RCV V2 2 - STREAM Elementary
2	RW	N/A	Disables auto-detection of VC-1 stream.
3	RW	N/A	Frame metadata decode option in VC1 Annex L.3. Available only

			when the file-play (line buffer) mode is enabled (FilePlayEn is 1) while VC1 decoding. 0 - VPU can decode RCV frame format bitstream (Frame metadata + Frame ES) 1 - VPU tries to decode only frame ES without parsing frame metadata (without VC1 Annex L.3)
--	--	--	---

### CMD\_DEC\_SEQ\_USER\_DATA\_OPTION

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
4:0	-	-	Reserved
5	RW	N/A	Enables user data reporting. If this option is enabled, user data is written into user-data-buffer, which is specified in User-DataBase. This field is available only for MPEG2 and JPEG decoder.
9:6	-	-	Reserved
10		N/A	Sets a user data report mode 0 - interrupt mode 1 - interrupt disable mode If this option is set to 0, the decoder issues an interrupt when user data buffer is full. A host needs to clear the interrupt bit in order to resume decoding. If this option is set to 1, the decoder reports user data as much as the user data buffer size. When the buffer is full, the decoder ignores the rest of user data. A host can know if the user data buffer is overflow with the userDataBufFull variable in a user data report format. This field is available only for MPEG2 and JPEG decoder.

### CMD\_DEC\_SEQ\_CLIP\_MODE

地址: PA[15:0] = 16'h01A0

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	MJPEG add-on-feature mode, re-sampling (resize) ratio, and partial MB number [1:0]: add-on-feature enable 0: normal mode enable 1: clip mode enable 2: partial mode enable 3: both partial and clip enable

### CMD\_DEC\_SEQ\_CLIP\_FROM

地址: PA[15:0] = 16'h01A4

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Clip mode MB Left-Top offset position X, Y in an image [15:0]: clip left-top offset X [31:16]: clip left-top offset Y

### CMD\_DEC\_SEQ\_CLIP\_TO

地址: PA[15:0] = 16'h01A8

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----



31:0	RW	N/A	Clip mode MB Right-Bottom offset position X, Y in an image [15:0] : clip right-bottom offset X [31:16] : clip right-bottom offset Y
------	----	-----	---

### CMD\_DEC\_SEQ\_USER\_DATA\_BASE\_ADDR

地址: PA[15:0] = 16'h01AC

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	User Data Base address See the DecParam structure for Details. This field is available only for MPEG2 and JPEG decoder

### CMD\_DEC\_SEQ\_USER\_DATA\_BUF\_SIZE

地址: PA[15:0] = 16'h01B0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	User data buffer size See the DecParam structure for Details. This field is available only for MPEG2 and JPEG decoder.

### CMD\_DEC\_SEQ\_CLIP\_CNT

地址: PA[15:0] = 16'h01B8

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	[15:0] : partial MB number When partial mode is enabled, this value will be used as the number of the partially decode MB. When partial mode is disabled, this value is ignored. This field is available only for MJPEG.

### RET\_DEC\_SEQ\_ASPECT

地址: PA[15:0] = 16'h01B0

属性: R格式:

字段	属性	默认	说明
----	----	----	----

31:0	R	N/A	<p>H.264: aspect_ratio_idc[7:0] when [31:8] is 0. Otherwise, sar_width in [31:16] and sar_height in [15:0].</p> <p>VC-1: The aspect ratio ASPEC_HORZ_SIZE vs. ASPEC_VERT_SIZE is described [15:8] vs.[7:0] in the spec.</p> <p>MPEG-4/H.263: [3:0] ParCode 0 =forbidden 1 = 1:1 2 = 12:11 3 = 10:11 4 = 16:11 5 = 40:33 15(0xF) = extended PAR If ParCode is equal to 15(0xF: extended PAR), a host should use 4th to 19th bits for aspect_ratio information. [19:4] extended PAR [19:12] = PAR Height [11:4] = PAR Width (The natural binary representation of the PAR width/height)</p> <p>RV: aspect_ratio_info[3:0] MPEG-2: This value is the aspect_ratio_information[3:0] which is used as index of Table 6-3 in ISO/IEC 13818-2. This value is determined by half of the memory size for one raw YUV image in KB unit.</p> <p>AVS: This value is the aspect_ratio_info[3:0] which is used as index of Table 7-5 in AVS Part2.</p>
------	---	-----	--

### RET\_DEC\_SEQ\_BIT\_RATE

地址: PA[15:0] = 16'h01B4

属性: R格式:

字段	属性	默认	说明
31:0	R	N/A	<p>If -1 (0xFFFF_FFFF) is returned, it means that no bit rate information is presented in a sequence header.</p> <p>MP2: bit_rate (30-bits integer) which is concatenated with bit_rate_extension[11:0] and bit_rate_value[17:0]</p> <p>MP4: bit_rate (30-bits integer) which is concatenated with first_half_bit_rate[14:0] and latter_half_bit_rate[14:0]</p> <p>AVS: bit_rate (30bits integer) which is concatenated with bit_rate_upper[11:0] and bit_rate_lower[17:0]</p> <p>VC-1: In case of Simple/Main profile, HRD_RATE[31:0] In Advanced profile, -1 AVC/DivX3.11/RV: -1</p>

### RET\_DEC\_SEQ\_SUCCESS

地址: PA[15:0] = 16'h01C0

属性: R格式:

字段	属性	默认	说明
0	R	N/A	<p>0 - DEC_SEQ_INIT command executed with error</p> <p>1 - DEC_SEQ_INIT command executed successfully.</p>

### RET\_DEC\_SEQ\_SRC\_SIZE

地址: PA[15:0] = 16'h01C4

属性: R格式:

字段	属性	默认	说明
----	----	----	----

15:0	R	N/A	Decoded picture height size in pixel
31:16	R	N/A	Decoded picture width size in pixel

### RET\_DEC\_SEQ\_SRC\_SIZE

地址: PA[15:0] = 16'h01C8

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	Decoded picture frame rate residual Number of time units of a clock operating at the frequency [FrameRateDiv] Hz. For example, [FrameRateDiv] = 1001 and [FrameRateRes] = 30000 then video frame rate = 30000 / 1001 = 29.97 Hz [FrameRateDiv] = 1 and [FrameRateRes] = 15 then video frame rate = 15 / 1 = 15 Hz for H.264/AVC, refer to RET_DEC_SEQ_NUM_UNITS_IN_TICK and RET_DEC_SEQ_TIME_SCALE.
31:16	R	N/A	Decoded picture frame rate unit number in Hz minus 1. [FrameRateDiv] is derived by adding this value to 1

### RET\_DEC\_SEQ\_FRAME\_NEED

地址: PA[15:0] = 16'h01CC

属性: R格式:

字段	属性	默认	说明
4:0	R	N/A	The number of minimum frame buffer to decode stream successfully and save it. In H.264 case, this value may be bigger than 2 and maximal value may be 18 (16 for reference, 1 for current, and 1 for display). A host must reserve frame buffers with the amount of the minimum value. For example, BIT returns 7 to this register and the host prepares 7 frame buffers and informs frame buffer address by SET_FRAME_BUF command. BIT processor arranges 7 frame buffers and allocates appropriate frame buffer addresses to the area storing decoded image data. If no MMCO (Memory Management Control Operation) and output reordering, BIT processor will assign decoded frame buffer with its number in order like this 0, 1, 2, 3, 4, 5, 6, 0, 1, 2, .. and reference frame data over-writing will not be occurred.

### RET\_DEC\_SEQ\_FRAME\_DELAY

地址: PA[15:0] = 16'h01D0

属性: R格式:

字段	属性	默认	说明
4:0	R	N/A	Maximum display frame buffer delay for buffering decoded picture reorder. BIT processor may delay decoded picture display while display reordering. For example, BIT processor returns 5 to this register. decoding at the first DEC_PIC_RUN command because while first 5 frames decoding by DEC_PIC_RUN command, there is no picture to display. Maximum value of this register may be 16. This value is 0 if [ReorderEn] flag is 0 in H.264 case. In VC-1 decode case, this value is 0 if no B picture and 1 if B picture exists regardless of [ReorderEn] flag.

### RET\_DEC\_SEQ\_INFO

地址: PA[15:0] = 16'h01D4

属性: R格式:

字段	属性	默认	说明
----	----	----	----

0	R	N/A	0 - Data Partition Disable 1 - Data Partition Enable (MPEG-4 only) After executing DEC_SEQ_INIT command, BIT writes partition enable flag from decoded sequence header information of MPEG-4 on this register. In encode case, this register is not used.
1	R	N/A	0 - normal VLC table used 1 - reversible VLC table used This bit is ignored when DataPartEn is 0.
2	R	N/A	0 - normal MPEG-4 stream 1 - short video header stream
3	R	N/A	1 - supports AnnexJ of MPEG-4

### RET\_DEC\_SEQ\_CROP\_LEFT\_RIGHT

地址: PA[15:0] = 16'h01D8

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	Decoder crop right offset information
31:16	R	N/A	Decoder crop left offset information

### RET\_DEC\_SEQ\_CROP\_TOP\_BOTTOM

地址: PA[15:0] = 16'h01DC

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	Decoder crop bottom offset information
31:16	R	N/A	Decoder crop top offset information

### RET\_DEC\_SEQ\_NEXT\_FRAME\_NUM

地址: PA[15:0] = 16'h01E0

属性: R格式:

字段	属性	默认	说明
5:0	R	N/A	Maximum number of returned frame index after DEC_PIC_RUN. Host read next decoded index as many as this value after PIC_RUN.

### RET\_DEC\_SEQ\_JPG\_PARA

地址: PA[15:0] = 16'h01E4

属性: R格式:

字段	属性	默认	说明
2:0	R	N/A	These bits means a JPEG source chroma format. Each value means as below: 3'h0 - 4:2:0 3'h1 - 4:2:2 3'h2 - 4:2:2 vertical 3'h3 - 4:4:4 3'h4 - 4:0:0

### RET\_DEC\_SEQ\_FRAME\_FORMAT

地址: PA[15:0] = 16'h01E4

属性: R格式:

字段	属性	默认	说明
----	----	----	----

5:0	R	N/A	JPEG frame format in YCbCr 6'h0 - YCbCr 4:2:0 6'h1 - YCbCr 4:2:2 6'h2 - YCbCr 2:2:4 6'h3 - YCbCr 4:4:4 6'h4 - YCbCr 4:0:0
-----	---	-----	--

### RET\_DEC\_SEQ\_FRATE\_NR

地址: PA[15:0] = 16'h01E4

属性: R格式:

字段	属性	默认	说明
31:0	R	N/A	Frame rate numerator For specification of numerator for each video coding standard, refer to the Appendix B. FRAME RATE NUMERATORS in this document.

### RET\_DEC\_SEQ\_JPG\_THUMB\_IND

地址: PA[15:0] = 16'h01E8

属性: R格式:

字段	属性	默认	说明
0	R	N/A	This one bit indicates if current Jpeg encoded stream has a thumbnail or not. Thus, a host who wants to decode a thumbnail image must check this value before sending PIC_RUN command.

### RET\_DEC\_SEQ\_FRATE\_DR

地址: PA[15:0] = 16'h01E8

属性: R格式:

字段	属性	默认	说明
31:0	R	N/A	Frame rate denominator When there is no information related to frame_rate in a stream, VPU reports -1 to this register. For specification of denominator for each video coding standard, refer to the Appendix A. FRAME RATE DENOMINATORS in this document.

### RET\_DEC\_SEQ\_HEADER\_REPORT

地址: PA[15:0] = 16'h01EC

属性: R格式:

字段	属性	默认	说明
7:0	R	N/A	A profile of decoded stream. This value is same as the value which is assigned in specification of each video standard.
15:8	R	N/A	A level of decoded stream
16	R	N/A	This one bit means that decoded stream only has progressive frames.
17	R	N/A	This is an H.264 SPS syntax element and is used in B picture.
18	R	N/A	This one bit is the value of progressive segmented frame in VC-1.
19	R	N/A	This is a syntax element in H.264, which is used to make a level in H.264. For other standards this bit should be ignored.
20	R	N/A	This is a syntax element in H.264, which is used to make a level in H.264. For other standards this bit should be ignored.
21	R	N/A	This is a syntax element in H.264, which is used to make a level in H.264. For other standards this bit should be ignored.
22	R	N/A	This is a syntax element in H.264, which is used to make a level in H.264. For other standards this bit should be ignored.

## CMD\_DEC\_PIC\_ROT\_MODE

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
3:0	RW	N/A	PostRotMode[1:0] : 01 - 90 degree conter-clockwise rotation 10 - 180 degree conter-clockwise rotation 11 - 270 degree conter-clockwise rotation PostRotMode[2] : vertical mirroring on/off PostRotMode[3] : horizontal mirroring on/off If PostRotMode is 0000, post rotation is disabled.
4	RW	N/A	0 : disables rotate filter. 1 : enables rotate filter.
5	RW	N/A	0 : disables de-ringing filter. 1 : enables de-ringing filter. The rotated and/or de-ring filtered images are stored to RotBufAddrY, RotBufAddrCb, RotBufAddrCr address which are set by HOST.

## CMD\_DEC\_PIC\_ROT\_INDEX

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
7:0	RW	N/A	A frame buffer index for rotated and/or de-ringing output JPEG : a luma frame buffer index for decoded output
15:8	RW	N/A	JPEG : an interleaved Cb/Cr or separated Cb frame buffer index for decoded output (default : same value with luma frame buffer)
23:16	RW	N/A	JPEG : a separated Cr frame buffer (default : same value with luma frame buffer)

## CMD\_DEC\_PIC\_ROT\_ADDR\_Y

地址: PA[15:0] = 16'h0188

属性: R 格式:

字段	属性	默认	说明
0	R	N/A	A frame buffer address for rotated and/or de-ringing output Y

## CMD\_DEC\_PIC\_ROT\_ADDR\_CB

地址: PA[15:0] = 16'h018c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A frame buffer address for rotated and/or de-ringing output Cb

## CMD\_DEC\_PIC\_ROT\_ADDR\_CR

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A frame buffer address for rotated and/or de-ringing output Cr

## CMD\_DEC\_PIC\_OPTION

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Before decoding, this checks if enough bitstream for one frame decoding has been filled in the bitstream buffer. 0 - disable 1 - enable
1	RW	N/A	A pre-scan mode 0 - decodes one frame after pre-scan. 1 - pre-scans but does not decode one frame. If bit[0] clear, this bit will be ignored.
2	RW	N/A	Enables I-Frame search. 0 - disable 1 - enable If this bit is set to 1, the bit [0], [1], and [4:3] are ignored.
4:3	RW	N/A	A skip frame mode 0 - skip disable 1 - skips except I(IDR)-pictures. 2 - skips B-pictures (skip if nal_ref_idc == 0 in H.264).
5	RW	N/A	Enables user data reporting. If this option is enabled, user data is written into user-data-buffer, which is specified in UserDataBase. If IFrameSearchEn is enabled or SkipFrameMode is enabled, this flag is ignored and user data is not reported.
6	RW	N/A	Enables motion vector reporting. If this option is enabled, motion vectors are written into the mv-buffer.
7	RW	N/A	Enables slice information (QP, Slice Boundary, MB error Map) reporting. If this option is enabled, slice info is written into the Param-buffer.
8	RW	N/A	Enables reporting on frame buffer status information.
9	-	-	Reserved
10	RW	N/A	Sets a user data report mode. 0 - interrupt mode 1 - interrupt disable mode If this option is set to 0, decoder issues an interrupt when user data buffer is full. A host needs to clear the interrupt bit in order to resume decoding. If this option is set to 1, decoder reports user data as much as the user data buffer size. When the buffer is full, decoder ignores the rest of user data. A host can know that user data buffer is overflow with userDataBufFull variable in the user data report format.
15:11	-	-	Reserved
17:16	RW	N/A	Sets a de-blocking filter mode for RV streams. 0 : enables de-blocking filter for all pictures. 1 : disables de-blocking filter for all pictures. 2 : disables de-blocking filter for P and B. pictures. 3 : disables de-blocking filter only for B pictures

### CMD\_DEC\_PIC\_SKIP\_NUM

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	The number of frame decoder skips When the bit[4:3] of CMD_DEC_PIC_OPTION register is set, this register means the number of frames to be skipped by decoder. If this number is 1, BIT enables pre-scan automatically. If bit[2] of CMD_DEC_PIC_OPTION register is set, this number means the number of I-frames to be skipped before one I-frame decoding.



### CMD\_DEC\_PIC\_CHUNK\_SIZE

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A frame chunk size

### CMD\_DEC\_PIC\_BB\_START

地址: PA[15:0] = 16'h01A0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	The byte address of decoder input picture stream buffer. This value is valid only when dynamic buffer allocation option as well as file-play mode option are enabled . In this case, it indicates the start address of the bitstream data.

### CMD\_DEC\_PIC\_START\_BYTE

地址: PA[15:0] = 16'h01A4

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Decoder input stream offset value from 8-byte aligned start address in file-play mode. It ranges from 0 to 7.

### CMD\_DEC\_PIC\_PARA\_BASE\_ADDR

地址: PA[15:0] = 16'h01A8

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Picture Parameter Base address A host reads the size and address of frame buffer status, MB data and MV. for details, see DecParam structure in the API reference user manual.

### CMD\_DEC\_PIC\_USER\_DATA\_BASE\_ADDR

地址: PA[15:0] = 16'h01AC

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	User Data Base address See DecParam structure for details.

### CMD\_DEC\_PIC\_USER\_DATA\_BUF\_SIZE

地址: PA[15:0] = 16'h01B0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	User data buffer size See DecParam structure for details.

### CMD\_DEC\_PIC\_FILT\_PARA

地址: PA[15:0] = 16'h01B4

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Not used
2:1	RW	N/A	0 - QpDelta is used as offset value which will be added default Qp value. 1 - QpDelta is used as ratio value with fixed point QpDelta[15:14] is integer number and QpDelta[13:8] is partial number. The result value will be adjusted within 1 and 31. $DbkQp = 1 < (\text{default Qp} * QpDelta / 64) < 31$
7:3	-	-	Reserved
15:8	RW	N/A	The Qp value for out-loop de-blocking filter for MPEG-2 is calculated with QpDelta depending on QpMode

### CMD\_DEC\_PIC\_ROT\_STRIDE

地址: PA[15:0] = 16'h01B8

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	A post-rotated frame stride

### CMD\_DEC\_PIC\_SAM\_XY

地址: PA[15:0] = 16'h01E0

属性: RW

格式:

字段	属性	默认	说明
31:0	RW	N/A	Each value is used for re-sampling (resize) MJPEG image. [1:0]: horizontal sampling (resizing) ratio X [17:16]: vertical sampling (resizing) ratio Y With respect to the value ratio X, Y, the re-sampling ration is as follows. 0: re-sampling off 1: 1/2 down sampling 2: 1/4 down sampling 3: 1/8 down sampling

### CMD\_DEC\_PIC\_JPG\_THUMB\_EN

地址: PA[15:0] = 16'h01E4

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	If a host sets this bit, the VPU returns thumb nail output after PIC_RUN command. (MJPEG only)

### CMD\_DEC\_PIC\_CLIP\_MODE

地址: PA[15:0] = 16'h01E8

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	MJPEG add-on-feature mode, re-sampling (resize) ratio, and partial MB number [1:0]: add-on-feature enable 0: normal mode enable 1: clip mode enable 2: partial mode enable 3: both partial and clip enable

### CMD\_DEC\_PIC\_CLIP\_FROM

地址: PA[15:0] = 16'h01F0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Clip mode MB Left-Top offset position X, Y in an image [15:0] : clip left-top offset X [31:16] : clip left-top offset Y

### CMD\_DEC\_PIC\_CLIP\_TO

地址: PA[15:0] = 16'h01F4

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Clip mode MB Right-Bottom offset position X, Y in an image [15:0] : clip right-bottom offset X [31:16] : clip right-bottom offset Y

### CMD\_DEC\_PIC\_CLIP\_CNT

地址: PA[15:0] = 16'h01F8

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	[15:0] : partial MB number When partial mode is enabled, this value will be used as the number of the partially decode MB. When partial mode is disabled, this value is ignored. This field is available only for MJPEG.

### RET\_DEC\_PIC\_SIZE

地址: PA[15:0] = 16'h01BC

属性: R 格式:

字段	属性	默认	说明
31:16	R	N/A	Decoded horizontal size in pixel
15:0	R	N/A	Decoded vertical size in pixel. This register is updated when sequence information, resolution is changed

### RET\_DEC\_PIC\_FRAME\_NUM

地址: PA[15:0] = 16'h01C0

属性: R 格式:

字段	属性	默认	说明
15:0	R	N/A	Decoded frame number. After decoding one frame, BIT increases frame number and then stores the decoded frame number to this register.

### RET\_DEC\_PIC\_IDX

地址: PA[15:0] = 16'h01C4

属性: R 格式:

字段	属性	默认	说明
----	----	----	----

15:0	R	N/A	<p>A display frame index</p> <p>After decoding one frame, BIT returns a display frame index to this register. A frame index is the index of array of frame buffer address that a host informs by SET_FRAME_BUF command.</p> <p>-1 (0xFFFF) : VPU does not have more pictures to decode and display.</p> <p>-2 (0xFFFE) : It was frame skip so VPU cannot</p>
			<p>display or VPU does not have more picture to display after execution of current PIC_RUN.</p> <p>-3 (0xFFFD) : Display delay happened because of picture ordering</p>

### RET\_DEC\_PIC\_ERR\_MB

地址: PA[15:0] = 16'h01C8

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	Error MB number in current decoded picture When BIT encounters stream error, BIT performs error concealment on an MB basis and returns concealed MB number in whole picture. If this value is 0, it means a frame has been decoded with no error.

### RET\_DEC\_PIC\_TYPE

地址: PA[15:0] = 16'h01CC

属性: R格式:

字段	属性	默认	说明
1:0	R	N/A	The picture type of currently decoded picture 0 - I picture 1 - P picture 2 - B picture – But there is an exception for VC-1. The [5:3] bits indicates picture type of frame picture (for progressive mode) or top field picture (for interlaced mode), and [2:0] bits are for picture type of bottom field frame. For example, the register might print 0 > 8 > 8, not 0 > 1 > 1 for a specific series of frame picture. It is because the actual bits are 000_000 > 001_000 > 001_000 and the register reports I, P, P pictures as a result of decoding. Also, for VC-1 stream this register shows a decoded picture type with the following meaning. 0 - I picture 1 - P picture 2 - BI picture 3 - B picture
7:2	R	N/A	Field Picture type flag (for H.264 and MPEG2) bit[2] - I picture(slice) exists in TOP_FIELD bit[3] - P picture(slice) exists in TOP_FIELD bit[4] - B picture(slice) exists in TOP_FIELD bit[5] - I picture(slice) exists in BOT_FIELD bit[6] - P picture(slice) exists in BOT_FIELD bit[7] - B picture(slice) exists in BOT_FIELD These bits are set only for interlaced frame. For example if a top field contains at least one I picture, bit[2] is set as 1.
17:8	R	N/A	Reserved
18	R	N/A	0 - a progressive frame which consists of one frame picture 1 - a interlaced frame which consists of two field

			pictures
20:19	R	N/A	MPEG-2 - picture structure in Picture coding Ext. MPEG-4 - interlaced in Video Object Layer H.264 - MBAFF(MB Adaptive frame/field mode flag) VC-1 - FCM in picture header
21	R	N/A	Decodes a top field first if 1. BIT decodes a bottom field first if 0. This is ignored if interlaceFrame is 0 (Progressive Frame). It is valid for VC1, AVS, MPEG-4, and MPEG-2.
22	R	N/A	Repeats to display the first field (for VC-1, AVS, and MPEG-2)
24:23	R	N/A	This is Progressive_Frame in MP2 or RPTFRM in VC-1 For H.264, the 23th bit indicates Pic_struct_present_flag. This is the value of pic_struct_present_flag in picture timing SEI message syntax.
27:25	R	N/A	Field_sequence in picture extension of MPEG-2 For H.264, 27:24 bits indicates Pic_struct. When pic_struct_present_flag of 23th bit is 1, this is the value of pic_struct in picture timing SEI message syntax.
28	R	N/A	frame_pred_frame_dct in picture extension of MPEG-2
29	R	N/A	progressive_sequence in sequence extension of MPEG-2

### RET\_DEC\_PIC\_POST

地址: PA[15:0] = 16'h01D0

属性: R格式:

字段	属性	默认	说明
0	R	N/A	0 - range reduction shall not be used for the frame 1 - range reduction shall be used for the frame.
2:1	R	N/A	2'b00 - Horizontal scale is full, vertical scale is full. 2'b01 - Horizontal scale is half, vertical scale is full. 2'b10 - Horizontal scale is full, vertical scale is half. 2'b11 - Horizontal scale is half, vertical scale is half.
7:3	R	N/A	If RangeRed or MultiRes has a non-zero value, PostSrcBufIdx represents the source buffer index for display buffer.

### RET\_DEC\_PIC\_OPTION

地址: PA[15:0] = 16'h01D4

属性: R格式:

字段	属性	默认	说明
31:0	R	N/A	Shows a pre-scan result. 0 - NG (not enough bitstream data) 1 - OK 2 - No pre-scan (Pre-scan is not allowed or not activated.)

### RET\_DEC\_PIC\_SUCCESS

地址: PA[15:0] = 16'h01D8

属性: R格式:

字段	属性	默认	说明
----	----	----	----

0	R	N/A	0 - DEC_PIC_RUN command executed with error in header decoding 1 - DEC_PIC_RUN command executed successfully
1	R	N/A	
2	R	N/A	0 - slice buffer is sufficient. 1 - slice buffer is not sufficient. This flag is available only for H.264/AVC.
3	R	N/A	0 - Ps buffer is sufficient. 1 - Ps buffer is not sufficient
15:4	-	-	Reserved
16	R	N/A	0 - decoded P picture is not packed with B picture. 1 - decoded P picture is packed with B picture. This flag is meaningful when it is under file-play mode. Basically, one chunk has one frame in fileplay mode. But in DivX or XivD, one chunk can contain P frame and B frame to reduce display delay. Therefore, if this flag is set after decoding P frame, user should keep current chunk data to decode B frame which is rested in the chunk.

### RET\_DEC\_PIC\_CUR\_IDX

地址: PA[15:0] = 16'h01DC

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	A decoded frame index After decoding one frame, BIT returns the decoded frame index to this register. A frame index is the index of array of frame buffer address that a host informs by SET_FRAME_BUF command. BIT return -1 (0xFFFF), if BIT does not decode a picture at this picture run command because there is not enough frame buffer to continue decoding process. In case of VC-1, 2 frame buffers are necessary to decode one frame because of post-processing. BIT return -2(0xFFFE), if BIT does not decode a picture at this picture run command because there are some errors in picture header or there is not frame data decoded.

### RET\_DEC\_PIC\_CROP\_LEFT\_RIGHT

地址: PA[15:0] = 16'h01E0

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	Decoder crop right offset information in H.264/AVC
31:16	R	N/A	Decoder crop left offset information in H.264/AVC

### RET\_DEC\_PIC\_CROP\_TOP\_BOTTOM

地址: PA[15:0] = 16'h01E4

属性: R格式:

字段	属性	默认	说明
15:0	R	N/A	Decoder crop bottom offset information in H.264/AVC
31:16	R	N/A	Decoder crop top offset information in H.264/AVC

### RET\_DEC\_PIC\_ASPECT

地址: PA[15:0] = 16'h01F0

属性: R格式:

字段	属性	默认	说明
----	----	----	----

31:0	R	N/A	This register returns aspect ratio of a sequence in which currently decoded picture is included. It also is updated when sequence information for aspect ratio is changed. Refer to RET_DEC_SEQ_ASPECT for each return value.
------	---	-----	---

### RET\_DEC\_PIC\_FRATE\_NR

地址: PA[15:0] = 16'h01F4

属性: R 格式:

字段	属性	默认	说明
31:0	R	N/A	For AVC, FrameRateRes means time_scale in H.264/AVC VUI syntax. Otherwise, FrameRateRes means decoded picture frame rate residual; number of time units of a clock operating at the frequency [FrameRateDiv] Hz. For example, [FrameRateDiv] = 1001 and [FrameRateRes] = 30000 then video frame rate = 30000 / 1001 = 29.97 Hz [FrameRateDiv] = 1 and [FrameRateRes] = 15 then video frame rate = 15 / 1 = 15 Hz

### RET\_DEC\_PIC\_FRATE\_DR

地址: PA[15:0] = 16'h01F8

属性: R 格式:

字段	属性	默认	说明
31:0	R	N/A	For AVC, FrameRateDiv means num_units_in_tick in H.264/AVC VUI syntax. Otherwise, FrameRateDiv means Decoded picture frame rate unit number in Hz.

### CMD\_DEC\_PARA\_SET\_TYPE

地址: PA[15:0] = 16'h0180

属性: RW

格式:

字段	属性	默认	说明
0	RW	N/A	A parameter set type 0 - Sequence Parameter Set 1 - Picture Parameter Set

### CMD\_DEC\_PARA\_SET\_SIZE

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
8:0	RW	N/A	Sequence/Picture parameter set RBSP byte size. Maximum RBSP size is 511 bytes.

### CMD\_ENC\_SEQ\_BIT\_BUF\_START

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Bitstream buffer SDRAM byte address Bitstream buffer must be 8 byte-aligned. A host must write this register before executing ENC_SEQ_INIT command.



## CMD\_ENC\_SEQ\_BIT\_BUF\_SIZE

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
13:0	RW	N/A	Bitstream buffer size in kilo bytes count A host must write this register before executing ENC_SEQ_INIT command. Maximal bitstream buffer size is $2^{14}-1 = 16383$ KB

## CMD\_ENC\_SEQ\_OPTION

地址: PA[15:0] = 16'h0188

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Bit position of every MB is stored to SDRAM buffer. If this flag is 1, BIT processor stores the start bit position of every MB to SDRAM. A host may access this bit position value after encoding one picture. The MB BIT buffer resides in [ParaBufAddr] . The bit position is counted from the start of picture.
1	RW		Enables encoded slice number and position in SDRAM bit buffer storing to SDRAM buffer. If this flag is 1, BIT processor stores encoded slice end position of every slice to SDRAM. A host may access this slice position after encoding one picture. The encoded slice number is stored to [EncSliceNum] of RET_ENC_PIC_SLICE_NUM register. This flag is ignored for H.263 stream disabling Annex K because H.263 without Annex K stream has no slice structure.
2	RW		Encodes H.264 Access Unit Delimiter RBSP enable. If this flag is 1, BIT processor encodes the Access Unit Delimiter RBSP at every start of picture. The AUD ccess Unit Delimiter RBSP is used to simplify the detection of picture boundary. This flag is ignored in MPEG4/H.263 encode cases.
3	RW		Enables MB QP Storing to SDRAM buffer. If this flag is 1, BIT processor stores QP (Quantization Parameter) of every MB to SDRAM. A host may access this QP value after encoding one picture. The MB QP buffer resides in [ParaBufAddr + 0x1300]. This flag is valid only for MPEG-4/ H.263 cases.
4	RW		Reserved
5	RW		Enables an I-frame Quantization parameter value setting. See the IntraQp field
6	RW		Enables an RcQpMax factor for rate control process. See the RcQpMax field.
7	RW		Enables an RcGamma factor for rate control process. See the RcGamma field.

## CMD\_ENC\_SEQ\_COD\_STD

地址: PA[15:0] = 16'h018C

属性: RW 格式:

字段	属性	默认	说明
3:0	RW	N/A	Encodes a coding standard. 4'h0 - H.264 4'h3 - MPEG-4 Simple Profile 4'h5 - MJPEG 4'hB - MPEG-4 Short Video Header / H.263+ A host must write this register before executing SEQ_INIT command.

## CMD\_ENC\_SEQ\_SRC\_SIZE

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Encodes a source picture height size in pixel. The source picture height must be a multiple of 16, less than or equal to 1088. For H.263 (without Annex) case, picture sizes must be as follows. (width, height) = (128, 96), (176, 144), (352, 288), (704, 576) When a host writes unaligned (not a multiple of 16) size on this register, the VPU will make it MB-aligned size internally to use it for reconstruction frame buffer configuration and some other purposes. In case of MJPEG, this field bit width is 13 bit. In case of MPEG-4 encoding, the unaligned value by host will be encoded directly as video_object_layer_height in VOL syntax.
31:16	RW	N/A	Encodes a source picture width size in pixel A source picture width must be a multiple of 16, less than or equal to 1920. When a host writes unaligned(not a multiple of 16) size on this register, VPU will make it MBENC aligned size internally to use it for reconstruction frame buffer contiguration and some other purposes. In case of MPEG-4 encoding, the unaligned value by host will be encoded directly as video_object_layer_width in VOL syntaxIn.

## CMD\_ENC\_SEQ\_SRC\_F\_RATE

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Encodes a source picture height size in pixel. The source picture height must be a multiple of 16, less than or equal to 576. For H.263 (without Annex) case, picture sizes must be as follows. (width, height) = (128, 96), (176, 144), (352, 288), (704, 576) In case of MJPEG, this field bit width is 13 bit.
31:16	RW	N/A	Encodes a source frame rate unit number in Hz minus 1. [FrameRateDiv] is derived by adding this value to 1.

## CMD\_ENC\_SEQ\_MP4\_PARA

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - Data Partition disable 1 - Data Partition enable
1	RW	N/A	0 - normal VLC table used 1 - reversible VLC table used This bit is ignored if DataPartEn bit is 0
4:2	RW	N/A	MPEG-4 Intra DC VLC Threshold code The allowed range is [0 ~ 7]

## CMD\_ENC\_SEQ\_263\_PARA

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - Annex T off 1 - Annex T on

1	RW	N/A	0 - Annex K off 1 - Annex K on
2	RW	N/A	0 - Annex J off 1 - Annex J on
3	RW	N/A	0 - Annex I off 1 - Annex I on
			* Current design does not support Annex I for encoding mode. So this flag must be set to 0.

### CMD\_ENC\_SEQ\_AVC\_PARA

地址: PA[15:0] = 16'h01A0

属性: RW 格式:

字段	属性	默认	说明
4:0	RW	N/A	chroma_qp_index_offset in Picture Parameter set It ranges -12 to +12. 2's complement signed 5 bit 1_0100 :-12 1_0101 :-11 ... 0_1100 :+12
5	RW	N/A	constrained_intra_pred_flag in Picture Parameter set 0 - intra prediction uses inter MB data. 1 - intra prediction does not use inter MB data.
7:6	RW	N/A	disable_deblocking_filter_idc in slice header 0 - enables deblocking filter 1 - disables deblocking filter 2 - enables deblocking filter except slice boundary
11:8	RW	N/A	slice_alpha_c0_offset_div2 in slice header range -6 to +6 2's complement signed 4 bit
15:12	RW	N/A	slice_beta_offset_div2 in slice header ranging -6 to +6 2's complement signed 4 bit

### CMD\_ENC\_SEQ\_SLICE\_MODE

地址: PA[15:0] = 16'h01A4

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - one slice per picture 1 - multiple slices per picture MPEG-4 mode, a re-sync marker and a packet header is inserted between slice boundaries. H.263 mode with Annex K = 0, a GOB header is inserted at every GOB layer start. H.263 mode with Annex K = 1, multiple slices are generated. H.264 mode, multiple slice layer RBSP is generated.
1	RW	N/A	0 - slice is changed by encoded slice bit number. 1 - slice is changed by encoded macro-block number. This bit is ignored if SliceMode bit is 0. In H.263 Mode with Annex K = 0, this bit is ignored.
15:2	RW	N/A	If SliceSizeMode is 0, encoded bit count of one slice must be set to this register. If SliceSizeMode is 1, macro-block number of one slice must be set to this register. This bit is ignored if SliceMode bit is 0. In H.263 Mode with Annex K = 0, this bit is ignored.

### CMD\_ENC\_SEQ\_GOP\_NUM

地址: PA[15:0] = 16'h01A8

属性: RW 格式:

字段	属性	默认	说明
5:0	RW	N/A	Sets a GOP (Group of Picture) value to encode. An I picture is inserted at every GOP picture value. The GOP limit is 60. 0 - I, P, P, P, ... (only first picture is I) 1 - I, I, I, ... (no P picture) 2 - I, P, I, P, ... 3 - I, P, P, I, P, P, I, ...

### CMD\_ENC\_SEQ\_GOP\_NUM

地址: PA[15:0] = 16'h01AC

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Enables rate control. If this flag is set to 0, the value of register PictureQs is used as a Quantization Step in whole sequence.
15:1	RW	N/A	Target Bit Rate in kilo bit per seconds (kbps) This value is ignored if RcEnable is 0. Maximum allowed value is 32767 (0x7FFF)
30:16	RW	N/A	Reference Decoder initial buffer removal delay in mili-second (ms) This value is ignored if RcEnable is 0. Maximum allowed value is 32767 (0x7FFF). 0 does not check Reference decoder buffer delay constraint
31	RW	N/A	Disables rate control automatic skip. If this flag is 0, BIT processor may skip one picture if available bits are insufficient to accommodate the bit budget. If this flag is 1, BIT processor never skips the picture but encoded bitstream may be overflow than target bit rate at hard-to-encode sequences. This flag is ignored if [RcEnable] is 0.

### CMD\_ENC\_SEQ\_RC\_BUF\_SIZE

地址: PA[15:0] = 16'h01B0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Reference Decoder buffer size in bits This value is ignored if RcEnable is 0 or InitDelay is 0. Maximum allowed value is 0x7FFF_FFFF. 0 does not check Reference decoder buffer size constraint.

### CMD\_ENC\_SEQ\_RC\_BUF\_SIZE

地址: PA[15:0] = 16'h01B0

属性: RW

格式:

字段	属性	默认	说明
15:0	RW	N/A	An intra MB refresh number It must be less than encoded stream (Picture-Height * PictureWidth / 256) 0 - intra MB refresh is not used. N - at least N number of MBs are encoded as intra mode at every picture.

### CMD\_ENC\_SEQ\_INTRA\_QP

地址: PA[15:0] = 16'h01C4

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Intra frame picture quantized step parameter for encoding process. In MPEG-4/H.263 mode, available range is 1 to 31. In H.264 mode, the intra QP range is 0 to 51. If rate control disabled, this value is ignored.

### CMD\_ENC\_SEQ\_RC\_QP\_MAX

地址: PA[15:0] = 16'h01C8

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	Quantized step parameter maximum value for Rate Control process. In MPEG-4/H.263 mode, available range is 3 to 31. In H.264 mode, the allowed range is 13 to 51.

### CMD\_ENC\_SEQ\_RC\_GAMMA

地址: PA[15:0] = 16'h01CC

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A gamma is the smoothing factor in the estimation. A value for gamma is factor * 32768, factor value is selected from the range 0 £ factor <sup>3</sup> 1. If the factor value getting close to 0, Qp will be changed slowly. If the factor value getting close to 1, Qp will be changed quickly. The default Gamma value is 0.75*32768.

### CMD\_ENC\_SEQ\_RC\_INTERVAL\_MODE

地址: PA[15:0] = 16'h01D0

属性: RW 格式:

字段	属性	默认	说明
1:0	RW	N/A	A Rate Control update interval The MB QP can change every MB, frame, slice, or specific number of MB with this setting in order to regulate bit buffer level. 0 : MB normal mode 1 : frame mode 2 : slice mode 3 : MB-Num mode
31:2	RW	N/A	An interval value when RcIntervalMode is 3.

### CMD\_ENC\_SEQ\_INTRA\_WEIGHT

地址: PA[15:0] = 16'h01D4

属性: RW 格式:

字段	属性	默认	说明
19:0	RW	N/A	An intra cost weight factor for Intra/Inter type decision. By default, It could be zero. If this register have some value W, and the cost of best intra mode by Refine-Intra-Mode-Decision is ICOST, the final intra cost FIC will be like below, FIC = ICOST + W

### CMD\_ENC\_SEQ\_ME\_OPTION

地址: PA[15:0] = 16'h01D8

属性: RW 格式:

字段	属性	默认	说明
1:0	RW	N/A	A search range mode for motion estimation 0 : Horizontal(-128 ~ 127), Vertical(-64 ~ 63) 1 : Horizontal(-64 ~ 63), Vertical(-32 ~ 31) 2 : Horizontal(-32 ~ 31), Vertical(-16 ~ 15) 3 : Horizontal(-16 ~ 15), Vertical(-16 ~ 15)
2	RW	N/A	A Motion Estimation PMV option 0 : Motion Estimation engine uses PMV that was derived from neighbor MV. 1 : Motion Estimation engine uses Zero PMV. If this field is 1, encoding quality could be worse than when it was zero.
6:3	RW	N/A	A block mode enable flag for Motion Estimation. (H.264/AVC only). A host can use some combination (bitwise or-ing) of each value under below. 4'b0000 or 4'b1111 : Use all block mode 4'b0001 : Enable 16x16 block mode 4'b0010 : Enable 16x8 block mode 4'b0100 : Enable 8x16 block mode 4'b1000 : Enable 8x8 block mode

### CMD\_ENC\_SEQ\_ME\_OPTION

地址: PA[15:0] = 16'h01C0

属性: R

格式:

字段	属性	默认	说明
0	R	N/A	0 - ENC_SEQ_INIT command executed with error. 1 - ENC_SEQ_INIT command executed successfully.

### CMD\_ENC\_PIC\_SRC\_INDEX

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
4:0	RW	N/A	An index of encoding source frame buffer (The maximum value is 31). This index number must be larger than Frame-BufNum to avoid reconstruction frame buffer area.

### CMD\_ENC\_PIC\_SRC\_STRIDE

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
11:0	RW	N/A	A stride size for source frame buffer. A host should write the stride size of source frame buffer itself without consideration of pre-processing rotation.

### CMD\_ENC\_PIC\_SRC\_ADDR\_Y

地址: PA[15:0] = 16'h01A8

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----

31:0	RW	N/A	An encoding source frame address of luminance A host must write this register before executing ENC_PIC_RUN command. A host must set the SDRAM frame buffer start address to this register every time before encoding a picture
------	----	-----	--

### CMD\_ENC\_PIC\_SRC\_ADDR\_CB

地址: PA[15:0] = 16'h01AC

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	An encoding source frame address of Cb

### CMD\_ENC\_PIC\_SRC\_ADDR\_CR

地址: PA[15:0] = 16'h01B0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	An encoding source frame address of Cr

### CMD\_ENC\_PIC\_QS

地址: PA[15:0] = 16'h018C

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A picture quantized step parameter for encoding process In MPEG-4/H.263 mode, allowed range is 1 to 31. In H.264 mode, allowed range is 0 to 51. If rate control is enabled, this register is ignored. If rate control is disabled, BIT encodes whole MBs in current picture with this value. A host may apply its own picture-level rate control algorithm by regulating this value on a picture-by- process basis.

### CMD\_ENC\_PIC\_ROT\_MODE

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
3:0	RW	N/A	Pre-rotation mode PreRotMode[3:0] = {HorMir, VerMir, RotAng[1:0]} HorMir: Horizontal mirroring VerMir: Vertical mirroring RotAng[1:0] 0: 0 degree counterclockwise rotate 1: 90 degree counterclockwise rotate 2: 180 degree counterclockwise rotate 3: 270 degree counterclockwise rotate If this field is 4'b0000, pre-rotation is disabled.

### CMD\_ENC\_PIC\_OPTION

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----



0	RW	N/A	<p>A picture skip flag</p> <p>If this field is 1, EncSrcAddrY, EncSrcAddrCb, and EncSrcAddrCr are ignored and one skipped picture is encoded. In that case, the reconstructed image at decoder side is a copy of previous picture. The skipped picture is encoded as P type (Inter) picture regardless of [EncGopNum].</p> <p>A host may set this field as 1 when next source frame to be encoded is not available. For example of encoding frame rate 5 Hz case, if camera output is not available at 4th picture, host must set ENC_PIC_RUN command 5 times during one seconds and set PicSkipEn flag 0, 0, 0, 1, 0.</p>
1	RW	N/A	<p>If this field is 1, the source image is encoded as IDR(Instantaneous Decoding Refresh) picture at H.264 or I(Intra) picture at MPEG-4/H.263 regardless of [EncGopNum] value.</p> <p>The IDR picture is I(Intra) picture with zero frame_num value and all of decoding status (ex. reference picture list) are reset. The first frame in bitstream is encoded IDR picture automatically. After encoding IDR picture, I picture period calculation is reset to initial state. For example, if host set [IdrPic] flag set 18th frame and [EncGopNum] is 15, encoded picture types are</p> <p>1st frame : I (IDR - automatically)</p> <p>2nd frame : P</p> <p>...</p> <p>14th frame : P</p> <p>15th frame : I</p> <p>16th frame : P</p> <p>17th frame : P</p> <p>18th frame : I (IDR - set by host)</p> <p>19th frame : P</p> <p>...</p> <p>32nd frame : I</p> <p>33rd frame : P</p> <p>...</p> <p>In MPEG-4/H.263 case, I(Intra)-picture is sufficient for decoder refresh. A host must set this field as 1 periodically for inserting decoder refresh point in encoded bitstream.</p>
2	RW	N/A	Reserved
3	RW	N/A	Enables Mbinf(QP, Slice Boundary) Reporting.
4	RW	N/A	Enables Motion Vector Reporting.
5	RW	N/A	Enables SliceInfo Reporting.

### CMD\_ENC\_PIC\_BB\_START

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	The byte address of encoder output picture stream buffer Bitstream buffer must be 8 byte-aligned. This value is valid only if encoder dynamic buffer allocation option as well as stream buffer reset option is enabled. In this case, it indicates the start address of the bitstream data.

### CMD\_ENC\_PIC\_BB\_SIZE

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----

15:0	RW	N/A	bitstream buffer size for encoded picture in kilo bytes count. Maximum bitstream buffer size is $2^{14}-1 = 16384$ KB. This value is valid only if encoder dynamic buffer allocation option as well as stream buffer reset option is enabled. In this case, it indicates the pointer to end of picture stream.
------	----	-----	--

### CMD\_ENC\_PIC\_PARA\_BASE\_ADDR

地址: PA[15:0] = 16'h01A0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	The base address of parameter buffer in external memory to report encoding information while encoding a picture (Not available yet.) This value is valid only if encoder dynamic buffer allocation option as well as stream buffer reset option is enabled. In this case, it indicates the pointer to end of picture stream.

### RET\_ENC\_PIC\_FRAME\_NUM

地址: PA[15:0] = 16'h01C0

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	The number of encoded frame After encoding one frame, BIT increases frame number and then stores the frame number to this register.

### RET\_ENC\_PIC\_TYPE

地址: PA[15:0] = 16'h01C4

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	The picture type of currently encoded picture. 0 - I (Intra) picture 1 - P (Inter) picture

### RET\_ENC\_PIC\_IDX

地址: PA[15:0] = 16'h01C8

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	A reconstructed frame index After encoding one frame, BIT returns its reconstructed frame index to this register. The reconstructed frame is used for reference of future frame.

### RET\_ENC\_PIC\_SLICE\_NUM

地址: PA[15:0] = 16'h01CC

属性: RW 格式:

字段	属性	默认	说明
14:0	RW	N/A	The number of slices of the currently being encoded picture

### RET\_ENC\_PIC\_FLAG

地址: PA[15:0] = 16'h01D0

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----

0	RW	N/A	This flag means that bitstream buffer size is not enough to save one frame data when buffer reset mode is used. If this flag is set, currently encoded bistream is corrupted.
---	----	-----	---

## CMD\_ENC\_HEADER\_CODE

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
2:0	RW	N/A	Encode header code In MPEG-4, 3'b000 - VOL header 3'b001 - VOS header 3'b010 - VO header In H.264, 3'b000 - SPS rbsp 3'b001 - PPS rbsp In H.263, ENC_HEADER command is ignored.
3	RW	N/A	This is available only in the case of H.264/AVC SPS header encoding. In AVC SPS syntax, This is a flag (frame_cropping_flag) index whether the encoded parameter set have frame cropping information or not. If this flag is 1 and the HeaderCode is 0 while encoding H.264/AVC SPS, VPU gets the cropping informations from EncHdrFrameCropLeft/Right/Top/Bottom registers and then encoding them into SPS syntax. If this flag is zero, encoded SPS have no frame cropping information.
4	RW	N/A	It decides whether to set profile_and_level_indication in VOS header as MPEG-4 predefined values. If this bit is 0, profile_and_level_indication is encoded with one of these values: @ 8'b0000 0001 : L1 (176x144 @ 15Hz) @ 8'b0000 0010 : L2 (352x288 @ 15Hz) @ 8'b0000 0011 : L3 (352x288 @ 30Hz) @ 8'b0000 0100 : L4a (640x480 @ 30Hz) @ 8'b0000 0101 : L5 (720x576 @ 25Hz) @ 8'b0000 0110 : L6 (otherwise) If this bit is 1, a host can set user profile and level with the following 8 bits, UserProfileLevelIndication. This flag does same thing for H.264 encoder. If this is 1, a host can set level_idc with the following 8 bits, UserProfileLevelIndication. If this bit is 0, level_idc is encoded with one of these values.
			If the number of MB in a picture (mbPicNum) £ 99 and mbPicNum ´ frameRate £ 1485, level_idc is 10. (QCIF) If mbPicNum £ 396 and mbPicNum ´ frameRate £ 11880, level_idc is 20. (CIF) If mbPicNum £ 1620 and mbPicNum ´ frameRate £ 40500, level_idc is 30. (SD) If mbPicNum £ 3600 and mbPicNum ´ frameRate £ 108000, level_idc is 31. (HD) If mbPicNum £ 8192 and mbPicNum ´ frameRate £ 245760, level_idc is 40. (Full HD)
7:5	RW	N/A	Reserved for future use

15:8	RW	N/A	A user-defined profile and level value for profile_and_level_indication in MPEG-4 VOS and level_idc in H.264 SPS header.
------	----	-----	--

### **CMD\_ENC\_HEADER\_BB\_START**

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	The byte address of encoder output header stream buffer Bitstream buffer must be 8 byte-aligned. This value is valid only when encoder dynamic buffer allocation option as well as stream buffer reset option are enabled. In this case, it indicates the start address of the bitstream data. In H.263, ENC_HEADER command is ignored.

### **CMD\_ENC\_HEADER\_BB\_SIZE**

地址: PA[15:0] = 16'h0188

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Bitstream buffer size for encoded header in kilo bytes count. Maximal bitstream buffer size is $2^{14}-1 = 16384$ KB. This value is valid only when encoder dynamic buffer allocation option as well as stream buffer reset option is enabled. In this case, it indicates the pointer of the end of picture stream.

### **CMD\_ENC\_HEADER\_FRAME\_CROP\_H**

地址: PA[15:0] = 16'h018C

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Available only in H.264/AVC SPS header encoding This parameter should be the sample number of right cropping region in a line. See the frame_crop_right_offset syntax in AVC SPS tabular form. This parameter is least significant bit(EncHdrFrameCropRight[0]) should be always zero.
31:16	RW	N/A	Available only in H.264/AVC SPS header encoding This parameter should be the sample number of left cropping region in a line. See the frame_crop_left_offset syntax in AVC SPS tabular form. This parameter is least significant bit(EncHdrFrameCropLeft[0]) should be always zero.

### **CMD\_ENC\_HEADER\_FRAME\_CROP\_V**

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Available only in H.264/AVC SPS header encoding This parameter should be the sample number of bottom cropping region in a picture column (MBAIaligned). See the frame_crop_bottom_offset syntax in AVC SPS tabular form. This parameter is least significant bit(EncHdrFrameCropBottom[0]) should be always zero.

31:16	RW	N/A	Available only in H.264/AVC SPS header encoding This parameter should be the sample number of top cropping region in a picture column (MBaligned). See the frame_crop_top_offset syntax in AVC SPS tabular form. This parameter is least significant bit(EncHdrFrameCropTop[0]) should be always zero.
-------	----	-----	---

### CMD\_ENC\_PARA\_SET\_TYPE

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Parameter set type
3	RW	N/A	0 - Sequence Parameter Set 1 - Picture Parameter Set This is available only in the case of H.264/AVC SPS header encoding. In AVC SPS syntax, This is a flag (frame_cropping_flag) index whether the encoded parameter set have frame cropping information or not. If this flag is 1 and the HeaderCode is 0 while encoding H.264/AVC SPS, VPU gets the cropping informations from EncHdrFrameCropLeft/Right/ Top/Bottom registers and then encoding them into SPS syntax. If this flag is zero, encoded SPS have no frame cropping information.

### RET\_ENC\_PARA\_SET\_SIZE

地址: PA[15:0] = 16'h01C0

属性: RW 格式:

字段	属性	默认	说明
8:0	RW	N/A	Encoded Sequence/Picture parameter set RBSP byte size

### CMD\_ENC\_PARAM\_CHANGE\_ENABLE

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Enables GOP number change 0 - disable 1 - enable
1	RW	N/A	Enables constraint intra QP change 0 - disable 1 - enable
2	RW	N/A	Enables bitrate change 0 - disable 1 - enable
3	RW	N/A	Enables frame rate change 0 - disable 1 - enable
4	RW	N/A	Enables intra fresh number change 0 - disable 1 - enable
5	RW	N/A	Enables slice mode change 0 - disable 1 - enable
6	RW	N/A	Enables HEC enable mode 0 - disable 1 - enable

### CMD\_ENC\_PARAM\_CHANGE\_GOP\_NUM

地址: PA[15:0] = 16'h0184

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	A new encode GOP number I-pictures are inserted at every GOP picture number 0 - I, P, P, P, ... (only first picture is I) 1 - I, I, I, ... (no P picture) 2 - I, P, I, P, ... 3 - I, P, P, I, P, P, I, ...

### CMD\_ENC\_PARAM\_CHANGE\_INTRA\_QP

地址: PA[15:0] = 16'h0188

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A quantized step parameter of intra frame picture for encoding process. In MPEG-4/H.263 mode, allowed range is 1 to 31. In H.264 mode, allowed range is 0 to 51. If rate control disabled, this value ignored.

### CMD\_ENC\_PARAM\_CHANGE\_BITRATE

地址: PA[15:0] = 16'h018C

属性: RW 格式:

字段	属性	默认	说明
14:0	RW	N/A	Target bit rate in kilo bit per seconds (kbps) This value is ignored if RcEnable is 0. The maximum value is 32767 (0x7FFF).

### CMD\_ENC\_PARAM\_CHANGE\_F\_RATE

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	Encode source frame rate residual It is the number of time units of a clock operating at the frequency [FrameRateDiv] Hz Frame rate = [FrameRateRes]/[FrameRateDiv] If [EncCodStd] is 11 and Annex I, J, K, and T are turned off (H.263 without PLUSPTYPE), @ the encode source frame rate must be 29.97 ([FrameRateRes] = 30000, [FrameRateDiv] = 1001) because H.263 without PLUSPTYPE supports only 29.97 Hz source frame rate.
31:16	RW	N/A	Encode source frame rate unit number in Hz minus 1 [FrameRateDiv] is derived by adding this value to 1.

### CMD\_ENC\_PARAM\_CHANGE\_INTRA\_REFRESH

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
----	----	----	----

15:0	RW	N/A	An intra MB refresh number It must be less than encoded (PictureHeight * PictureWidth / 256) 0 - Intra MB refresh is not used. N - At least N number of MBs are encoded as Intra mode at every picture.
------	----	-----	--

### CMD\_ENC\_PARAM\_CHANGE\_SLICE\_MODE

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - one slice per picture 1 - multiple slices per picture MPEG-4 mode, a re-sync marker and a packet header are inserted between slice boundaries. H.263 mode with Annex K = 0, GOB header is inserted at every GOB layer start. H.263 mode with Annex K = 1, multiple slices are generated. H.264 mode, multiple slice layer RBSP is generated.
2	RW	N/A	0 - Slice is changed by encoded slice bit number. 1 - Slice is changed by encoded macro-block number. This bit is ignored if SliceMode bit is 0. In H.263 Mode with Annex K = 0, this bit is ignored.
15:2	RW	N/A	If SliceSizeMode is 0, encoded bit count of one slice must be set to this register. If SliceSizeMode is 1, macro-block number of one slice must be set to this register. This bit is ignored if SliceMode bit is 0. In H.263 Mode with Annex K = 0, this bit is ignored

### CMD\_ENC\_PARAM\_CHANGE\_HEC\_MODE

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	Enables encoding HEC. 0 - disables encoding HEC. 1 - enables encoding HEC.

### RET\_ENC\_PAPAM\_CHANGE\_SUCCESS

地址: PA[15:0] = 16'h01C0

属性: RW 格式:

字段	属性	默认	说明
0	RW	N/A	0 - ENC_PARAM_CHANGE command executed with error. 1 - ENC_PARAM_CHANGE command executed successfully.

### CMD\_SET\_FRAME\_BUF\_NUM

地址: PA[15:0] = 16'h0180

属性: RW 格式:

字段	属性	默认	说明
4:0	RW	N/A	The number of frames used for reference or output reordering. This value must be equal or greater than [FrameBufNeed] in RET_DEC_SEQ_FRAME_NEED register at decoding case. The host must set the associated frame buffer SDRAM address (Y, Cb, Cr) to SDRAM buffer address [ParaBufAddr].



### CMD\_SET\_FRAME\_BUF\_STRIDE

地址: PA[15:0] = 16'h0184

属性: RW

格式:

字段	属性	默认	说明
10:0	RW	N/A	Line stride offset of frame memory. The stride number is byte count.

### CMD\_SET\_FRAME\_SLICE\_BB\_START

地址: PA[15:0] = 16'h0188

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A buffer for saving SLICE RBSP SDRAM byte address. The buffer must be 8-byte aligned. A host must writes this register before executing SET_FRAME_BUF command

### CMD\_SET\_FRAME\_SUBSAMP\_A

地址: PA[15:0] = 16'h0188

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	The base address of a buffer for saving subsampled image by loop-filter HW or the base address of buffer for CIME reference of ME HW (Encoder only). Generally, the buffer size is 1/4 of reconstruction frame buffer size. SubSampBaseAddrA and SubSampBaseAddrB take turns to save output of loop-filter, input of CIME reference. Regarding to loop-filter, refer to the De-blocking/Overlap-smoothing filter in datasheet.

### CMD\_SET\_FRAME\_SUBSAMP\_B

地址: PA[15:0] = 16'h018C

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	The base address of a buffer for saving subsampled image by loop-filter HW or the base address of a buffer for CIME reference of ME HW (Encoder only). Generally, the buffer size is 1/4 of reconstruction frame buffer size. SubSampBaseAddrA and SubSampBaseAddrB take turns to save output of loop-filter, input of CIME reference. Regarding to loop-filter, refer to the De-blocking/Overlap-smoothing filter in datasheet.

### CMD\_SET\_FRAME\_SLICE\_BB\_SIZE

地址: PA[15:0] = 16'h018C

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	N/A	A buffer size for saving SLICE RBSP in kilo bytes count. A host must write this register before executing SET_FRAME_BUF command. The maximal bitstream buffer size is $2^{16}-1 = 65535\text{KB}$

### CMD\_SET\_FRAME\_AXI\_BIT\_ADDR

地址: PA[15:0] = 16'h0190

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A buffer for saving MVP(Motion Vector Prediction)/NB(Neighbor Block) data predictor of upper macroblocks. A host must write this register before executing SET_FRAME_BUF command. This can be set when use of secondary SRAM.

### CMD\_SET\_FRAME\_AXI\_IPACDC\_ADDR

地址: PA[15:0] = 16'h0194

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A buffer for saving intra prediction or AcDc of upper macroblocks. A host must write this register before executing SET_FRAME_BUF command. This can be set when use of secondary SRAM.

### CMD\_SET\_FRAME\_AXI\_DBKY\_ADDR

地址: PA[15:0] = 16'h0198

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A buffer for saving deblock luma data of upper macroblocks. A host must write this register before executing SET_FRAME_BUF command. This can be set when use of secondary SRAM.

### CMD\_SET\_FRAME\_AXI\_DBKC\_ADDR

地址: PA[15:0] = 16'h019C

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A buffer address for saving chrominance data of upper macroblocks during deblocking-filter operation. A host must write this register before executing SET_FRAME_BUF command.. This can be set when use of secondary SRAM.

### CMD\_SET\_FRAME\_AXI\_OVL\_ADDR

地址: PA[15:0] = 16'h01A0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	N/A	A buffer address for saving overlap data of upper macroblocks in VC-1. A host must write the address value to this register before executing SET_FRAME_BUF command. This can be set when use of secondary SRAM.

### CMD\_SET\_FRAME\_AXI\_BTP\_ADDR

地址: PA[15:0] = 16'h01 A4

属性: RW 格式:

字段	属性	默认	说明

31:0	RW	N/A	A buffer address in unit of 256 byte for saving bit-plane data of upper macroblocks in VC-1. If SramUseBtpHost[13] of the AXI_SRAM_USE (0x140) is set, a host must write the address value to this register before executing SET_FRAME_BUF command. This can be set when use of secondary SRAM.
------	----	-----	--

## RET\_VER\_NUM

地址: PA[15:0] = 16'h0198

属性: R 格式:

字段	属性	默认	说明
31:16	R	N/A	The product ID with 16 bit hexacode.
15:0	R	N/A	The version ID with 16 bit hexacode.

### 2.4.3.4 Summary of GDI register

#### P\_GDI\_CTRL

地址: PA[15:0] = 16'h1034

属性: WO 格式:

字段	属性	默认	说明
0	WO	N/A	Picture information write request. Before writing any picture information to GDI_PIC_INFO register, this field should be set.
1	WO	N/A	GDI arbiter register configure request. Before writing any value to GDI_PRI or GDI_SEC register, this field should be set.

#### P\_GDI\_STATUS

地址: PA[15:0] = 16'h1080

属性: WO 格式:

字段	属性	默认	说明
0	WO	N/A	Picture information write available. A host must check whether this field is asserted prior to write any picture information to GDI_PIC_INFO register.
1	WO	N/A	GDI arbiter register configure request. Before writing any value to GDI_PRI or GDI_SEC register.

#### P\_GDI\_STATUS

地址: PA[15:0] = 16'h1080

属性: WO 格式:

字段	属性	默认	说明
0	WO	N/A	Picture information write available. A host must check whether this field is asserted prior to write any picture information to GDI_PIC_INFO register.
1	WO	N/A	GDI arbiter register configure request. Before writing any value to GDI_PRI or GDI_SEC register.

#### P\_GDI\_STATUS

地址: PA[15:0] = 16'h1080

属性: WO 格式:

字段	属性	默认	说明
0	WO	N/A	Picture information write available. A host must check whether this field is asserted prior to write any picture information to GDI_PIC_INFO register.
1	WO	N/A	GDI arbiter register configure request. Before writing any value to GDI_PRI or GDI_SEC register.

### P\_GDI\_PIC\_INFO\_nn\_0

地址：属性：

RW 格式：

字段	属性	默认	说明
31:22	-	-	Reserved
21:20	RW	N/A	Frame buffer addressing format 0 - raster-scan(linear) format 1 - reserved 2 - CnM frame tiled format 3 - CnM mixed tiled format
19:17	RW	N/A	Frame color format 0 - 4:2:0 1 - 4:2:2 2 - 2:2:4 3 - 4:4:4 4 - 4:0:0
16	RW	N/A	CbCr Interleaved
15:0	RW	N/A	Macroblock vertical position for Add on feature

### P\_GDI\_PIC\_INFO\_nn\_1

地址：属性：

RW 格式：

字段	属性	默认	说明
31:16	RW	N/A	Picture horizontal size (unit: byte)
15:0	RW	N/A	Picture vertical size (unit: byte)

### P\_GDI\_PIC\_INFO\_nn\_2

地址：属性：

RW 格式：

字段	属性	默认	说明
31:0	RW	N/A	The base address of SDRAM in byte unit for luminance picture for reference (n).

### P\_GDI\_PIC\_INFO\_nn\_3

地址：属性：

RW 格式：

字段	属性	默认	说明
31:0	RW	N/A	The base address of SDRAM in byte unit for chrominance(Cb) picture for reference (n).

### P\_GDI\_PIC\_INFO\_nn\_4

地址：属性：

RW 格式：

字段	属性	默认	说明
----	----	----	----

## 2.4.4 GPU 寄存器

维护地址:  $0x5040,0000 + \text{offset}[17:0]$

GPU 寄存器列表如下:

地址[15:0]	符号	名称	属性
<b>Host Interface Registers</b>			

16'h0000	AQHiClockControl		RW
16'h0004	AQHiIdle		RO
16'h0008	AQAXiConfig		RW
16'h000c	AQAXiStatus		RO
16'h0010	AQIntrAcknowledge		RC
16'h0014	AQIntrEnbl		RW
16'h0018	AQIdent		RO
16'h001c	GCFeatures		RO
16'h0020	GCChipId		RO
16'h0024	GCChipRev		RO
16'h0028	GCChipDate		RO
16'h002c	GCChipTime		RO
16'h0030	GCChipCustomer		RO
16'h0034	GCMinorFeatures0		RO
16'h0038	GCCacheControl		RW
16'h003c	GCResetMemCounters		WO
16'h0040	gcTotalReads		RO
16'h0044	gcTotalWrites		RO
16'h0048	gcChipSpecs		RO
16'h004c	gcTotalWriteBursts		RO
16'h0050	gcTotalWriteReqs		RO
16'h0054	gcTotalWriteLasts		RO
16'h0058	gcTotalReadBursts		RO
16'h005c	gcTotalReadReqs		RO
16'h0060	gcTotalReadLasts		RO
16'h0064	gcGpOut0		RW
16'h0068	gcGpOut1		RW
16'h006c	gcGpOut2		RW
16'h0070	gcAxiControl		RW
16'h0074	GCMinorFeatures1		RO
16'h0078	gcTotalCycles		RW
16'h007c	gcTotalIdleCycles		RW
<b>Memory Controller Registers</b>			
16'h0400	AQMemoryFePageTable		RW
16'h0404	AQMemoryTxPageTable		RW
16'h0408	AQMemoryPePageTable		RW
16'h040c	AQMemoryPezPageTable		RW

16'h0410	AQMemoryRaPageTable		RW
16'h0414	AQMemoryDebug		RW
16'h0418	AQMemoryRa		RW
16'h041c	AQMemoryFe		RW
16'h0420	AQMemoryTx		RW
16'h0424	AQMemoryPez		RW
16'h0428	AQMemoryPec		RW
16'h042c	AQRegisterTimingControl		RW
16'h0430	gcMemoryReserved		RO
16'h0434	gcDisplayPriority		RW
16'h0438	gcDbgCycleCounter		RW
16'h043c	gcOutstandingReads0		RO
16'h0440	gcOutstandingReads1		RO
16'h04440	gcOutstandingWrites		RO
16'h0480	gcBusControl		RW
16'h0484	gcregEndianness0		RW
16'h0488	gcregEndianness1		RW
16'h048c	gcregEndianness2		RW
16'h0490	gcregDrawPrimitiveStartTimeStamp		RO
16'h0494	gcregDrawPrimitiveEndTimeStamp		RO
16'h0498	gcregReqBankAddrMask		RW
16'h049c	gcregReqRowAddrMask		RW
16'h04a0	gcregReqWeight		RW
16'h04c0	gcregRdReqAgingThresh		RW
16'h0500	gcregWrReqAgingThresh		RW
<b>DMA Unit Registers</b>			
16'h0654	AQCmdBufferAddr		WO
16'h0658	AQCmdBufferCtrl		RW
16'h0660	AQFEDebugState		RO
16'h0664	AQFEDebugCurCmdAdr		RO
16'h0668	AQFEDebugCmdLowReg		RO
16'h066c	AQFEDebugCmdHiReg		RO
<b>Power Management Controller Registers</b>			
16'h0100	gcModulePowerControls		RW
16'h0104	gcModulePowerModuleControl		RW
16'h0108	gcModulePowerModuleStatus		RO



### 2.4.4.1 Host Interface Registers

#### AQHiClockControl

地址: PA[15:0] = 16'h0000

属性: RW 格式:

字段	属性	默认	说明
0:0	RW	1'b0	Disable 3D clock.
1:1	RW	1'b0	Disable 2D clock.
8:2	RW	7'h40	
9:9	RW	1'b0	
10:10	WO	1'b0	Disables clock gating for rams
11:11	WO	1'b0	Disable debug registers. If this bit is 1, debug registers are clock gated.
12:12	RW	1'b0	Soft resets the IP.
16:16	RO	1'b0	3D pipe is idle.
17:17	RO	1'b0	2D pipe is idle.
18:18	RO	1'b0	VG pipe is idle.
19:19	RW	1'b0	Isolate GPU bit
23:20	RW	4'b0	Determines which HI/MC to use while reading registers.
27:24	WO	1'b0	Force all the transactions to go to one AXI.

#### AQHiIdle

地址: PA[15:0] = 16'h0004

属性: RO 格式:

字段	属性	默认	说明
0:0	RO	1'b1	FE is idle.
1:1	RO	1'b1	DE is idle.
2:2	RO	1'b1	PE is idle.
3:3	RO	1'b1	SH is idle.
4:4	RO	1'b1	PA is idle.
5:5	RO	1'b1	SE is idle.
6:6	RO	1'b1	RA is idle.
7:7	RO	1'b1	TX is idle.
8:8	RO	1'b1	VG is idle.
9:9	RO	1'b1	IM is idle.
10:10	RO	1'b1	FP is idle.
11:11	RO	1'b1	TS is idle.
30:12	RO	19'h7fff	Unused bits reserved for future expansion.
31:31	RO	1'b0	AXI is in low power mode.

#### AQAxConfig

地址: PA[15:0] = 16'h0008

属性: RW 格式:

字段	属性	默认	说明
3:0	RW	4'b0	AWID
7:4	RW	4'b0	ARID
11:8	RW	4'b0	AWCACHE
15:12	RW	4'b0	ARCACHE

#### AQAxStatus

地址: PA[15:0] = 16'h000c

属性: RO 格式:

字段	属性	默认	说明
9:9	RO	1'b0	DET_RD_ERR
8:8	RO	1'b0	DET_WR_ERR
7:4	RO	4'b0	RD_ERR_ID
3:0	RO	4'b0	WR_ERR_ID

### AQIntrAcknowledge

地址: PA[15:0] = 16'h0010

属性: RC 格式:

字段	属性	默认	说明
31:0	RC	32'b0	Interrupt acknowledge register. Each bit represents a corresponding event being triggered. Reading from this register clears the outstanding interrupt.

### AQIntrEnbl

地址: PA[15:0] = 16'h0014

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Interrupt enable register. Each bit enables a corresponding event.

### AQIdent

地址: PA[15:0] = 16'h0018

属性: RW

格式:

字段	属性	默认	说明
31:24	RO	8'b0	Family value.
23:16	RO	8'b0	Product value.
15:12	RO	4'b0	Revision value.
11:8	RO	4'b0	Technology value.
7:0	RO	8'b0	Customer value.

### GCFeatures

地址: PA[15:0] = 16'h001c

属性: RW 格式:

字段	属性	默认	说明
0:0	RO	1'b0	Fast clear.
1:1	RO	1'b0	Full-screen anti-aliasing.
2:2	RO	1'b0	3D pipe.
3:3	RO	1'b0	DXT texture compression.
4:4	RO	1'b0	Debug registers.
5:5	RO	1'b0	Depth and color compression.
6:6	RO	1'b0	YUV 4:2:0 support in filter blit.
7:7	RO	1'b0	MSAA support.
8:8	RO	1'b0	Shows if there is a display controller in the IP.
9:9	RO	1'b0	Shows if there is 2D engine.
10:10	RO	1'b0	ETC1 texture compression.

11:11	RO	1'b0	Shows if the IP has HD scaler.
12:12	RO	1'b0	Shows if the IP has HDR support.
13:13	RO	1'b0	YUV 4:2:0 tiler is available.
14:14	RO	1'b0	Second level clock gating is available.
15:15	RO	1'b0	IP is configured to have minimum area.
16:16	RO	1'b0	IP does not have early-Z.
17:17	RO	1'b0	IP does not have 422 texture input format.
18:18	RO	1'b0	IP supports interleaving depth and color buffers.
19:19	RO	1'b0	Supports byte write in 2D.
20:20	RO	1'b0	IP does not have 2D scaler.
21:21	RO	1'b0	YUY2 averaging support in resolve.
22:22	RO	1'b0	PE cache is half.
23:23	RO	1'b0	TX cache is half.
24:24	RO	1'b0	YUY2 support in PE and YUY2 to RGB conversion in resolve.
25:25	RO	1'b0	32 bit memory address support.
26:26	RO	1'b0	VG pipe is present.
27:27	RO	1'b0	VG tessellator is present.
28:28	RO	1'b0	FE 2.0 is present.
29:29	RO	1'b0	3D PE has byte write capability.
30:30	RO	1'b0	Supports resolving into YUV target.
31:31	RO	1'b0	Supports 20 bit index.

### GCChipId

地址: PA[15:0] = 16'h0020

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Id.

### GCChipRev

地址: PA[15:0] = 16'h0024

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Revision.

### GCChipDate

地址: PA[15:0] = 16'h0028

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32b0	Date.

### GCChipTime

地址: PA[15:0] = 16'h002C

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Time.

### GCChipCustomer

地址: PA[15:0] = 16'h0030

属性: RO 格式:

字段	属性	默认	说明
31:16	RO	16'b0	Company.
15:0	RO	16'b0	Group.

### GCMajorFeatures0

地址: PA[15:0] = 16'h0034

属性: RO

格式:

字段	属性	默认	说明
0:0	RO	1'b0	Y flipping capability is added to resolve.
1:1	RO	1'b0	Dual Return Bus from HI to clients.
2:2	RO	1'b0	Configurable endianness support.
3:3	RO	1'b0	Supports 8Kx8K textures.
4:4	RO	1'b0	Driver hack is not needed.
5:5	RO	1'b0	Special LOD calculation when MSAA is on.
6:6	RO	1'b0	Proper flush is done in fast clear cache.
7:7	RO	1'b0	2D PE 2.0 is present.
8:8	RO	1'b0	Auto disable in FC is correct.
9:9	RO	1'b0	Supports 8K render target.
10:10	RO	1'b0	2 bits are used instead of 4 bits for tile status.
11:11	RO	1'b0	Use 2 separate tile status buffers in interleaved mode.
12:12	RO	1'b0	32x32 super tile is available.
13:13	RO	1'b0	Major updates to VG pipe (TS buffer tiling. Statemasking.).
14:14	RO	1'b0	New commands added to the tessellator.
15:15	RO	1'b0	If this bit is not set, the FIFO counter should be set to 50. Else, the default should remain.
16:16	RO	1'b0	Floor, ceil, and sign instructions are available.
17:17	RO	1'b0	VG filter is available.
18:18	RO	1'b0	Minor updates to VG pipe (Event generation from VG, TS, PE). Tiled image support.
19:19	RO	1'b0	W is sent to SH from RA.
20:20	RO	1'b0	Sqrt, sin, cos instructions are available.
21:21	RO	1'b0	Unavailable registers will return 0.
22:22	RO	1'b0	New style MC with separate paths for color and depth.
23:23	RO	1'b0	Put the MSAA data into sideband fifo.
24:24	RO	1'b0	
25:25	RO	1'b0	VAA is available or not.
26:26	RO	1'b0	Shader supports bypass mode when MSAA is enabled.
27:27	RO	1'b0	Hierarchical Z is supported.
28:28	RO	1'b0	New texture unit is available.
29:29	RO	1'b0	2D engine supports A8 target.
30:30	RO	1'b0	Correct stencil behavior in depth only.
31:31	RO	1'b0	Enhance VR and add a mode to walk 16 pixels in 16-bit mode in Vertical pass to improve \$ hit rate when rotating 90/270.

### GCCacheControl

地址: PA[15:0] = 16'h0038

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Not used.

### GCResetMemCounters

地址: PA[15:0] = 16'h003C

属性: WO

格式:

字段	属性	默认	说明
0:0	WO	1'b0	Writing 1 will reset the counters and stop counting. Write 0 to start counting again. This register is write only so it has no reset value.

### gcTotalReads

地址: PA[15:0] = 16'h0040

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total reads in terms of 64bits.

### gcTotalWrites

地址: PA[15:0] = 16'h0044

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total writes in terms of 64bits.

### gcChipSpecs

地址: PA[15:0] = 16'h0048

属性: RO 格式:

字段	属性	默认	说明
3:0	RO	4'b0	Number of vertex streams.
7:4	RO	4'b0	Log2 of temporary registers.
11:8	RO	4'b0	Log2 of thread count.
16:12	RO	5'b0	Number of entries in the vertex shadercache.
24:20	RO	5'b0	Number of shader cores.
27:25	RO	3'b0	Number of pixel pipes.
31:28	RO	4'b0	Log2 of vertex output buffer size.

### gcTotalWriteBursts

地址: PA[15:0] = 16'h004C

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total write Data Count in terms of 64bits. This register has no reset value.

### gcTotalWriteReqs

地址: PA[15:0] = 16'h0050

属性: RO 格式:

字段	属性	默认	说明
----	----	----	----

31:0	RO	32'b0	Total write Request Count. This register has no reset value.
------	----	-------	--

### gcTotalWriteLasts

地址: PA[15:0] = 16'h0054

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total WLAST Count. This is used to match with GCTotalWriteReqs. This register has no reset value.

### gcTotalReadBursts

地址: PA[15:0] = 16'h0058

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total Read Data Count in terms of 64bits. This register has no reset value.

### gcTotalReadReqs

地址: PA[15:0] = 16'h005c

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total Read Request Count. This register has no reset value.

### gcTotalReadLasts

地址: PA[15:0] = 16'h0060

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Total RLAST Count. This is used to match with GCTotalReadReqs. This register has no reset value.

### gcGpOut0

地址: PA[15:0] = 16'h0064

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	General Purpose output register0. R/W but not connected to anywhere

### gcGpOut1

地址: PA[15:0] = 16'h0068

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	General Purpose output register1. R/W but not connected to anywhere

### gcGpOut2

地址: PA[15:0] = 16'h006C

属性: RW 格式:

字段	属性	默认	说明

31:0	RW	32'b0	General Purpose output register2. R/W but not connected to anywhere
------	----	-------	---

### gcAxiControl

地址: PA[15:0] = 16'h0070

属性: RW 格式:

字段	属性	默认	说明
0:0	RW	1'b0	0 => NO_BURST_RESET_VALUE 1 => BURST_RESET_VALUE

### GCMajorFeatures1

地址: PA[15:0] = 16'h0074

属性: RO 格式:

字段	属性	默认	说明
0:0	RO	1'b0	Resolve UV swizzle.
1:1	RO	1'b0	V2 compression.
2:2	RO	1'b0	Double buffering support for VG (second TS-->VG semaphore is present).
3:3	RO	1'b0	
4:4	RO	1'b0	
5:5	RO	1'b0	Texture has stride and memory addressing.

### gcTotalCycles

地址: PA[15:0] = 16'h0078

属性: RW

格式:

字段	属性	默认	说明
31:0	RW	32'b0	Total cycles. This register is a free running counter. It can be reset by writing 0 to it.

### gcTotalIdleCycles

地址: PA[15:0] = 16'h0070

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Total cycles where the GPU is idle. It is reset when gcTotalCycles register is written to. It looks at all the blocks but FE when determining the IP is idle.

## 2.4.4.2 Memory Controller Registers

### AQMemoryFePageTable

地址: PA[15:0] = 16'h0400

属性: RW 格式:

字段	属性	默认	说明
31:12	RW	20'b0	Base address for FE virtual address lookup table.

### AQMemoryTxPageTable



地址: PA[15:0] = 16'h0404

属性: RW 格式:

字段	属性	默认	说明
31:12	RW	20'b0	Base address for TX virtual address lookup table.

### AQMemoryPePageTable

地址: PA[15:0] = 16'h0408

属性: RW 格式:

字段	属性	默认	说明
31:12	RW	20'b0	Base address for color buffer virtual address lookup table.

### AQMemoryPezPageTable

地址: PA[15:0] = 16'h040C

属性: RW 格式:

字段	属性	默认	说明
31:12	RW	20'b0	Base address for depth buffer virtual address lookup table.

### AQMemoryRaPageTable

地址: PA[15:0] = 16'h0410

属性: RW 格式:

字段	属性	默认	说明
31:12	RW	20'b0	Base address for early-z virtual address lookup table.

### AQMemoryDebug

地址: PA[15:0] = 16'h0414

属性: RW 格式:

字段	属性	默认	说明
7:0	RW	8'b0	Limits the total number of outstanding read requests. 0 -> no limit.
18:18	RW	1'B0	Setting this bit high disables the data reordering for compression decoder
19:19	RW	1'B0	There is an option to limit outstanding read requests vs. limit the requested data in terms of multiples of 64 bits.
20:20	RW	1'B0	Reserved.
21:21	RW	1'B0	Reserved.
22:22	RW	1'B0	If you can stall AXI bus then you should not stall reads from each client.
23:23	RW	1'B0	Disables the optimization for letting the write data go in parallel to the requests in FC logic.
29:24	RW	6'3C	The comparison value for stall_reads.
30:30	RW	1'B0	Don't stall writes to same address.

### AQMemoryRa

地址: PA[15:0] = 16'h0418

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Base address for all RA memory requests (all addresses are added with this before going out of the chip)

### AQMemoryFe

地址: PA[15:0] = 16'h041c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Base address for all FE memory requests (all addresses are added with this before going out of the chip)

### AQMemoryTx

地址: PA[15:0] = 16'h0420

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Base address for all TX memory requests (all addresses are added with this before going out of the chip)

### AQMemoryPez

地址: PA[15:0] = 16'h0424

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Base address for all PE-Depth memory requests (all addresses are added with this before going out of the chip)

### AQMemoryPec

地址: PA[15:0] = 16'h0428

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Base address for all PE-Color memory requests (all addresses are added with this before going out of the chip)

### AQRegisterTimingControl

地址: PA[15:0] = 16'h042c

属性: RW 格式:

字段	属性	默认	说明
7:0	RW	8'b0	
15:8	RW	8'b0	
17:16	RW	2'b11	RTC for fast rams.
19:18	RW	2'b0	WTC for fast rams
20:20	RW	1'b0	Powerdown memory.
31:21	RW	10'b0	

### gcMemoryReserved

地址: PA[15:0] = 16'h0430

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	unused

### gcDisplayPriority

地址: PA[15:0] = 16'h0434

属性: RW 格式:

字段	属性	默认	说明
7:0	RW	8'h02	Controls the priority of the display controller requests. This

15:8	RW	8'h01	works like a PWM. One register gives the period, and the other gives the ON time. When PWM is ON, display requests are accepted if both display and the
------	----	-------	---

### gcDbgCycleCounter

地址: PA[15:0] = 16'h0438

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Increments every cycle.

### gcOutstandingReads0

地址: PA[15:0] = 16'h043c

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Number of outstanding reads per client in multiples of 8B.

### gcOutstandingReads1g

地址: PA[15:0] = 16'h0440

属性: RO 格式:

字段	属性	默认	说明
7:0	RO	8'b0	RA
15:8	RO	8'b0	TX
23:16	RO	8'b0	FC
31:24	RO	8'b0	TOTAL : Value of total read requests or total requested data (in 64 bits) depending on the value of LimitControl field in AQMemoryDebug register.

### gcOutstandingWrites

地址: PA[15:0] = 16'h0444

属性: RO 格式:

字段	属性	默认	说明
7:0	RO	4'b0	Number of outstanding writes per client.
15:8	RO	4'b0	
23:16	RO	4'b0	

### gcBusControl

地址: PA[15:0] = 16'h0480

属性: RW 格式:

字段	属性	默认	说明
0:0	RW	1'b0	Select the return bus for PEC
1:1	RW	1'b0	Select the return bus for PEZ
2:2	RW	1'b0	Select the return bus for DC
3:3	RW	1'b1	Select the return bus for FE
4:4	RW	1'b0	Used to be for RA. Now it's not used
5:5	RW	1'b0	Select the return bus for MMU
6:6	RW	1'b0	Select the return bus for FC-Depth
7:7	RW	1'b1	Select the return bus for TX
8:8	RW	1'b0	Select the return bus for FC-Color

**gcregEndianness0**

地址: PA[15:0] = 16'h0484

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Flip the words of 32 bit data.0x12345678 becomes 0x56781234

**gcregEndianness1**

地址: PA[15:0] = 16'h0488

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Flip the bytes of 16 bit data.0x12345678 becomes 0x34127856

**gcregEndianness2**

地址: PA[15:0] = 16'h048c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Flip the bits of 8 bit data.0x12345678 becomes 0x84c2a6e1

**gcregDrawPrimitiveStartTimeStamp**

地址: PA[15:0] = 16'h0490

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	32-bit timestamp when pe received draw_primitive_start command

**gcregDrawPrimitiveEndTimeStamp**

地址: PA[15:0] = 16'h0494

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	32-bit timestamp when pe received draw_primitive_end command

**gcregReqBankAddrMask**

地址: PA[15:0] =16'h0498

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Mark the bits used as bank address to 1

**gcregReqRowAddrMask**

地址: PA[15:0] = 16'h049c

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Mark the bits used as row address to 1

**gcregReqWeight**

地址: PA[15:0] =16'h04a0

属性: RW 格式:

字段	属性	默认	说明
31:0	RW	32'b0	Weight0 : The priority weighting for BANK_HIT, ROW_HIT Weight1 : The priority weighting for BANK_HIT, ROW_MISS Weight2 : The priority weighting for BANK_MISS Weight3-7 : RESERVED

### gcregRdReqAgingThresh

地址: PA[15:0] = 16'h04c0

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	16'b0	Read Request become high priority port when aging counter value greater than this threshold value

### gcregWrReqAgingThresh

地址: PA[15:0] = 16'h0500

属性: RW 格式:

字段	属性	默认	说明
15:0	RW	16'b0	Write Request become high priority port when aging counter value greater than this threshold value

## 2.4.4.3 DMA Unit Registers

### AQCmdBufferAddr

地址: PA[15:0] = 16'h0654

属性: WO

格式:

字段	属性	默认	说明
30:0	WO	31'b0	Programmers should always write 0 to this bit
31:31	WO	1'b0	

### AQCmdBufferCtrl

地址: PA[15:0] =16'h0658

属性: RW 格式:

字段	属性	默认	说明
15:0	WO	16'b0	Number of 64-bit words to fetch from the command buffer.
16:16	RW	1'b0	Enable the command parser. 0 => DISABLE 1 => ENABLE

### AQFEDebugState

地址: PA[15:0] =16'h0660

属性: RO 格式:

字段	属性	默认	说明
4:0	RO	4'b0	CMD_STATE
9:8	RO	2'b0	CMD_DMA_STATE

11:10	RO	2'b0	CMD_FETCH_STATE
13:12	RO	2'b0	REQ_DMA_STATE
15:14	RO	2'b0	CAL_STATE
17:16	RO	2'b0	VE_REQ_STATE

#### AQFEDebugCurCmdAdr

地址: PA[15:0] =16'h0664

属性: RO 格式:

字段	属性	默认	说明
31:3	RO	29'b0	This is the command decoder address. The address is always physical so the MSB should always be 0. It has no reset value.

#### AQFEDebugCmdLowReg

地址: PA[15:0] =16'h0668

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Command register used by CmdState.

#### AQFEDebugCmdHiReg

地址: PA[15:0] =16'h066c

属性: RO 格式:

字段	属性	默认	说明
31:0	RO	32'b0	Command register used by CmdState.

### 2.4.4.4 Power Management Controller Registers

#### gcModulePowerControls

地址: PA[15:0] =16'h0100

属性: RW 格式:

字段	属性	默认	说明
0:0	RW	1'b0	Enables module level clock gating.
1:1	RW	1'b0	Disables module level clock gating for stall condition.
2:2	RW	1'b0	Disables module level clock gating for starve/idle condition.
7:4	RW	4'h2	Number of clock cycles to wait after turning on the clock.
31:16	RW	16'h14	Counter value for clock gating the module if the module is idle for this amount of clock cycles.

#### gcModulePowerModuleControl

地址: PA[15:0] =16'h0104

属性: RW 格式:

字段	属性	默认	说明
0:0	RW	1'b0	Disables module level clock gating for FE.
1:1	RW	1'b0	Disables module level clock gating for DE.
2:2	RW	1'b0	Disables module level clock gating for PE.
3:3	RW	1'b0	Disables module level clock gating for SH.
4:4	RW	1'b0	Disables module level clock gating for PA.
5:5	RW	1'b0	Disables module level clock gating for SE.

6:6	RW	1'b0	Disables module level clock gating for RA.
7:7	RW	1'b0	Disables module level clock gating for TX.
8:8	RW	1'b0	Disables module level clock gating for VG.
9:9	RW	1'b0	Disables module level clock gating for IM.
11:11	RW	1'b0	Disables module level clock gating for TS.

### gcModulePowerModuleStatus

地址: PA[15:0] =16'h0108

属性: RO 格式:

字段	属性	默认	说明
0:0	RO	1'b0	Module level clock gating is ON for FE.
1:1	RO	1'b0	Module level clock gating is ON for DE.
2:2	RO	1'b0	Module level clock gating is ON for PE.
3:3	RO	1'b0	Module level clock gating is ON for SH.
4:4	RO	1'b0	Module level clock gating is ON for PA.
5:5	RO	1'b0	Module level clock gating is ON for SE.
6:6	RO	1'b0	Module level clock gating is ON for RA.
7:7	RO	1'b0	Module level clock gating is ON for TX.
8:8	RO	1'b0	Module level clock gating is ON for VG.
9:9	RO	1'b0	Module level clock gating is ON for IM.
11:11	RO	1'b0	Module level clock gating is ON for TS.

## 2.4.5 DC 寄存器

维护地址: 0x5050,0000 + offset[15:0]

DC 寄存器列表如下:

地址[15:0]	符号	名称	属性
<b>显示通道 0</b>			
16'h1240	Frame_Buffer_Configuration	帧缓冲配置	RW
16'h1260	Frame Buffer Address_0	帧缓冲地址	RW
16'h1280	Frame Buffer Stride	帧缓冲幅度	RW
16'h12a0	Frame Buffer Origin	帧缓冲源	RW
16'h1360	Display Dither Configuration	显示器抖动配置	RW
16'h1380	Display Dither Table(low)	显示器抖动表 (低位)	RW
16'h13a0	Display Dither Table(high)	显示器抖动表 (高位)	RW
16'h13c0	Panel Configuration	面板配置	RW
16'h13e0	Panel Timing	面板时序	RW
16'h1400	HDisplay		RW
16'h1420	Hsync		RW
16'h1480	VDisplay		RW



16'h14a0	VSync		RW
16'h14e0	Gamma Index		RW
16'h1500	Gamma Data		RW
<b>显示通道 1</b>			
16'h1250	Frame_Buffer_Configuration	帧缓冲配置	RW
16'h1270	Frame Buffer Address_0	帧缓冲地址	RW
16'h1290	Frame Buffer Stride	帧缓冲幅度	RW
16'h12b0	Frame Buffer Origin	帧缓冲源	RW
16'h1370	Display Dither Configuration	显示器抖动配置	RW
16'h1390	Display Dither Table(low)	显示器抖动表（低位）	RW
16'h13b0	Display Dither Table(high)	显示器抖动表（高位）	RW
16'h13d0	Panel Configuration	面板配置	RW
16'h13f0	Panel Timing	面板时序	RW
16'h1410	HDisplay		RW
16'h1430	Hsync		RW
16'h1490	VDisplay		RW
16'h14b0	VSync		RW
16'h14f0	Gamma Index		RW
16'h1510	Gamma Data		RW
<b>光标</b>			
16'h1520	Cursor Configuration	光标配置	RW
16'h1530	Cursor Address	光标地址	RW
16'h1540	Cursor Location	光标位置	RW
16'h1550	Cursor Background	光标背景	RW
16'h1560	Cursor Foreground	光标前景	RW
<b>中断</b>			
16'h1600	Interrupt (READ ONLY)	中断	RO
16'h1610	Interrupt Enable	中断使能	RW

### 2.4.5.1 Cursor Location(光标位置)

地址：PA[15:0] = 16' h1540

属性：RW格

式：

字段	属性	默认	说明
[31:27]	RO	5'0	保留，读出为 0
[26:16]	RW	11'b0	指针的焦点在整个显示区的纵坐标

[15:11]	RO	5b0	保留, 读出为 0
[10:0]	RW	11'b0	指针的焦点在整个显示区的横坐标

### 2.4.5.2 Frame\_Buffer\_Configuration(帧缓冲配置)

地址: PA[15:0] = 16'h1240 / PA[15:0] = 16'h1250

属性: RW格

式:

字段	属性	默认	说明
[31:21]	RO	12'b0	保留, 读出为 0
[20]	RW	1'b0	复位 reset_, 写 0 复位
[19:13]	RO	7'b0	保留, 读出为 0
[12]	RW	1'b0	Gamma 使能 Gamma Enable, 写 1 使能
[11:10]	RO	2'b0	保留, 读出为 0
[9]	RW	1'b0	显示通道转换 Panel Switch, 置 1 时表示显示另一通道输出
[8]	RW	1'b0	输出使能 Output Enable, 写 1 使能输出
[7:3]	RO	5'b0	保留, 读出为 1
[2:0]	RW	3'b0	像素格式 Format, [2:0]具体含义如下: 3'b000: none 3'b001: R4G4B4 3'b010: R5G5B5 3'b011: R5G6B5 3'b100: R8G8B8

### 2.4.5.3 Register:Frame Buffer address0(帧缓冲地址)

地址: PA[15:0] = 16'h1260 / PA[15:0] = 16'h1270

属性: RW格

式:

字段	属性	默认	说明
[31:0]	RO	32'h0000_0000	内存中图像数据首地址

### 2.4.5.4 Frame Buffer Stride(帧缓冲幅度)

地址: PA[15:0] = 16'h1280 / PA[15:0] = 16'h1290

属性: RW格

式:

字段	属性	默认	说明
[31:0]	RO	32'h0000_0000	显示屏一行的字节数

### 2.4.5.5 Frame Buffer origin(帧缓冲源)

地址: PA[15:0] = 16'h12a0 / PA[15:0] = 16'h12b0

属性: RW格

式:

字段	属性	默认	说明
[31:0]	RO	32'h0000_0000	显示屏左侧原有字节数, 一般配 0 即可

### 2.4.5.6 Display Dither Configuration(显示器抖动配置)

地址: PA[15:0] = 16'h1260 / PA[15:0] = 16'h1270

属性: RW 格式:

字段	属性	默认	说明
[31]	RW	1'b0	置 1 使能 dither 功能
[30:20]	RO	11'b0	保留, 读数为 0
[19:16]	RW	4'b0	红色域宽度
[15:13]	RW	3'b0	保留, 读数为 0
[12]	RW	4'b0	绿色域宽度
[11:4]	RO	8'b0	保留, 读数为 0
[3:0]	RW	4'b0	蓝色域宽度

### 2.4.5.7 Display Dither Table(显示器抖动配表)

地址: (低位) PA[15:0] = 16'h1280 / PA[15:0] = 16'h1290

(高位) PA[15:0] = 16'h12a0 / PA[15:0] = 16'h12b0

属性: RW格

式:

字段	属性	默认	说明
[63:0]	RW	64'h0	该寄存器有 64 位, 而 Display Controller 的寄存器都是 32 位宽, 所以实际上该寄存器为两个 32 位的寄存器。分为 Display Dither Table(low)和 Display DitherTable(high)。这两个寄存器以像素点的 X 和 Y 坐标为索引, 配置作为比较的数值。凡进入 Dtiher 处理模块的图像数据都会在 Display Dither Talbe 寄存器中被相应的索引到一个比较值, 若输入数据的值的后四位大于
			该比较值则进行颜色增强
			Display Dither Table (low)
[3:0]	RW	4'b0	坐标 (0, 0) 处的比较值
[7:4]	RW	4'b0	坐标 (1, 0) 处的比较值
[11:8]	RW	4'b0	坐标 (2, 0) 处的比较值
[15:12]	RW	4'b0	坐标 (3, 0) 处的比较值
[19:16]	RW	4'b0	坐标 (0, 1) 处的比较值
[23:20]	RW	4'b0	坐标 (1, 1) 处的比较值

[27:24]	RW	4'b0	坐标 (2, 1) 处的比较值
[31:28]	RW	4'b0	坐标 (3, 1) 处的比较值
			Display Dither Table (high)
[3:0]	RW	4'b0	坐标 (0, 2) 处的比较值
[7:4]	RW	4'b0	坐标 (1, 2) 处的比较值
[11:8]	RW	4'b0	坐标 (2, 2) 处的比较值
[15:12]	RW	4'b0	坐标 (3, 2) 处的比较值
[19:16]	RW	4'b0	坐标 (0, 3) 处的比较值
[23:20]	RW	4'b0	坐标 (1, 3) 处的比较值
[27:24]	RW	4'b0	坐标 (2, 3) 处的比较值
[31:28]	RW	4'b0	坐标 (3, 3) 处的比较值

### 2.4.5.8 Panel Configuration(面板配置)

地址: PA[15:0] = 16'h13c0 / PA[15:0] = 16'h13d0

属性: RW 格

式:

字段	属性	默认	说明
[31]	RW	1'b1	硬件延迟使能, 置 1 不延迟
[30:10]	RO	21'b0	保留, 读数为 0
[9]	RW	1'b0	时钟极性, 置 1 将时钟反向
[8]	RW	1'b0	时钟使能, 置 1 使能时钟
[7:4]	RO	4'b0	保留, 读数为 0
[5]	RW	1'b0	数据极性, 置 1 使数据取反
[4:2]	RO	3'b0	保留, 读数为 0
[1]	RW	1'b0	数据使能极性, 置 1 取反, 一般设 0
[0]	RW	1'b0	数据使能, 置 1 使能数据输出

### 2.4.5.9 HDisplay

地址: PA[15:0] = 16'h1400 / PA[15:0] = 16'h1410

属性: RW 格式:

字段	属性	默认	说明
[31:28]	RO	4'b0	保留, 读数为 0
[27:16]	RW	12'b0	显示屏一行的总体像素数 (包括非显示区)
[15:12]	RO	4'b0	保留, 读数为 0
[11:0]	RW	12'b0	显示屏一行中显示区的像素数

### 2.4.5.10 HSync

地址: PA[15:0] = 16'h1420 / PA[15:0] = 16'h1430

属性: RW 格式:

字段	属性	默认	说明
[31]	RW	1'b0	HSync 信号的极性, 置 1 取反, 一般设 0
[30]	RW	1'b1	HSync 信号使能, 置 1 只能 HSync 信号输出
[29:28]	RO	2'b0	保留, 读数为 0
[27:16]	RW	12'b0	HSync 信号结束的像素数
[15:12]	RO	4'b0	保留, 读数为 0
[11:0]	RW	12'b0	HSync 信号开始的像素数

### 2.4.5.11 VDisplay

地址: PA[15:0] = 16'h1480 / PA[15:0] = 16'h1490

属性: RW 格式:

字段	属性	默认	说明
[31:27]	RO	5'b0	保留, 读数为 0
[26:16]	RW	11'b0	显示屏总体的行数 (包括消隐区)
[15:11]	RO	5'b0	保留, 读数为 0
[10:0]	RW	11'b0	显示屏中显示区的行数

### 2.4.5.12 VSync

地址: PA[15:0] = 16'h14a0 / PA[15:0] = 16'h14b0

属性: RW 格式:

字段	属性	默认	说明
[31]	RW	1'b0	VSync 信号的极性, 置 1 取反, 一般设 0
[30]	RW	1'b1	VSync 信号使能, 置 1 只能 VSync 信号输出
[29:28]	RO	2'b0	保留, 读数为 0
[27:16]	RW	12'b0	VSync 信号结束的行数
[15:12]	RO	4'b0	保留, 读数为 0
[11:0]	RW	12'b0	VSync 信号开始的行数

### 2.4.5.13 Cursor Configuration(光标配置)

地址: PA[15:0] = 16'h1520

属性: RW 格式:

字段	属性	默认	说明
[31:21]	RO	11'b0	保留, 读数为 0

[20:16]	RW	5'b0	指针的“焦点”（作用点）的横坐标(在指针 32*32 的图案中的横坐标)
[15:13]	RO	3'b0	保留，读出为 0
[12:8]	RW	5'b0	指针的“焦点”（作用点）的纵坐标(在指针 32*32 的图案中的横坐标)
[7:5]	RO	3'b0	保留，读出为 0
[4]	RW	1'b0	指示指针存在于哪个显示单元中，0 表示在 0 号显示单元中，1 表示指针在 1 号显示单元中
[3:2]	RO	2'b0	保留，读出为 0
[1:0]	RW	2'b0	0 disabled 1 masked 2 A8R8G8B8

#### 2.4.5.14 Cursor Address(光标地址)

地址: PA[15:0] = 16'h1530

属性: RW 格式:

字段	属性	默认	说明
[31:0]	RW	32'b0	指针数据在内存中的基地址

#### 2.4.5.15 Cursor Background(光标背景)

地址: PA[15:0] = 16'h1550

属性: RW 格式:

字段	属性	默认	说明
[31:24]	RO	8'b0	保留，读出为 0
[23:16]	RW	8'b0	指针单色模式下背景色的红色域
[15:8]	RW	8'b0	指针单色模式下背景色的绿色域
[7:0]	RW	8'b0	指针单色模式下背景色的蓝色域

#### 2.4.5.16 Cursor Foreground(光标前景)

地址: PA[15:0] = 16'h1560

属性: RW 格式:

字段	属性	默认	说明
[31:24]	RO	8'b0	保留，读出为 0
[23:16]	RW	8'b0	指针单色模式下前景色的红色域
[15:8]	RW	8'b0	指针单色模式下前景色的绿色域
[7:0]	RW	8'b0	指针单色模式下前景色的蓝色域

### 2.4.5.17 Gamma Index

地址: PA[15:0] = 16'h14e0

属性: RW 格式:

字段	属性	默认	说明
[31:8]	RO	24'b0	保留, 读出为 0
[7:0]	RW	8'b0	表示从 0-255 颜色值之间的哪一项开始进行 Gamma 调整, 一般设 0。只需配一次, 此后该值硬件会自增。

### 2.4.5.18 Gamma Data

地址: PA[15:0] = 16'h1500

属性: RW 格式:

字段	属性	默认	说明
[31:24]	RO	8'b0	保留, 读出为 0
[23:16]	RW	8'b0	Gamma 调整的红色域, 将 Gamma Index 指示的值调整为当前域的值
[15:8]	RW	8'b0	Gamma 调整的绿色域, 将 Gamma Index 指示的值调整为当前域的值
[7:0]	RW	8'b0	Gamma 调整的蓝色域, 将 Gamma Index 指示的值调整为当前域的值

### 2.4.5.19 Interrupt(中断)

地址: PA[15:0] = 16'h1600

属性: RO 格式:

字段	属性	默认	说明
[31:5]	RO	27'b0	保留, 读出为 0
[4]	RO	1'b0	Display 1 has used up frame buffer data.
[3:1]	RO	3'b0	保留, 读出为 0
[0]	RO	1'b0	Display 0 has used up frame buffer data.

注意: This register is READ ONLY and will automatically clear up after read

### 2.4.5.20 Interrupt Enable(中断使能)

地址: PA[15:0] = 16'h1610

属性: RO 格式:

字段	属性	默认	说明
[31:5]	RO	27'b0	保留, 读出为 0
[4]	RW	1'b1	1'b1 means enable DisplayIntr_1. 1'b0 means disable.
[3:1]	RO	3'b0	保留, 读出为 0
[0]	RW	1'b1	1'b1 means enable DisplayIntr_0. 1'b0 means disable.



## 2.4.6 DMA 寄存器

维护地址: 0x5060,0000 + offset[11:0]

IO 地址字段 (32bits)		含义
[19:11]=	000000001, 00000001x, 0000001xx, 000001xxx, 00001xxxx, 0001xxxxx, 001xxxxxx, 01xxxxxxx, 1xxxxxxx	保留: 1KB+4KB+8KB+16KB+32KB +64KB+128KB+256KB+512KB
[11:8]=4'h0	[7:0]=8'h0~8'hFF	保留
[11:8]=4'h1 (INTU)	[7:0]=8'h00	IER 地址
	[7:0]=8'h04	DGSR 地址
	[7:0]=8'h08	UIR 地址
	[7:0]=8'h0C~8'hFF	保留
[11:8]=4'h2 (DMA0通道)	[7:0]=8'h00	SAR0 地址
	[7:0]=8'h04	DAR0 地址
	[7:0]=8'h08	DLR0 地址
	[7:0]=8'h0C	NDAR0 地址
	[7:0]=8'h10	CTLR0 地址
	[7:0]=8'h14	IDAR0 地址
	[7:0]=8'h18	CIR0 地址
	[7:0]=8'h1C	CSR0 地址
[11:8]=4'h3 (DMA1通道)	[7:0]=8'h20~8'hFF	保留
	[7:0]=8'h00~1C	与 DMA0 通道对应地址相同
[11:8]=4'h4 (DMA2通道)	[7:0]=8'h20~8'hFF	保留
	[7:0]=8'h00~1C	与 DMA0 通道对应地址相同
[11:8]=4'h5 (DMA3通道)	[7:0]=8'h20~8'hFF	保留
	[7:0]=8'h00~1C	与 DMA0 通道对应地址相同
[11:8]=4'h6 (DMARU 引擎)	[7:0]=8'h00	DMA_ERR_SET 地址
	[7:0]=8'h04	DMA_ERR_CLR 地址
	[7:0]=8'h08	DMA_ACK_ERR_SET 地址
	[7:0]=8'h0C	DMA_ACK_ERR_CLR 地址
	[7:0]=8'h10	DMA_ID_CLR 地址
	[7:0]=8'h14	IO_DMA_INT 地址
	[7:0]=8'h18~8'h1C	保留
	[7:0]=8'h20	DATA_SEND_INFO0 地址
	[7:0]=8'h24	DATA_SEND_INFO1 地址
	[7:0]=8'h28	DMA0-1_ID_BUSY 地址
	[7:0]=8'h2C	DMA2-3_ID_BUSY 地址
	[7:0]=8'h30	DMA0_PARITY_ERR0 地址
	[7:0]=8'h34	DMA1_PARITY_ERR0 地址
	[7:0]=8'h38	DMA2_PARITY_ERR0 地址
	[7:0]=8'h3C	DMA3_PARITY_ERR0 地址
	[7:0]=8'h40	DMA0_PARITY_ERR1 地址
	[7:0]=8'h44	DMA1_PARITY_ERR1 地址
	[7:0]=8'h48	DMA2_PARITY_ERR1 地址
	[7:0]=8'h4C	DMA3_PARITY_ERR1 地址
	[7:0]=8'h50	DMA0_SOURCE_ERR0 地址
[7:0]=8'h54	DMA1_SOURCE_ERR0 地址	
[7:0]=8'h58	DMA2_SOURCE_ERR0 地址	
[7:0]=8'h5C	DMA3_SOURCE_ERR0 地址	
[7:0]=8'h60	DMA0_DEST_ERR0 地址	
[7:0]=8'h64	DMA1_DEST_ERR0 地址	
[7:0]=8'h68	DMA2_DEST_ERR0 地址	
[7:0]=8'h6C	DMA3_DEST_ERR0 地址	

	[7:0]=8'h70	DMA0_DS_ERR1 地址
	[7:0]=8'h74	DMA1_DS_ERR1 地址
	[7:0]=8'h78	DMA2_DS_ERR1 地址
	[7:0]=8'h7C	DMA3_DS_ERR1 地址
	[7:0]=8'h80	ID0_PUT_ADDR 地址
	[7:0]=8'h84	ID1_PUT_ADDR 地址
	[7:0]=8'h88	ID2_PUT_ADDR 地址
	[7:0]=8'h8C	ID3_PUT_ADDR 地址
	[7:0]=8'h90	ID4_PUT_ADDR 地址
	[7:0]=8'h94	ID5_PUT_ADDR 地址
	[7:0]=8'h98	ID6_PUT_ADDR 地址
	[7:0]=8'h9C	ID7_PUT_ADDR 地址
	[7:0]=8'hA0	ID8_PUT_ADDR 地址
	[7:0]=8'hA4	ID9_PUT_ADDR 地址
	[7:0]=8'hA8	ID10_PUT_ADDR 地址
	[7:0]=8'hAC	ID11_PUT_ADDR 地址
	[7:0]=8'hB0	ID12_PUT_ADDR 地址
	[7:0]=8'hB4	ID13_PUT_ADDR 地址
	[7:0]=8'hB8	ID14_PUT_ADDR 地址
	[7:0]=8'hBC	ID15_PUT_ADDR 地址
	[7:0]=8'hC0	ID0_PUT_INFO 地址
	[7:0]=8'hC4	ID1_PUT_INFO 地址
	[7:0]=8'hC8	ID2_PUT_INFO 地址
	[7:0]=8'hCC	ID3_PUT_INFO 地址
	[7:0]=8'hD0	ID4_PUT_INFO 地址
	[7:0]=8'hD4	ID5_PUT_INFO 地址
	[7:0]=8'hD8	ID6_PUT_INFO 地址
	[7:0]=8'hDC	ID7_PUT_INFO 地址
	[7:0]=8'hE0	ID8_PUT_INFO 地址
	[7:0]=8'hE4	ID9_PUT_INFO 地址
	[7:0]=8'hE8	ID10_PUT_INFO 地址
	[7:0]=8'hEC	ID11_PUT_INFO 地址
	[7:0]=8'hF0	ID12_PUT_INFO 地址
	[7:0]=8'hF4	ID13_PUT_INFO 地址
	[7:0]=8'hF8	ID14_PUT_INFO 地址
	[7:0]=8'hFC	ID15_PUT_INFO 地址
[11:8]=4'h7 (DMAWU引擎)	[7:0]=8'h00~FF	与DMARU对应地址相同
[11:8]=4'h8 (DMAVU引擎)	[7:0]=8'h00~FF	与DMARU对应地址相同
[11:8]=4'h9 (AHB salve接口)	[7:0]=8'h00	HSIR 地址
	[7:0]=8'h04	HSSR 地址
	[7:0]=8'h08~8'hFF	保留
[11:8]=4'hA (GDU)	[7:0]=8'h00	GIR 地址
	[7:0]=8'h04	GSR 地址
	[7:0]=8'h08~8'hFF	保留
[11:8]=4'hB (HM_AXIU 接口)	[7:0]=8'h00	MXIR 地址
	[7:0]=8'h04	MXSR 地址
	[7:0]=8'h08~8'hFF	保留
[11:8]=4'hC (VM_AXIU 接口)	[6:0]=8'h00	VXIR 地址
	[7:0]=8'h04	VXSR 地址
	[7:0]=8'h08~8'hFC	保留
[11:8]=4'hD~4'hF	[7:0]=8'h00~8'h3F	保留

### 2.4.6.1 全局寄存器

**IER**

软件可以通过 IER 对不同的中断类型进行使能，初始状态下，所有中断类型使能。

表 3.6.6-1 中断使能寄存器

Bit	名称	R/W	复位值	描述
31:9	-	N/A	23'b0	保留
8:7	HFIE	RW	2'b11	硬件故障中断使能： [8] 为 1 表示状态机异常错误中断使能； [7] 为 1 表示取描述符传输错误中断使能；
6:4	SAIE	RW	3'b111	软件异常中断使能： [6] 为 1 表示描述符地址非 32B 对界中断使能； [5] 为 1 表示只读寄存器中断使能； [4] 为 1 表示 IO 地址越界中断使能；
3:1	ANIE	RW	3'b000	异常完成中断使能： [3] 为 1 表示奇偶校验错误中断使能； [2] 为 1 表示目的端传输错误中断使能； [1] 为 1 表示源端传输错误中断使能；
0	NIE	RW	1'b1	为 1 表示 DMA 传输完成中断使能

## DGSR

软件通过 DGSR 查询 DMA 事务的处理情况，判断如何处理中断，以及建立新的 DMA 请求。若需要进行中断清除，则对相应位写 1 清除。

表 3.6.6-2 全局状态寄存器

Bit	名称	R/W	复位值	描述
31	-	N/A	1'b0	保留
30	ROE	RWC	1'b0	为 1 表示 IO 地址越界错误，写 1 清除
29	AOE	RWC	1'b0	为 1 表示只读寄存器错误，写 1 清除
28	SME	RWC	1'b0	为 1 表示硬件状态异常错误，软件复位清除
27:22	DMA3_INT	RWC	6'b0	DMA3 事务硬件故障中断： [27] 为 1 表示取描述符传输错误，写 1 清除； DMA3 软件异常中断： [26] 为 1 表示描述符地址非 32B 对界，写 1 清除； DMA3 异常完成中断： [25] 为 1 表示奇偶校验错误，写 1 清除； [24] 为 1 表示目的端传输错误，写 1 清除； [23] 为 1 表示源端传输错误，写 1 清除； [22] 为 1 表示传输完成中断，写 1 清除；
21	DMA3_CB	RO	1'b0	1= DMA3 事务忙
20:15	DMA2_INT	RWC	6'b0	DMA2 事务硬件故障中断： [20] 为 1 表示取描述符传输错误，写 1 清除； DMA2 软件异常中断： [19] 为 1 表示描述符地址非 32B 对界，写 1 清除； DMA2 异常完成中断： [18] 为 1 表示奇偶校验错误，写 1 清除； [17] 为 1 表示目的端传输错误，写 1 清除； [16] 为 1 表示源端传输错误，写 1 清除； [15] 为 1 表示传输完成中断，写 1 清除；
14	DMA2_CB	RO	1'b0	1= DMA2 事务忙

<b>13:8</b>	DMA1_INT	RWC	6'b0	DMA1 事务硬件故障中断： [13] 为 1 表示取描述符传输错误，写 1 清除； DMA1 软件异常中断： [12] 为 1 表示描述符地址非 32B 对界，写 1 清除； DMA1 异常完成中断： [11] 为 1 表示奇偶校验错误，写 1 清除； [10] 为 1 表示目的端传输错误，写 1 清除； [9] 为 1 表示源端传输错误，写 1 清除； [8] 为 1 表示传输完成中断，写 1 清除；
<b>7</b>	DMA1_CB	RO	1'b0	1= DMA1 事务忙
<b>6:1</b>	DMA0_INT	RWC	6'b0	DMA0 事务硬件故障中断： [6] 为 1 表示取描述符传输错误，写 1 清除； DMA0 软件异常中断： [5] 为 1 表示描述符地址非 32B 对界，写 1 清除； DMA0 异常完成中断： [4] 为 1 表示奇偶校验错误，写 1 清除； [3] 为 1 表示目的端传输错误，写 1 清除； [2] 为 1 表示源端传输错误，写 1 清除； [1] 为 1 表示传输完成中断，写 1 清除；
<b>0</b>	DMA0_CB	RO	1'b0	1= DMA0 事务忙

## UIR

软件通过 UIR 查询发生只读寄存器错误、IO 地址越界错误以及状态机异常错误的具体部件。

表 3.6.6-3 DMAC 部件中断寄存器

Bit	名称	R/W	复位值	描述
<b>31:21</b>	RO_ERR	RO	11'b0	[31] 为 1 表示 AHBIFU 只读寄存器错误； [30] 为 1 表示 VM_AXIU 只读寄存器错误； [29] 为 1 表示 HM_AXIU 只读寄存器错误； [28] 为 1 表示 GDU 只读寄存器错误； [27] 为 1 表示 DMAVU 只读寄存器错误； [26] 为 1 表示 DMAWU 只读寄存器错误； [25] 为 1 表示 DMARU 只读寄存器错误； [24] 为 1 表示通道 3 只读寄存器错误； [23] 为 1 表示通道 2 只读寄存器错误； [22] 为 1 表示通道 1 只读寄存器错误； [21] 为 1 表示通道 0 只读寄存器错误；
<b>20:10</b>	AO_ERR	RO	11'b0	[20] 为 1 表示 AHBIFU 的 IO 地址越界； [19] 为 1 表示 VM_AXIU 的 IO 地址越界； [18] 为 1 表示 HM_AXIU 的 IO 地址越界； [17] 为 1 表示 GDU 的 IO 地址越界； [16] 为 1 表示 DMAVU 的 IO 地址越界； [15] 为 1 表示 DMAWU 的 IO 地址越界； [14] 为 1 表示 DMARU 的 IO 地址越界； [13] 为 1 表示通道 3 的 IO 地址越界； [12] 为 1 表示通道 2 的 IO 地址越界； [11] 为 1 表示通道 1 的 IO 地址越界； [10] 为 1 表示通道 0 的 IO 地址越界；

<b>9:0</b>	SM_ERR	RO	10'b0	[9] 为 1 表示 AHBIFU 硬件状态异常； [8] 为 1 表示 VM_AXIU 硬件状态异常； [7] 为 1 表示 GDU 或 HM_AXIU 硬件状态异常； [6] 为 1 表示 DMAVU 硬件状态异常； [5] 为 1 表示 DMAWU 硬件状态异常； [4] 为 1 表示 DMARU 硬件状态异常； [3] 为 1 表示通道 3 硬件状态异常； [2] 为 1 表示通道 2 硬件状态异常； [1] 为 1 表示通道 1 硬件状态异常； [0] 为 1 表示通道 0 硬件状态异常；
------------	--------	----	-------	---

## 2.4.6.2 局部寄存器

列出了各部件与 DMA 启动和中断处理相关的寄存器。

### DMA 通道寄存器

各 DMA 通道包括相同的配置和中断寄存器组，分别如下：

#### SARx

DMA 事务的源地址。

表 3.6.6-4 源地址寄存器

Bit	名称	R/W	复位值	描述
<b>31:0</b>	SARx	RW	32'b0	源地址

#### DARx

DMA 事务的目的地址。

表 3.6.6-5 目的地址寄存器

Bit	名称	R/W	复位值	描述
<b>31:0</b>	DARx	RW	32'b0	目的地址

#### DLRx

DMA 事务的传输数据长度。对于单块传输方式，DLRx 表示待传输数据的总长度；对于链表传输方式，DLRx 表示当前链表项对应的数据长度。

表 3.6.6-6 数据长度寄存器

Bit	名称	R/W	复位值	描述
<b>31:0</b>	DLRx	RW	32'b0	传输数据长度，以字节为单位

#### NDARx

存储下一个描述符的地址，要求 32B 对齐。

表 3.6.6-7 下一个描述符地址

Bit	名称	R/W	复位值	描述
<b>31:0</b>	NDARx	RW	32'b0	下一个描述符地址

#### CTLRx

定义 DMA 事务传输时的各种属性。

表 3.6.6-8 DMA 事务控制寄存器

Bit	名称	R/W	复位值	描述
<b>31:10</b>	-	N/A	22'b0	保留

9:8	DT	RW	2'b0	DMA 传输类型： 00=DMAR，源端为主存，目的端为显存； 01=DMAW，源端为显存，目的端为主存； 10=DMAV，源端和目的端均为显存； 11：保留。
7:1	-	N/A	7'b0	保留
0	LD	RW	1'b0	为 1 表示最后一个描述符

### IDARx

初始描述符地址寄存器，软件在启动 DMA 请求时使用该寄存器配置首描述符地址。

表 3.6.6-9 DMA 事务初始描述符地址寄存器

Bit	名称	R/W	复位值	描述
31:0	IDARx	RW	32'b0	初始描述符地址

### CIRx

记录通道的中断状态，软件可清除。

表 3.6.6-10 通道中断寄存器

Bit	名称	R/W	复位值	描述
31:5	-	N/A	27'b0	保留
4	DTE	RO	1'b0	为 1 表示取描述符传输错误
3	DAE	RO	1'b0	为 1 表示描述符地址非 32B 对界
2	AOE	RO	1'b0	为 1 表示只读寄存器错误
1	ROE	RO	1'b0	为 1 表示 IO 地址越界
0	CME	RO	1'b0	为 1 表示通道 x 硬件状态异常

### CSRx

记录通道的状态机状态。

表 3.6.6-11 通道状态寄存器

Bit	名称	R/W	复位值	描述
31:4	-	N/A	28'b0	保留
3:2	CSMS	RO	2'b01	命令拆分部件状态机当前状态
1:0	CFGMS	RO	2'b0	配置寄存器控制状态机当前状态

### DMA 引擎寄存器

包括 DMARU、DMAWU 和 DMAVU 引擎，各引擎内部寄存器相同，以 DMARU 为例进行说明。

### DMA\_ERR\_SET

表 3.6.6-12 寄存器具体信息



Bit	名称	R/W	复位值	描述
31:28	-	RO	4'b0	Put 数据 Flit 过长的 ID 号
27:21	-	N/A	7'b0	保留
20	-	RWS	1'b0	Put 数据 flit 长度大于 16
19:18	-	RWS	2'b0	Get 命令队列故障
17:16	-	RWS	2'b0	Put 命令队列故障
15:14	-	RWS	2'b0	Put 数据发送队列故障： [15]: 读空; [14]: 写满
13	-	RWS	1'b0	IO 越权
12	-	RWS	1'b0	IO 越界
11:9	-	RWS	3'b0	DMA3 的三个错误： [11]: 校验; [10]: 目的; [9]: 源
8:6	-	RWS	3'b0	DMA2 的三个错误： [8]: 校验; [7]: 目的; [6]: 源
5:3	-	RWS	3'b0	DMA1 的三个错误： [5]: 校验; [4]: 目的; [3]: 源
2:0	-	RWS	3'b0	DMA0 的三个错误： [2]: 校验; [1]: 目的; [0]: 源

### DMA\_ERR\_CLR

表 3.6.6-13 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:28	-	RO	4'b0	Put 数据 Flit 过长的 ID 号
27:21	-	N/A	7'b0	保留
20	-	RWC	1'b0	Put 数据 flit 长度大于 16
19:18	-	RWC	2'b0	Get 命令队列故障
17:16	-	RWC	2'b0	Put 命令队列故障
15:14	-	RWC	2'b0	Put 数据发送队列故障： [15]: 读空; [14]: 写满
13	-	RWC	1'b0	IO 越权
12	-	RWC	1'b0	IO 越界
11:9	-	RWC	3'b0	DMA3 的三个错误： [11]: 校验; [10]: 目的; [9]: 源
8:6	-	RWC	3'b0	DMA2 的三个错误： [8]: 校验; [7]: 目的; [6]: 源
5:3	-	RWC	3'b0	DMA1 的三个错误： [5]: 校验; [4]: 目的; [3]: 源
2:0	-	RWC	3'b0	DMA0 的三个错误： [2]: 校验; [1]: 目的; [0]: 源

### DMA\_ACK\_ERR\_SET

表 3.6.6-14 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:16	-	RWS	16'b0	响应数据携带的控制信息与本地记录不一致。[31:16] 依次对应 ID 号 15~0。写 1 置
15:0	-	RWS	16'b0	应答响应出错, 表示 ID 数据接收完成后或者 put 数据发送结束前, 又有 ID 数据返回。[15:0]一次对应 ID 号 15~0。写 1 置

### DMA\_ACK\_ERR\_CLR

表 3.6.6-15 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:16	-	RWC	16'b0	响应数据携带的控制信息与本地记录不一致。[31:16]依次对应 ID 号 15~0。写 1 清
15:0	-	RWC	16'b0	应答响应出错，表示 ID 数据接收完成后或者 put 数据发送结束前，又有 ID 数据返回。[15:0]一次对应 ID 号 15~0。写 1 清

**DMA\_ID\_CLR**

表 3.6.6-16 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:29	-	N/A	3'b0	保留
28	-	RO	1'b0	put_dqu_full
27	-	RO	1'b1	put_dqu_empty
26	-	RO	1'b0	r_put_rq
25	-	RO	1'b0	put_fifo_full
24	-	RO	1'b1	put_fifo_empty
23	-	RO	1'b0	r_get_rq
22	-	RO	1'b0	get_send_state
21	-	RO	1'b0	get_fifo_full
20	-	RO	1'b1	get_fifo_empty
19:16	-	RO	3'b0	[19:16]依次对应 ch3_tail~ch0_tail
15:0	-	RWC	16'b0	[15:0]依次对应 DMA 引擎中 ID 15~0 的有效位

**IO\_DMA\_INT**

表 3.6.6-17 DMA 引擎中断寄存器

Bit	名称	R/W	复位值	描述
31:19	-	N/A	13'b0	保留
18:15	-	RWS	4'b0	DMA3 事务 DMAR 请求中断状态： [18] 为 1 表示数据缓冲奇偶校验错误，写 1 清除； [17] 为 1 表示目的端传输错误，写 1 清除； [16] 为 1 表示源端传输错误，写 1 清除； [15] 为 1 表示传输完成中断，写 1 清除；
14:11	-	RWS	4'b0	DMA2 事务 DMAR 请求中断状态： [14] 为 1 表示数据缓冲奇偶校验错误，写 1 清除； [13] 为 1 表示目的端传输错误，写 1 清除； [12] 为 1 表示源端传输错误，写 1 清除； [11] 为 1 表示传输完成中断，写 1 清除；
10:7	-	RWS	4'b0	DMA1 事务 DMAR 请求中断状态： [10] 为 1 表示数据缓冲奇偶校验错误，写 1 清除； [9] 为 1 表示目的端传输错误，写 1 清除； [8] 为 1 表示源端传输错误，写 1 清除； [7] 为 1 表示传输完成中断，写 1 清除；
6:3	-	RWS	4'b0	DMA0 事务 DMAR 请求中断状态： [6] 为 1 表示数据缓冲奇偶校验错误，写 1 清除； [5] 为 1 表示目的端传输错误，写 1 清除； [4] 为 1 表示源端传输错误，写 1 清除； [3] 为 1 表示传输完成中断，写 1 清除；
2	-	RWS	1'b0	为 1 表示只读寄存器错误
1	-	RWS	1'b0	为 1 表示 IO 地址越界
0	-	RWS	1'b0	为 1 表示 DMARU 状态机异常

**DATA\_SEND\_INFO0**

表 3.6.6-18 寄存器具体信息

Bit	名称	R/W	复位值	描述
31	-	N/A	1'b0	保留
30:23	-	RO	8'b0	r_get_addr
22	-	RO	1'b0	data_head
21	-	RO	1'b0	r_stg2_dv
20:5	-	RO	16'b7fff	r_put_dmask
4	-	RO	1'b0	data_tail
3:0	-	RO	4'b0	msg_id

**DATA\_SEND\_INFO1**

表 3.6.6-19 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:30	-	N/A	2'b0	保留
29:25	-	RO	5'b0	r_put_dlen
24:20	-	RO	5'b0	r_get_dlen
19:16	-	RO	4'b0	r_put_eaddr
15:12	-	RO	4'b0	r_put_saddr
11:8	-	RO	4'b0	r_spel_type
7	-	RO	1'b0	r_put_type
6:3	-	RO	4'b0	r_put_send_id
2:1	-	RO	2'b0	r_put_send_state
0	-	RO	1'b0	r_get_rd_state

### DMA0-1\_ID\_BUSY

表 3.6.6-20 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:16	-	RO	16'b0	dma1_id_busy
15:0	-	RO	16'b0	dma0_id_busy

### DMA2-3\_ID\_BUSY

表 3.6.6-21 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:16	-	RO	16'b0	dma3_id_busy
15:0	-	RO	16'b0	dma2_id_busy

### DMAy1\_PARITY\_ERR0

表 3.6.6-22 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:0	-	RO	32'b0	put_addr

### DMAy\_PARITY\_ERR1

表 3.6.6-23 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:21	-	N/A	11'b0	保留
20:17	-	RO	4'b0	put_eaddr[3:0]
16:12	-	RO	5'b0	put_flit_dlen
11:7	-	RO	5'b0	dbuf_addr
6:4	-	N/A	3'b0	保留
3:0	-	RO	4'b0	msg_id

### DMAy\_SOURCE\_ERR0

表 3.6.6-24 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:0	-	RO	32'b0	get_addr

<sup>1</sup> y=0,1,2,3

**DMAy\_DEST\_ERR0**

表 3.6.6-25 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:0	-	RO	32'b0	put_addr

**DMAy\_DS\_ERR1**

表 3.6.6-26 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:29	-	N/A	3'b0	保留
28:16	-	RO	13'b0	des_err1: [28:25]: put_eaddr[3:0]; [24:20]: put_flit_dlen; [19:16]: mst_id
15	-	N/A	1'b0	保留
14:0	-	RO	15'b0	source_err1: [14:11]: get_eaddr[3:0]; [10:6]: get_flit_dlen; [5]: twins_sig; [4]: y_sig; [3:0]: msg_id

**IDm2\_PUT\_ADDR**

表 3.6.6-27 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:0	-	RO	32'b0	idm_get_addr[31:0]

**IDm\_PUT\_INFO**

表 3.6.6-28 寄存器具体信息

Bit	名称	R/W	复位值	描述
31:27	-	N/A	5'b0	保留
26:24	-	RO	3'b0	id_state
23:19	-	RO	5'b0	get_flit_dlen[4:0]
18:14	-	RO	5'b0	put_flit_dlen[4:0]
13	-	RO	1'b0	twins_sig
12	-	RO	1'b0	spel_type
11:8	-	RO	4'b0	spel_ctrl
7:4	-	RO	4'b0	put_saddr
3:0	-	RO	4'b0	put_eaddr

**AHBIFU 寄存器**
**HSIR**

记录 AHB slave 接口的中断状态。

<sup>2</sup> m=0,1,2,...,15

表 3.6.6-29 AHB slave 中断寄存器

Bit	名称	R/W	复位值	描述
31:3	-	N/A	29'b0	保留
2	ROE	RO	1'b0	为 1 表示只读寄存器错误
1	AOE	RO	1'b0	为 1 表示 IO 地址越界
0	HME	RO	1'b0	为 1 表示 AHB slave 硬件状态异常

### HSSR

记录 AHB slave 状态机状态。

表 3.6.6-30 AHB slave 状态寄存器

Bit	名称	R/W	复位值	描述
31:3	-	N/A	29'b0	保留
2:0	MS	RO	3'b010	AHB slave 总线状态机当前状态

### GDU 寄存器

#### GIR

记录 GDU 的中断状态。

表 3.6.6-31 GDU 中断寄存器

Bit	名称	R/W	复位值	描述
31:3	-	N/A	29'b0	保留
2	ROE	RO	1'b0	为 1 表示只读寄存器错误
1	AOE	RO	1'b0	为 1 表示 IO 地址越界
0	GME	RO	1'b0	为 1 表示 GDU 硬件状态异常

#### GSR

记录 GDU 的状态机状态。

表 3.6.6-32 GDU 状态寄存器

Bit	名称	R/W	复位值	描述
31:4	-	N/A	28'b0	保留
3:2	RESPMS	RO	2'b01	描述符响应状态机当前状态
1:0	GRQMS	RO	2'b0	取描述符请求状态机当前状态

### HM\_AXIU 寄存器

#### MXIR

记录 HM\_AXIU 的中断状态。

表 3.6.6-33 HM\_AXIU 中断寄存器

Bit	名称	R/W	复位值	描述
31:3	-	N/A	29'b0	保留
2	ROE	RO	1'b0	为 1 表示只读寄存器错误

<b>1</b>	AOE	RO	1'b0	为 1 表示 IO 地址越界
<b>0</b>	HME	RO	1'b0	为 1 表示 HM_AXIU 硬件状态异常

### MXSR

记录 HM\_AXIU 的状态机状态。

表 3.6.6-34 HM\_AXIU 状态寄存器

Bit	名称	R/W	复位值	描述
<b>31:8</b>	-	N/A	24'b0	保留
<b>7:6</b>	PUT_STAT	RO	2'b0	Put 请求 FSM 当前状态
<b>5:0</b>	GET_STAT	RO	6'b010100	Get 逻辑相关状态： [5]: 1=LUT 满； [4]: 1=LUT 空； [3:2]: Get 响应 FSM 当前状态； [1:0]: Get 请求 FSM 当前状态。

### VM\_AXIU 寄存器

### VXIR

记录 VM\_AXIU 的中断状态。

表 3.6.6-35 VM\_AXIU 中断寄存器

Bit	名称	R/W	复位值	描述
<b>31:3</b>	-	N/A	29'b0	保留
<b>2</b>	ROE	RO	1'b0	为 1 表示只读寄存器错误
<b>1</b>	AOE	RO	1'b0	为 1 表示 IO 地址越界
<b>0</b>	HME	RO	1'b0	为 1 表示 VM_AXIU 硬件状态异常

### VXSR

记录 VM\_AXIU 的状态机状态。

表 3.6.6-36 VM\_AXIU 状态寄存器

Bit	名称	R/W	复位值	描述
<b>31:19</b>	-	N/A	13'b0	保留
<b>18:6</b>	PUT_STAT	RO	13'b0000001010100	Put 逻辑相关状态： [18:14]: Put 数据 ID-FIFO 计数器值； [13]: 1=Put 数据 ID-FIFO 满； [12]: 1=Put 数据 ID-FIFO 空； [11]: 1=LUT 满； [10]: 1=LUT 空； [9:8]: Put 响应 FSM 当前状态； [7:6]: Put 请求 FSM 当前状态。
<b>5:0</b>	GET_STAT	RO	6'b010100	Get 逻辑相关状态： [5]: 1=LUT 满； [4]: 1=LUT 空； [3:2]: Get 响应 FSM 当前状态； [1:0]: Get 请求 FSM 当前状态。

## 2.5 USB

### 2.5.1 EHCI 寄存器

维护地址:  $0x5080,0000 + \text{offset}[7:0]$

Offset	Mnemonic	Register Name	default
00h	HCCAPBASE	USB 功能寄存器	32'h01000010
04h	HCSPARAMS	USB 结构参数寄存器	32'h00001116
08h	HCCPARAMS	USB 功能参数寄存器	32'h0000A010
USBOPBASE+00h	USBCMD	USB 命令寄存器	32'h00080000
USBOPBASE+04h	USBSTS	USB 状态寄存器	32'h00001000
USBOPBASE+08h	USBINTR	USB 中断使能寄存器	32'h00000000
USBOPBASE+0Ch	FRINDEX	USB 帧索引寄存器	32'h00000000
USBOPBASE+10h	CTRLDSSEGMENT	4G 段选择寄存器	32'h00000000
USBOPBASE+14h	PERIODICLISTBASE	周期帧列表基地址寄存器	32'h00000000
USBOPBASE+18h	ASYNCLISTADDR	下一个异步列表寄存器	32'h00000000
USBOPBASE+1C~3Fh	Reserved		32'h00000000
USBOPBASE+40h	CONFIGFLAG	配置标志寄存器	32'h00000000
USBOPBASE+44h	PORTSC(1-N_PORTS)	端口状态/控制寄存器	32'h00002000
<b>EHCI Synopsys 自定义寄存器</b>			
USBOPBASE+80h	INSNREG00	可编程微帧基地址寄存器	32'h00000000
USBOPBASE+84h	INSNREG01	可编程包缓冲发送/接收阈值寄存器	32'h00200020
USBOPBASE+88h	INSNREG02	可编程包缓冲大小寄存器	32'h00010000
USBOPBASE+8Ch	INSNREG03	控制器发送/接收控制信息寄存器	32'h00000001
USBOPBASE+90h	INSNREG04	调试信息寄存器	32'h00000000
USBOPBASE+94h	INSNREG05	UTMI 配置信息寄存器	32'h00001000
USBOPBASE+98h	INSNREG06	AHB 错误信息寄存器	32'h00000000
USBOPBASE+9Ch	INSNREG07	AHB Master 错误地址寄存器	32'h00000000

#### 2.5.1.1 HCCAPBASE ——USB 功能寄存器

HCCAPBASE 寄存器, 提供当前 EHCI 控制器的版本号, 为软件使用提供依据。同时提供 USB 功能寄存器的偏移量, 为只读寄存器。

位	描述
31:16	EHCI 版本号-RO。
15:8	保留
7:0	CAPLENGTH-RO, USB 操作寄存器的基址 (10h)。



### 2.5.1.2 HCSPARAMS ——USB 结构参数寄存器

该寄存器用于设置一些结构参数，如下游端口数量等，为只读寄存器。

位	描述
31:24	保留
23:20	调试端口数量，可选项，指示主机控制器的哪个端口是调试端口。
19:17	保留
16	端口指示，即是否支持端口指示控制功能。该位为“1”则端口状态和控制寄存器就包含可读写域用于端口指示状态控制。
15:12	伴随控制器的数量，即和 EHCI 控制器同时存在的 OHCI 控制器的数量。
11:8	每个 OHCI 控制器支持的端口数。
7	端口路由规则，即所有的端口如何映射到 OHCI 控制器： 0-第一个端口路由到 OHCI0 控制器，下一个端口路由到 OHCI1 控制器，依此类推进行映射； 1-所有的端口路由规则都和第一个端口相同，第一个端口根据 HCSP-PORTROUTE 数组的规定值（“0”去向 OHCI0，“1”去向 OHCI1）路由。
6:5	保留
4	端口电源控制位（PPC），指示主机控制器是否支持端口电源控制。“1”代表端口支持电源切换，“0”代表没有电源切换功能。
3:0	端口数目。

### 2.5.1.3 HCCPARAMS ——USB 功能参数寄存器

多种配置模式控制，如地址模式等，为只读寄存器。

位	描述
31:16	保留
15:8	EHCI 扩展功能指针（EECP）。值“00h”代表不支持 EHCI 扩展功能，非零值代表第一个 EHCI 扩展功能在 PCI 配置空间的偏移值，该指针必须是 40h 或更大的值。
7:4	同步调度阈值，第[7]位为“0”，低 3 位指示在状态刷新之前，主机控制器可以保存的微帧的数量；第[7]位为“1”，软件就假定主机控制器可以缓存下完整一帧的同步数据结构。
3	保留
2	异步调度停止能力，如果该位为“1”，则主机控制器支持异步调度的高速队列头的停止能力。该属性可以禁止或使能通过 USB 命令寄存器的 Asynchronous Schedule Park Mode Enable 和 Asynchronous Schedule Park Mode Count 域来设置。
1	可编程帧列表标志。如果该位为“0”则软件只能使用 1024 个元素的帧列表，USB 命令寄存器的帧列表大小位就是一个只读域并且设置为“0”；如果该位为“1”，软件可以通过 USB 命令寄存器的帧列表大小域设置更小的帧列表长度。帧列表必须是 4K 对界，并且物理地址连续。
0	64 位地址能力： 0-数据结构使用 32 位地址内存指针； 1-数据结构使用 64 位地址内存指针。

### 2.5.1.4 USBCMD ——USB 命令寄存器

命令寄存器表示串行总线主机控制器执行的命令。写该寄存器会引起命令的执行。

位	描述
31:24	保留
23:16	Interrupt Threshold Control-R/W, 中断入口控制系统软件使用该字段来选择主机控制器将发起中断的最大速率。如果软件对该寄存器写入无效值, 结果不可预测。 值           最大中断间隔 00h           保留 01h           1 micro-frame 02h           2 micro-frame 04h           3 micro-frame 08h           8 micro-frame (默认值, 1ms) 10h           16 micro-frame 20h           32 micro-frame 40h           64 micro-frame
15:12	保留
11	可选, 异步调度停止模式使能, 如果 HCCPARAMS 寄存器中的 Asynchronous Park Capability 位为 1, 那么该位默认为 1. 否则该比特为 0, 并且只读。软件使用该比特来使能或禁止停止模式。当该位为 1 时, 停止模式使能。当该位为 0, 停止模式禁止。
10	保留
9:8	可选, 异步调度停止模式计数, 如果在 HCCPARAMS 寄存器中的 Asynchronous Park Capability 位为 1, 那么该字段默认为 3h, 并且可读写。否则默认为 0, 并且只读。该字段包含连续事务数的计数, 该连续事务的数目来自于在继续遍历异步调度之前, 允许 HC 从位于异步调度中的高速队列头执行的数目。当停止位置使能时, 该位不能写 0。
7	可选, 不需要该控制位。如果实现, 允许驱动复位 EHCI 控制器而不影响端口状态或者伴侣控制器的联系。比如, PORSTC 寄存器不会复位到他们的默认值, CF 位设置不会为 0。主机软件读该位为“0”意味着 Light Host Controller Reset 已经完成, 并且主机软件能安全地重新初始化主机控制器。主机软件读该位为“1”时, 表示 Light Host Controller Reset 没有完成。
6	Interrupt on Async Advance Doorbell-R/W, 软件使用该位作为门铃来告诉主机控制器在下次前进到异步调度时, 发起一个中断。软件必须写 1 到该位来敲响门铃。当主机控制器已经清空所有适当的缓存调度状态时, 设置在 USBSTS 寄存器中的 Interrupt on Async Advance 状态位。如果在 USBINTR 寄存器中的 Interrupt on Async Advance Enable 位为 1, 那么主机控制器将在下个中断入口声明中断。
5	Asynchronous Schedule Enable-R/W, 异步调度使能该位控制主机控制器是否忽略处理异步调度。
4	Periodic Schedule Enable-R/W, 周期调度使能该位控制主机控制器是否忽略处理周期调度。
3:2	Frame List Size-(R/W or RO), 帧列表大小, 如果 HCCPARAMS 寄存器中的 Programmable Frame List Flag 置 1. 该字段指定帧列表的尺寸。帧列表的尺寸控制用于帧列表当前索引的帧索引寄存器中的比特数。
1	Host Controller Reset-R/W, 软件使用该控制位来复位主机控制器。这对于根集线器寄存器的影响类似于芯片硬件复位。当软件写 1 到该位, 主机控制器复位它的内部管道, 计时器, 计数器, 状态机等为他们的初始值。任何 USB 的当前进程事务立即终结。USB 复位不会驱动下游的端口。这次复位不会影响 PCI 配置寄存器。所有操作寄存器, 包括端口寄存器和端口状态机器设置为初始值。端口拥有权回到伴侣主机控制器。当复位过程完成时, HC 置 0。软件不能写 0 到该寄存器来过早地结束复位过程。当 USBSTS 寄存器中的 HCHalted 位为 0 时, 软件不能置 1。

0	Run/Stop-R/W, 当置 1 时, HC 开展调度的执行。只要该位为 1, HC 继续执行。当该位置 0 时, HC 完成 USB 上当前以及任何激活的事务, 然后暂停。在软件清除 Run 位之后, 主机控制器必须在 16us 以内暂停。在状态寄存器中的 Halted 位表示这时 HC 已经结束了事务并且进入了停止状态。软件不能写 1 到该字段除非 HC 处在暂停状态。
---	--

### 2.5.1.5 USBSTS——USB 状态寄存器

该寄存器意味着挂起的中断以及 HC 各种状态。来自串行总线上事务的状态不包含在寄存器中。

位	描述
31:16	
15	Asynchronous Schedule Status-RO, 异步调度状态, 该位报告了异步调度的当前实际状态。如果该位为 0, 那么异步调度的状态禁止。如果该位为 1, 那么异步调度的状态使能。当软件转换 USBCMD 寄存器中的 Asynchronous Schedule Enable 位时, HC 不需要立即禁止或使能异步调度。当该位值与 Asynchronous Schedule Enable 值相同时, 异步调度要么禁止要么使能。
14	Periodic Schedule Status-RO, 周期调度状态, 该位报告了周期调度的当前实际状态。如果该位为 0, 那么周期调度的状态禁止。如果该位为 1, 那么周期调度的状态使能。当软件转换 USBCMD 寄存器中的 Periodic Schedule Enable 位时, HC 不需要立即禁止或使能周期调度。当该位值与 Periodic Schedule Enable 值相同时, 周期调度要么禁止要么使能。
13	Reclamation-RO, 用来检测空异步调度。
12	HCHalted-RO, 无论何时 Run/Stop 位为 1 时, 该位为 0。软件或 HC 硬件将 Run/Stop 位置 0 的结果是停止执行, HC 就会对该位置 1。
11:6	保留
5	Interrupt on Async Advance-R/WC, 异步前进上的中断。通过写 1 到 USBCMD 寄存器中的 Interrupt on Async Advance Doorbell 位, 使得系统软件在下次主机控制器前进异步调度时能强制主机控制器发起一个中断。该状态位表明中断源的声明。
4	Host System Error-R/WC, 主机系统错误。在主机系统访问涉及 HC 模块期间, 严重的错误产生, HC 置 1。在 PCI 系统中, 置 1 的条件包括 PCI Parity error, PCI Master Abort, 和 PCI Target Abort。当错误发生时, HC 清除在命令寄存器中的 Run/Stop 位来阻止调度 TDs 的进一步执行。
3	Frame List Rollover-R/WC, 帧列表翻转。当 Frame List Index 从最大值翻转为 0 时, HC 对该位置 1。翻转发生的确切值依赖于帧列表尺寸。比如, 如果帧列表尺寸是 1024, 每次 FRINDEX[13]交替时, Frame Index Register 翻转。类似地, 如果尺寸为 512, 每次 FRINDEX[12]交替时, 主机控制器将该位置 1。
2	Port Change Detect-R/WC, 端口变化检测。当 Port Owners 位置 0 的那些端口有位变化时, HC 置 1。
1	USB Error Interrupt-R/WC, USB 错误中断 (USBERRINT)。当 USB 事务的完成导致错误条件时, 主机控制器将该位置 1。如果错误中断发生的 TD 的 IOC (Interrupt on Complete) 位置 1, 那么该位和 USBINT 位置 1。
0	USB Interrupt-R/WC, USB 中断 (USBINT)。主机控制器在 USB 事务完成时, 对该位置 1, 会导致那些有 IOC 被置位的 TD 退出。当检测到短数据包时, HC 也会对该位置 1。

### 2.5.1.6 USBINTR——USB 中断使能寄存器

该寄存器使能/禁止报告给软件的相应中断。当置位并且相应中断激活时，就会产生中断给主机。在该寄存器中禁止但是出现在 USBSTS 中的中断源允许软件轮询事件。每个中断使能位描述表示其是否依赖于中断入口机制。

位	描述
31:6	保留
5	Interrupt on Async Advance Enable-R/W, 当该位置 1, 并且 USBSTS 寄存器中的 Interrupt on Async Advance 位为 1 时, HC 会发起一个中断在下一个中断入口。软件通过清除 Interrupt on Async Advance 位来确认该中断。
4	Host System Error Enable-R/W, 主机系统错误使能
3	Frame List Rollover Enable-R/W, 帧列表翻转使能
2	Port Change Interrupt Enable-R/W, 端口变化中断使能
1	USB Error Interrupt Enable-R/W, USB 错误中断使能
0	USB Interrupt Enable-R/W, USB 中断使能

### 2.5.1.7 FRINDEX ——帧索引寄存器

主机控制器使用该寄存器来索引周期帧列表。该寄存器每 125us 更新一次。Bits[N:3]用于在周期调度执行期间选择在周期帧列表中的特定入口。用于索引的比特数依赖于帧列表尺寸, 帧列表尺寸是通过系统软件设置在 USBCMD 寄存器中的 Frame List Size。

该寄存器必须以字的方式写入。该寄存器不能被写, 除非 HC 处于 Halted 状态。写入该寄存器也会影响 SOF 的值。

位	描述															
31:14	保留															
13:0	帧索引, 该寄存器中的值在每次帧结束时加 1。Bits[N: 3]用于帧列表当前索引。这意味着帧列表的每个位置在移动到下一个索引之前要被访问 8 次。 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>frame list size</th> <th>Number Elements</th> <th>N</th> </tr> </thead> <tbody> <tr> <td>00b</td> <td>1024</td> <td>12</td> </tr> <tr> <td>01b</td> <td>512</td> <td>11</td> </tr> <tr> <td>10b</td> <td>256</td> <td>10</td> </tr> <tr> <td>11b</td> <td>保留</td> <td></td> </tr> </tbody> </table>	frame list size	Number Elements	N	00b	1024	12	01b	512	11	10b	256	10	11b	保留	
frame list size	Number Elements	N														
00b	1024	12														
01b	512	11														
10b	256	10														
11b	保留															

总线 SOF 令牌包的 SOF 帧号值从该寄存器提取或管理。FRINDEX 值必须比 SOF 令牌包的值超前 125us。SOF 值的实现是通过 11 位的 shadow 寄存器, 称之为 SOFV。SOFV 每 8 微帧更新一次。即每次 FRINDEX[2: 0]从 0 增加到 1 时, 增加 SOFV 的值。

出于两个目的, 软件必须使用 FRINDEX 值来提取当前微帧号, 一个是用于高速等时调度, 另外一个是为了提供客户驱动需要的得到微帧号功能。因此, FRINDEX 值和 SOFV 值必须保持一致, 如果芯片复位或者软件写 FRINDEX。写 FRINDEX 的值必须同时将 FRINDEX[13:3]值写入 SOFV[10:0]。为了保持更新的简单性, 软件在 FRINDEX 最后三位为 111 或 000 时不能写入。

### 2.5.1.8 CTRLDSSEGMENT ——4G 段选择寄存器

该 32 位寄存器对应于所有 EHCI 数据结构的最高有效地址位[63:32]。如果

HCCPARAMS 寄存器中的 64 位编址功能字段为 1，那么用该寄存器连接指针来构建 64 位地址指向 EHCI 控制数据结构。

### 2.5.1.9 PERIODICLISTBASE——周期帧列表基地址寄存器

该 32 位寄存器包含了在系统内存中周期帧列表的起始地址。如果 HC 处于 64 位的模式，那么每个控制数据结构地址的最高有效 32 位来自于 CTRLDSSEGMENT 寄存器。在 HC 开始执行调度之前，系统软件载入该寄存器。该寄存器中的内容和 FRINDEX 联合使能 HC 通过周期帧列表来步进。

位	描述
31:12	基地址-R/W，这些位对应于内存地址信号[31:12]。
11:0	保留

### 2.5.1.10 ASYNCLISTADDR ——下一个异步列表地址寄存器

该 32 位寄存器包含了下一个要被执行的异步队列头的地址。该寄存器的位[4:0]不能被系统软件修改，并且在读的时候总是返回 0。

位	描述
31:5	链接指针-R/W，这些位对应于内存地址信号[31:5]，可以指示队列头。
4:0	保留

### 2.5.1.11 CONFIGFLAG ——配置标志寄存器

位	描述
31:1	保留
0	配置标志-R/W，该位控制默认的端口路由由控制逻辑： 0-端口路由控制逻辑默认把每个端口路由到一个 OHCI 控制器； 1-端口路由控制逻辑默认把所有的端口路由到 EHCI 控制器。

### 2.5.1.12 PORTSC ——端口状态和控制寄存器

一个主机控制器必须实现一个或更多的端口寄存器。端口寄存器数目在 HCSPSRAMS 寄存器中表示。软件使用该信息作为一个输入参数来决定需要服务多少端口。所有端口有如下的结构定义。

端口初始化的条件是：没有设备连接；端口禁止 如果端口有端口电源控制，软件不能改变端口的状态，直到软件通过置位端口电源以后。软件不能试图改变端口状态直到端口上的电源稳定。

注意 1：当设备连接时，端口状态转换为已连接状态，系统软件将处理这过程作为任意状态变换通知。

注意 2：如果端口作为调试端口，当 CF 为 0 时，那么端口可能报告设备的连接



并且使能。

位	描述
31:23	保留
22	过流唤醒使能 (WKOC_E) 置 1 该位来使能端口对作为唤醒事件的过流事件敏感。
21	断开唤醒使能 (WKDSCNNT_E) 置 1 该位来使能端口对作为唤醒事件的设备断开敏感。
20	连接唤醒使能 (WKCNTNT_E) 置 1 该位来使能端口对作为唤醒事件的设备连接敏感。
19:16	端口测试控制, 当该位为 0 时, 端口在测试模式下不工作。非零值表示端口工作在测试模式并且由特定值来指定特定的测试模式。
15:14	端口指示器控制如果 HCSPARAMS 寄存器中的 P_INDICATOR 位是 0, 那么写这些位没有影响。反之, P_INDICATOR 位是 1 时, 则位编码如下: 值        含义 00b       端口指示断开 01b       黄色 10b       绿色 11b       保留
13	Port Owner-R/W, 端口所有者, 当在 CONFIGFLAG 寄存器中的 Configured 位从 0 到 1 转换时, 该字段无条件地置 0。当 Configured 位为 0 时, 该字段无条件地置 1。系统软件使用该字段来释放端口的拥有权到被选择的主机控制器。当连接的设备不是高速设备时, 软件写 1 到该字段。该字段为 1 意味着兼容控制器拥有并控制该端口。
12	Port Power-R/W or RO, 端口电源, 该位的功能依赖于在 HCSPARAMS 寄存器中的 PPC 字段的值。定义如下: PPC 0 PP 1 只读—主机控制器不拥有端口电源控制转换, 每个端口分配的是硬件电源。 PPC 1 PP 1/0 读写—主机控制器拥有端口电源控制转换。该位代表当前转换的设置。当电源在端口不可用时, 端口没有功能性, 不报告连接, 断开等。
11:10	Line Status-RO, 线性状态。该位反映了 D+和 D-信号线的当前逻辑水平。这些位用于在端口复位和使能调度之前, 检测低速 USB 设备。当端口使能位是 0 并且当前连接状态位置 1 时, 该字段才有效。
9	保留
8	Port Reset-R/W, 端口复位, 1 表示端口复位, 0 表示端口不复位。当软件写 1 到该位时, 总线复位调度。软件写 0 到该位来终结总线复位调度。软件必须维持该位足够长时间来确保复位调度。注意: 当软件写 1 到该位时, 必须写 0 到端口使能位 (Port Enable)。注意到当软件写 0 到该位时, 在该位状态变为 0 前, 可能有一定延迟。直到复位完成时, 该位状态才为 0。如果复位完成后, 端口处于高速模式, 主机控制器会自动地使能该端口。主机必须终结复位, 并且保持软件从 0 转换到 1 时的状态维持 2ms。比如, 如果端口在复位期间检测到连接的设备是高速的, 那么主机控制器必须使得软件写 0 到该位时, 维持 2ms 的使能状态。在软件试图使用该位之前, USBSTS 寄存器中的 HCHalted 位为 0。
7	Suspend-R/W, 挂起, 1 表示端口处于挂起状态, 0 表示端口不处于挂起状态。寄存器中的端口使能位和挂起位决定了端口状态如下: 0x 禁止; 10 使能; 11 挂起
6	Force Port Resume-R/W, 当处于挂起状态时, 下游数据的传输会在该端口堵塞, 除了端口复位。如果该位被写 1 时, 事务处在进程中时, 该堵塞会发生在当前事务的结束。在挂起状态, 端口对恢复检测很敏感。注意到位的状态不会发生变化, 直到 端口挂起, 并且如果当前在 USB 上有事务在处理, 那么在挂起一个端口时会有延迟。写 0 到该位会被 HC 忽略。主机控制器将无条件地设置该位为 0, 当下面情况发生时: 软件置 Force Port Resume 位为 0 (从 1);
	软件置 Port Reset 位为 1 (从 0)。

5	Over-current Change-R/WC, 当 Over-current Active 存在变换时, 该位置 1.软件通过写 1 到该位来清零。
4	Over-current Active-RO, 当过流条件移除时, 该位自动地从 1 转换为 0。
3	Port Enable/Disable Change-R/WC, 端口使能/禁止改变, 对于根集线器, 当一个端口被禁止时该位置“1”。
2	Port Enable/Disabled-R/W, 端口使能/禁止, 主机控制器使能端口作为复位和使能的一部分。软件不能通过写 1 到该字段来使能一个端口。当复位机制决定连接的设备是高速设备时, HC 才会对该位置 1。错误的情况或者主机软件不能禁止端口。注意到直到端口状态实际变化时, 该位的状态才会发生变化。由于其他主机控制器或者总线事件, 禁止或使能端口会有延迟。
1	Connect Status Change-R/WC, 连接状态变化表明在端口的 Current Connect Status 上发生了变化。对于端口设备连接状态的所有变化, HC 设置该位, 即使软件没有清除已经存在的连接状态变化: 1-当前连接状态发生变化; 0-当前连接状态保持不变
0	Current Connect Status-RO, 当前连接状态, 该值反映了当前端口的状态, 可能不会直接对应到引起 Connect Status Change 改变的事件: 1-端口上有设备在位; 0-端口上没有设备连接

### 2.5.1.13 INSNREG00 ——可编程微帧计数寄存器

位	描述
31:20	保留
19:14	用于调试, 在异构模式下, 如果每个端口的时钟和 phy_clk 不同步, 则每个端口的 sof 计数器需要以全局 sof 计数器为参考进行校正。如果第 14 位为“1”, 则允许使用 19:15 位进行该校正。
13:12	8bit 接口的 1 个微帧计数器
11:1	16bit 接口的 1 个微帧计数器
0	写“1”到该位使能该寄存器。

微帧计数值的计算公式如下,  $(value+32/64) * \text{时钟周期} = \text{一微帧传送时间}$ , 参数 32 用于 16bit 接口, 参数 64 用于 8bit 接口。高速模式下, 一微帧传送时间为 125us, 对于 16bit, 30MHz 的接口, 计算如下:

$(3718+32) * 33.33ns = 125us$ , 所以 INSNREG00[11:1]的值即为 3718 (‘hE86)。

### 2.5.1.14 INSNREG01 ——可编程包缓冲发送/接收阈值寄存器

位	描述
31:16	CONFIG1 模式下, 发送缓冲的阈值大小, 以 32bit 为单位计算。发送缓冲阈值用于启动 USB 传输, 当从系统主存获取的数据达到发送阈值; 也用于中断从主存获取数据, 当发送缓冲的剩余空间小于阈值大小。
15:0	CONFIG1 模式下, 接收缓冲的阈值大小, 以 32bit 为单位计算。接收缓冲达到阈值即开始传输数据到主存; 当接收缓冲剩余空间小于阈值, 则中断从设备来的写操作。

发送和接收阈值的计算默认值和硬件缓冲大小的关系如下:

1024 字节, 256 字节发送/接收阈值;

512 字节, 128 字节发送/接收阈值 (coreConsultant 生成的缓冲大小是 512 字节,

IN/OUT='h20) ;

256 字节, 64 字节发送/接收阈值;

128 字节, 64 字节发送/接收阈值;

64 字节, 60 字节发送/接收阈值;

### 2.5.1.15 INSNREG02 ——可编程包缓冲大小寄存器

位	描述
31:12	保留
11:0	包缓冲大小, 由 coreConsultant 生成, 512 字节

### 2.5.1.16 INSNREG03 ——控制器发送/接收控制信息寄存器

位	描述
31:15	保留
14	允许 256 个时钟检查, 该位控制 EHCI 控制器的恢复序列结束。默认情况, 该位值为“0”, 在恢复序列的末尾, 主机控制器要等到 SE0 状态才将 PHY 切换到高速模式。该位设置为“1”, 则等到 SE0 状态或等到 256 个时钟周期即可将 PHY 切换到高速模式。
13	在 TestSE0 得到否定响应情况下忽略线性状态
12:10	增加 Tx-Tx 转换延迟
9	周期帧列表获取, 在 CONFIG1 模式 (描述符和数据预取功能未使能情况下), 设置该位为“1”, 则强制主机控制器在一帧的每一个微帧都取周期性帧列表。如果该位使用默认值“0”, 则主机控制器只在每帧的 0 号微帧才取周期性帧列表。
8:1	剩余时间偏移, 辅助剩余时间计算的增加的字节数指示。
0	Break Memory Transfer, 中断内存传输 (CONFIG1 模式有效, CONFIG2 模式无效): 1'b1: 使能该功能 1'b0: 不使能该功能

### 2.5.1.17 INSNREG04 ——调试信息寄存器

位	描述
31:6	至少有一个端口是 ULPI 类型该域才有效。
5	1'b0: 默认值, 自动属性使能。Suspend 信号会被拉低当软件复位了 run/stop 位并且 hchalted 位还没被设置时; 1'b1: 自动属性不使能。当软件清除了 run/stop 位, 所有的端口都不进入 suspend 状态。
4	1'b0: NAK reload fix 使能; 1'b1: NAK reload fix 不使能。
3	保留
2	1'b1: 减少下游端口枚举时间。
1	1'b1: HCCPARAMS 寄存器[17], [15:4], [2:0]位可写, 默认情况该位为“0”。



0	1'b1: HCSPARAMS 寄存器可写，默认情况该位为“0”。
---	-----------------------------------

### 2.5.1.18 INSNREG05 ——UTMI 配置信息寄存器

位	描述
31:18	保留
17	VBusy-Software RO，硬件指示该寄存器发生了写操作，并且硬件正在进行写数据的处理，当处理结束该位被清 0。
16:13	VPort-Software R/W，有效端口号，1 到 15 之间有效。举例，如果端口数是 3，这个域只能写 1，2，3，如果被置成了 4，则对这个寄存器的写操作无效。
12	VControlLoadM 1'b0: Load 1'b1: NOP-Software R/W
11:8	VControl-Software R/W。
7:0	VStatus-Software RO。

### 2.5.1.19 INSNREG06 ——AHB 错误类型信息寄存器

位	描述
31	AHB 错误捕获位-R/W，代表 AHB 总线发生错误并且错误被捕获，写“0”清除该位。
30:12	RO，保留位。
11:9	RO，发生 AHB 错误的传输的 HBURST 类型，在 INCRX 使能的情况下该含义才有意义。
8:4	RO，发生 AHB 错误的传输还剩下多少拍数据需要传输，有效值是 0 到 16，在 INCRX 使能的情况下该含义才有意义。
3:0	RO，在发生 AHB 传输错误之前当前传输一共完成多少拍数据的传输，在 INCRX 使能的情况下该含义才有意义。

### 2.5.1.20 INSNREG07 ——AHB Master 错误地址寄存器

位	描述
31:0	AHB Master 错误地址-RO，AHB 传输发生错误的地址记录信息

## 2.5.2 OHCI 寄存器 0/1

**OHCI 寄存器 0 维护地址：0x5088,0000 + offset[8:0]**

**OHCI 寄存器 1 维护地址：0x508c,0000 + offset[8:0]**

内部实际地址宽度：9 位 haddr[8:0]

名称	偏移地址 [7:0]	描述	默认值

HcRevision	00h	OHCI 版本寄存器	32'h00000010
HcControl	04h	OHCI 操作模式寄存器	32'h00000000
HcCommandStatus	08h	OHCI 命令状态寄存器	32'h00000000
HcInterruptStatus	0Ch	OHCI 中断状态寄存器	32'h00000000
HcInterruptEnable	10h	OHCI 中断使能寄存器	32'h00000000
HcInterruptDisable	14h	OHCI 中断屏蔽寄存器	32'h00000000
HcHCCA	18h	OHCI 基地址寄存器	32'h00000000
HcPeriodCurrentED	1Ch	当前同步/中断传输 ED 物理地址	32'h00000000
HcControlHeadED	20h	控制列表第一个 ED 物理地址	32'h00000000
HcControlCurrentED	24h	控制列表当前 ED 物理地址	32'h00000000
HcBulkHeadED	28h	批量列表第一个 ED 物理地址	32'h00000000
HcBulkCurrentED	2Ch	批量列表当前 ED 物理地址	32'h00000000
HcDoneHead	30h	加入完成队列的最后一个 TD 的物理地址	32'h00000000
HcFmInterval	34h	Frame 间隔和全速最大包长定义, 最大包长由软件填入	32'h00002EDF
HcFmRemaining	38h	当前帧剩余传输时间	32'h00000000
HcFmNumber	3Ch	帧号标识	32'h00000000
HcPeriodicStart	40h	Host Controller 开始调度中断/同步传输的最早时间	32'h00000000
HcLSThreshold	44h	低速传输阈值, 当 FrameRemaining>=该值, 才传输 8 字节的 LS 包	32'h00000628
HcRhDescriptorA	48h	Root Hub 参数定义	---
HcRhDescriptorB	4Ch	Root Hub 参数定义	---
HcRhStatus	50h	Root Hub 状态和改变状态信息	32'h00000000
HcRhPortStatus[1:NDP]	54h	Root Hub 端口状态, 每个端口对应一个寄存器	32'h00000000/ 32'h00000200

### 2.5.2.1 HcRevision —— OHCI 版本寄存器

位	描述
31:8	保留
7:0	版本号-RO, 默认值'h10。

### 2.5.2.2 HcControl —— OHCI 操作模式寄存器

位	描述
31:11	保留
10	远程唤醒使能-R/W, 驱动通过该位的设置使能/禁止远程唤醒功能。如果该位为“1”, 且 HcInterruptStatus 寄存器的 ResumeDetected 位被设置, 一个远程唤醒信号就会产生并通知主机系统。
9	远程唤醒连接-R/W, 指示主机控制器是否支持远程唤醒功能。如果支持远程唤醒并且在系统中使用, 系统固件负责该位的设置。
8	中断路由-R/W, 该位决定了 HcInterruptStatus 寄存器的已产生中断的路由策略。如果该位为“0”, 所有的中断被路由到正常主机总线中断处理部件。如果该位为“1”, 中断被路由到系统管理中断部件。

7:6	<p>主机控制器功能状态-R/W</p> <p>00b: USBRESET</p> <p>01b: USBRESUME</p> <p>10b: USBOPERATIONAL</p> <p>11b: USBSUSPEND</p> <p>其它状态到 USBOPERATIONAL 的状态转换, 1ms 后会产生 SOF 帧。驱动会通过读 HcInterruptStatus 寄存器的 StartofFrame 域, 确定主机控制器是否已经开始发送 SOF 帧。</p> <p>只有在 USBSUSPEND 状态时, 主机控制器才能改变该域的值。当主机控制器检测到一个来自下游端口的 resume 信号时, 会将 USBSUSPEND 状态转换为 USBRESUME 状态。</p> <p>软复位之后主机控制器会进入 USBSUSPEND 状态, 硬复位之后进入 USBRESET 状态。后者会引起 Root Hub 的复位并将复位传递到下游端口。</p>										
5	<p>批量列表使能-R/W, 该位的设置可以使能下一帧批量列表的处理。如果驱动清除了该位, 下一个 SOF 之后不会处理批量列表。主机控制器进行批量列表传输前需要确认该位的设置。如果 HcBulkCurrentED 指向一个要移除的 ED, 驱动需要通过更新 HcBulkCurrentED 寄存器来移动指针, 然后再使能该列表的处理。</p>										
4	<p>控制列表使能-R/W, 该位的设置可以使能下一帧控制列表的处理。如果驱动清除了该位, 下一个 SOF 之后不会处理控制列表。主机控制器进行控制列表传输前需要确认该位的设置。如果 HcControlCurrentED 指向一个要移除的 ED, 驱动需要通过更新 HcControlCurrentED 寄存器来移动指针, 然后再使能该列表的处理。</p>										
3	<p>异步使能-R/W, 驱动用该位来使能/禁止异步 ED 的处理。当处理周期性列表时, 主机控制器遇到一个异步 ED 就会检查该位的状态。如果该位为“1”, 主机控制器会继续处理这个异步 ED。如果该位为“0”, 主机控制器停止处理当前的周期性列表(包含异步 ED), 转而处理控制/批量列表。该位的设置在下一帧才会起作用, 当前帧不发生影响。</p>										
2	<p>周期性列表使能-R/W, 该位可以使能下一帧处理周期性列表。如果被驱动清除了该位, 下一个 SOF 帧后不会进行周期性列表的处理。主机控制器在开始一个列表处理前需要检查该位的设置。</p>										
1:0	<p>控制批量传输服务比例-R/W。在处理非周期性列表前, 主机控制器要拿已经处理的非空的控制 ED (内部计数器计数) 和定好的比例进行比较, 以此决定继续处理其他的控制 ED 还是切换到批量 ED 的处理。跨越帧边界时内部计数器恢复初始值:</p> <table border="1" style="margin-left: 20px;"> <tr> <td>值</td> <td>控制 ED 和批量 ED 比例</td> </tr> <tr> <td>0</td> <td>1: 1</td> </tr> <tr> <td>1</td> <td>2: 1</td> </tr> <tr> <td>2</td> <td>3: 1</td> </tr> <tr> <td>3</td> <td>4: 1</td> </tr> </table>	值	控制 ED 和批量 ED 比例	0	1: 1	1	2: 1	2	3: 1	3	4: 1
值	控制 ED 和批量 ED 比例										
0	1: 1										
1	2: 1										
2	3: 1										
3	4: 1										

### 2.5.2.3 HcComandStatus ——OHCI 命令状态寄存器

位	描述
31:18	保留
17:16	调度超时计数 -R, 发生 scheduling overrun 错误时该计数器就加 1, 即使 HcInterruptStatus 寄存器的 SchedulingOverrun 位已经置起。
15:4	保留
3	所有权改变请求-R/W, 操作系统驱动设置该位来请求主机控制器的控制权更改, 该位设置后, 主机控制器会置 HcInterruptStatus 寄存器的 OwnershipChange 位为“1”。

2	<p>批量列表装填-R/W，该位指示批量列表中是否有 TD，当驱动在批量列表的 ED 中加入一个 TD 就会设置该位。当驱动开始处理批量列表的头，就需要检查该位。</p> <p>BulkListFilled 如果为“0”，主机控制器就不会处理批量列表。BulkListFilled 如果为“1”，主机控制器会开始处理批量列表并且设置该位为“0”。如果主机控制器在列表中发现一个 TD，就会设置 BulkListFilled 为“1”继续处理批量列表。如果批量列表中没有 TD，驱动也没设置 BulkListFilled，当批量列表处理结束后就会停止。</p>
1	<p>控制列表装填-R/W，该位指示控制列表中是否有 TD，当驱动在控制列表的 ED 中加入一个 TD 就会设置该位。当驱动开始处理控制列表的头，就需要检查该位。</p> <p>ControlListFilled 如果为“0”，主机控制器就不会处理控制列表。ControlListFilled 如果为“1”，主机控制器会开始处理控制列表并且设置该位为“0”。如果主机控制器在列表中发现一个 TD，就会设置 ControlListFilled 为“1”继续处理控制列表。如果控制列表中没有 TD，驱动也没设置 ControlListFilled，当控制列表处理结束后就会停止。</p>
0	<p>主机控制器复位-R/W，驱动设置该位为“1”来产生一个主机控制器的软复位，而不考虑当前主机控制器的功能状态。复位后，主机控制器进入 USBSUSPEND 状态，该状态下大部分操作寄存器都被复位除了部分的寄存器，如 HcControl 寄存器的 InterruptRouting 位。复位操作完成后，主机控制器会对该位作清零操作。复位操作必须在 10us 内完成，该复位不会引起 Root Hub 复位，也不会向下游端口传递复位。</p>

### 2.5.2.4 HcInterruptStatus ——OHCI 中断状态寄存器

位	描述
31	1'b0
30	OwnershipChange-R/W，所有权改变。当软件置 HcCommandStatus 寄存器的 OwnershipChangeRequest 位为“1”，主机控制器就会设置该位为“1”。如果 SMI 管脚没有连接实现，该位一直为“0”。
29:7	保留
6	RootHubStatusChange-R/W，Root Hub 状态改变。HcRhStatus 寄存器或 HcRhPortStatus[端口号]寄存器的内容发生改变，该位置为“1”。
5	FrameNumberOverflow-R/W，帧号溢出。HcFmNumber 寄存器的第[15]位（最高位）的值发生变化时，即从 0 变成 1，或从 1 变成 0，且 HCCA 帧号更新后该位被设置成“1”。
4	UnrecoverableError-R/W，不可修复错误。主机控制器检测到一个和 USB 无关的系统错误，该位被设置为“1”。该错误没有处理前主机控制器不能进行任何的调度处理工作，在主机控制器复位后软件清除该位。
3	ResumeDetected-R/W，恢复检测。主机控制器检测到 USB 设备发起的 resume 信号，该位会置“1”，代表从没有 resume 信号置起到有 resume 信号置起的变化，而当软件设置 USBRESUME 状态时该位是不会变化的。
2	StartofFrame-R/W，帧起始。主机控制器在每一帧的起始和 HCCA 帧号更新后设置该位为“1”，同时主机控制器会产生一个 SOF 令牌包。
1	WritebackDoneHead-R/W，回写完成队列头部。主机控制器把 HccaDoneHead 的值写到 HcDoneHead 寄存器时该位被置“1”。在该位清除之前，HccaDoneHead 不再更新。在软件记录保存了 HccaDoneHead 的内容后才会清楚该位。
0	SchedulingOverrun-R/W，调度超时。USB 当前帧的调度超时，在完成 HccaFrameNumber 的更新后该位被置成“1”，这种情况下 HcCommandStatus 寄存器的调度超时计数位会加 1。

### 2.5.2.5 HcInterruptEnable ——OHCI 中断使能寄存器

位	描述
31	对该位写“0”没有意义，写“1”会使能其他位的中断使能有效，软件利用该位可以总控制中断使能。
30	0-无意义 1-所有权改变中断允许产生，R/W
29:7	保留
6	0-无意义 1-Root Hub 状态改变中断允许产生，R/W
5	0-无意义 1-帧号溢出中断允许产生，R/W
4	0-无意义 1-不可修复错误中断允许产生，R/W
3	0-无意义 1-恢复检测中断允许产生，R/W
2	0-无意义 1-帧起始中断允许产生，R/W
1	0-无意义 1-完成队列头部回写中断允许产生，R/W
0	0-无意义 1-调度超时中断允许产生，R/W

### 2.5.2.6 HcInterruptDisable ——OHCI 中断屏蔽寄存器

位	描述
31	对该位写“0”没有意义，写“1”会禁止其他位的中断使能有效。在硬复位或软复位后该位被设置。
30	0-无意义 1-所有权改变中断禁止产生，R/W
29:7	保留
6	0-无意义 1-Root Hub 状态改变中断禁止产生，R/W
5	0-无意义 1-帧号溢出中断禁止产生，R/W
4	0-无意义 1-不可修复错误中断禁止产生，R/W
3	0-无意义 1-恢复检测中断禁止产生，R/W
2	0-无意义 1-帧起始中断禁止产生，R/W
1	0-无意义 1-完成队列头部回写中断禁止产生，R/W
0	0-无意义 1-调度超时中断禁止产生，R/W

### 2.5.2.7 HcHCCA ——OHCI 基地址寄存器

位	描述
31:8	主机控制器和驱动之间交换信息区域的基地址-R/W。
7:0	全 0，保留空间

OHCI 基地址要求最小粒度是 256 字节对界，所有该寄存器的[7:0]位全“0”。这段空间是用来保存数据结构和中断信息，即用于主机控制器和驱动之间交换的信息。

### 2.5.2.8 HcPeriodCurrentED ——当前同步/中断传输 ED 物理地址寄存器

位	描述
31:4	当前周期性 ED 地址-R，主机控制器设置该地址信息，用来指示在当前帧中即将处理的周期性列表的头部。周期性 ED 处理完该域会被主机控制器更新。软件可以通过对该寄存器的读操作获知当前正在被处理的 ED。
3:0	保留

### 2.5.2.9 HcControlHeadED ——控制列表第一个 ED 物理地址寄存器

位	描述
31:4	控制列表的第一个 ED 地址-R/W，主机控制器使用 HcControlHeadED 指针在控制列表中遍历。在主机控制初始化的过程中，从 HCCA 中加载值到该寄存器。
3:0	保留

### 2.5.2.10 HcControlCurrentED ——控制列表当前 ED 物理地址寄存器

位	描述
31:4	控制列表当前 ED 地址-R/W，在当前的 ED 处理完后该指针会更新到下一个 ED。当处理到控制列表的尾部，主机控制器检查 HcCommandStatus 寄存器的控制列表装填位是否为 1。如果为“1”，主机控制器会把 HcControlHeadED 的内容拷贝到当前寄存器，并清除控制列表装填位；如果为“0”则不进行任何操作。只有在 HcControl 寄存器的控制列表使能位被清除时该寄存器的值才能被修改。初始情况下，该寄存器被置成“0”代表控制列表的尾部。
3:0	保留



### 2.5.2.11 HcBulkHeadED ——批量列表第一个 ED 物理地址寄存器

位	描述
31:4	批量列表的第一个 ED 地址-R/W，主机控制器从 HcBulkHeadED 指针处开始遍历批量列表。在主机控制器初始化期间，从 HCCA 加载值到该寄存器。
3:0	保留

### 2.5.2.12 HcBulkCurrentED ——批量列表当前 ED 物理地址寄存器

位	描述
31:4	批量列表当前 ED 地址-R/W，在当前的 ED 处理完后该指针会更新到下一个 ED。当处理到批量列表的尾部，主机控制器检查 HcCommandStatus 寄存器的批量列表装填位是否为 1。如果为“1”，主机控制器会把 HcBulkHeadED 的内容拷贝到当前寄存器，并清除批量列表装填位；如果为“0”则不进行任何操作。只有在 HcControl 寄存器的批量列表使能位被清除时该寄存器的值才能被修改。初始情况下，该寄存器被置成“0”代表批量列表的尾部。
3:0	保留

### 2.5.2.13 HcDoneHead ——完成队列最后一个 TD 物理地址寄存器

位	描述
31:4	最后一个完成的 TD 地址-R，当一个 TD 完成时，主机控制器会把 HcDoneHead 的内容写到完成 TD 的 NextTD 域，然后把当前完成 TD 的地址写入 HcDoneHead 寄存器。当主机控制器把该寄存器的值写入 HCCA 时会把该位置“0”，同时引起 HcInterruptStatus 寄存器的回写完成头部位的置“1”操作。
3:0	保留

### 2.5.2.14 HcFmInterval ——Frame 最大间隔和全速最大包长定义寄存器

位	描述
31	帧间隔转换-R/W，当软件给 FrameInterval 加载一个新的值，该位的值会被重置，从 0 置为 1 或从 1 置为 0。



30:16	全速最大包长-R/W，该位的定义值，可以加载到每一帧开头的大数据包计数器的初始值。大数据包计数器的值代表了主机控制器在一次传输中（不发生调度超时情况下）能发送/接收的最大数据量（bit 为单位）。全速最大包长的值由软件计算。
15:14	保留
13:0	帧间隔-R/W，定义了两个连续的 SOF 之间的间隔时间，以 bit 时间为单位，默认值是 11999。在主机控制器复位之前，软件需要保存当前值。设置 HcCommandStatus 寄存器的 HostControllerReset 位会将帧间隔复位成默认值，软件可以在复位结束后把保存的值写入该域。

### 2.5.2.15 HcFmRemaining ——当前帧剩余传输时间寄存器

位	描述
31	帧剩余时间转换-R，帧剩余时间减到“0”时，从 HcFmInterval 寄存器的帧间隔换位加载值到该域。软件使用该位进行帧间隔和帧剩余时间的同步。进入 USBOPERATIONAL 状态时，主机控制器会把 HcFmInterval 寄存器的帧间隔值加载到该域，并且从下一个 SOF 开始使用该更新值。
30:14	保留
13:0	帧剩余时间-R，该计数器会以 bit 时间频率更新减 1，当减到“0”时会从 FrameInterval 中重新加载值到该域。

### 2.5.2.16 HcFmNumber ——帧号寄存器

位	描述
31:16	保留
15:0	帧号-R，当 HcFmRemaining 寄存器的值重新加载帧号加 1。在帧号加到 ffffh 后回卷到 0。进入 USBOPERATIONAL 状态后，帧号自动增加。在每一帧边界发送 SOF 并且在主机控制器读当前帧的第一个 ED 之前，帧号会写到 HCCA。写到 HCCA 后，主机控制器会在 HcInterruptStatus 寄存器设置 StartofFrame 位为“1”。

帧号只是为发生在主机控制器和主机控制器驱动之间的时间提供一个时间参考。

### 2.5.2.17 HcPeriodicStart ——调度周期性传输的最早时间寄存器

位	描述
31:14	保留
13:0	主机控制器开始调度处理周期性列表的最早时间-R/W，硬复位后该位被清零，主机控制器初始化期间由驱动设置该值。按照比 HcFmInterval 的值大约 10% 计算该值，一个典型值为 3E67h。当 HcFmRemaining 达到该值，周期性列表就会比控制/批量列表处理有更高的优先级。主机控制器会在当前控制/批量传输完成后开始处理中断的列表。?? 帧剩余时间小于帧时间间隔，该值大于帧时间间隔，如何满足帧剩余时间等于该值??

### 2.5.2.18 HcLSThreshold ——低速传输阈值寄存器

位	描述
31:12	保留
11:0	低速传输阈值-R/W，在初始化一个低速传输之前将该值与帧剩余时间进行比较，如果帧剩余时间>=该值，传输可以启动。

低速传输阈值是主机控制器用来决定在 EOF 之前是否可以进行一个最大 8 字节低速包的传输的判断条件。

### 2.5.2.19 HcRhDescriptorA ——Root Hub 参数定义寄存器

位	描述
31:24	上电到 power good 时间-R/W，指示在 Root Hub 的端口上电后软件需要等待多少时间才能访问端口，即电源真正 OK。单位是 2ms，等待时间即为上电到 power good 时间*2ms。
23:13	保留
12	没有过流保护-R/W，该位为“0”代表支持过流保护，过流保护模式的值指示全局报告还是分端口报告： 0：过流状态报告给所有的下游端口； 1：不支持过流保护。
11	过流保护模式-R/W，复位后该值和电源切换模式的值相同。只有在没有过流保护位为“0”的情况下该域才有意义： 0：过流状态报告给所有的下游端口； 1：过流状态针对具体的端口报告。
10	设备类型-R，表示 Root Hub 不是一个复合功能设备，该位一直为“0”。
9	电源切换模式-R/W，只有在没有电源切换位为“0”的情况下该位才有意义。 0：所有端口同时上电/掉电； 1：每个端口电源单独控制。如果 PortPowerControlMask（端口电源控制使能）位为“1”，端口会响应端口电源命令（Set/ClearPortPower）；如果 PortPowerControlMask 位为“0”，端口响应全局电源切换命令（Set/ClearGlobalPower）。
8	没有电源切换-R/W，表示支持电源切换还是端口始终上电。该位为“0”时，电源切换模式的值指示是全局电源切换还是每个端口电源切换。 0：支持电源切换； 1：主机控制器上电时所有的端口一直处于上电态。
7:0	下游端口数目-R，Root Hub 支持的下游端口数量，和具体实现相关。OpenHCI 支持的最小值是 1，最大值是 15。

### 2.5.2.20 HcRhDescriptorB ——Root Hub 参数定义寄存器

位	描述
31:16	端口电源控制使能-R/W，每一位对应一个端口，在电源切换模式位为“1”的情况下才有意义，电源切换模式位为“0”则该位无意义。该位为“1”则端口电源状态只受每个端口电源控制影响（Set/ClearPortPower）。该位为“0”，端口被全局电源切换控制（Set/ClearGlobalPower）。

15:0	设备可移除性-R/W，每一位对应一个端口，“0”代表端口连接的设备是可以移除的，“1”代表设备是不可移除的。
------	--

### 2.5.2.21 HcRhStatus ——Root Hub 状态寄存器

位	描述
31	清除远程唤醒使能-W，写“1”操作清楚设备移除唤醒使能，写“0”操作无意义。
30:18	保留
17	过流指示变化-R/W，当过流指示位发生变化的时候，硬件设置该位为“1”。软件写“1”清除该位，写“0”操作无意义。
16	R/W 对于读操作该位的含义为本地电源状态改变，由于 Root Hub 不支持局部电源状态特性，所以该位一直为“0”；对于写操作该位的含义为设置全局电源，在全局电源模式下，写该位为“1”打开所有端口的电源（清除端口电源状态）。在分端口电源模式下，只有在端口电源控制使能位为“1”的端口才会被设置端口电源状态位。写“0”操作无意义。
15	R/W 对于读操作该位的含义为设备远程唤醒使能，该位允许连接状态改变（ConnectStatusChange）位作为一个 resume 事件，引起 USBsuspend 到 USBResume 的状态转换，并且设置恢复检测（ResumeDetected）中断： 0-连接状态改变不是一个远程唤醒使能事件； 1-连接状态改变是一个远程唤醒使能事件。对于写操作该位的含义为设置远程唤醒使能，写“1”代表设备移除唤醒使能有效，写“0”操作无意义。
14:2	保留
1	过流指示-R，在全局电源模式下，如果该位为“1”代表发生了过流事件，否则所有电源操作正常。如果每个端口都实现了过流保护，该位一直为“0”。
0	R/W 对于读操作该位的含义为局部电源状态，由于 Root Hub 不支持局部电源状态，所以该位一直为“0”；对于写操作该位的含义是清除全局电源，在全局电源模式下，该位被置“1”关闭所有端口的电源（清除端口电源状态）。在分端口电源模式下，写“1”操作只会清除端口电源控制使能位为“1”的端口电源状态。写“0”操作无意义。

### 2.5.2.22 HcRhPortStatus ——Root Hub 端口状态寄存器

位	描述
31:21	保留
20	端口复位状态变化-R/W，在 10ms 端口复位信号结束设置该位，软件写“1”清除该位。写“0”操作无意义： 0-端口复位没有结束 1-端口复位结束
19	端口过流指示变化-R/W，只有过流情况基于具体端口报告的情况下该位才有意义。当 Root Hub 改变端口过流指示位的值时设置该位为“1”。软件写“1”清除该位，写“0”操作无意义： 0-端口过流指示位没有变化 1-端口过流指示位发生变化

18	<p>端口挂起状态变化-R/W，当完全恢复序列执行完该位被置“1”。该序列包含了 20s 恢复脉冲，LS EOP，3ms 重新同步延迟。软件写“1”清除该位，写“0”操作无意义。当复位状态变化位被置“1”的时候该位清零：          0-恢复过程没有完成          1-恢复过程完成</p>
17	<p>端口使能状态变化-R/W，硬件动作引起端口使能状态清零的时候该位被置“1”。软件写“1”清除该位：          0-端口使能状态没有发生变化；          1-端口使能状态发生变化。</p>
16	<p>连接状态变化-R/W，当发生连接或断开连接的事件该位被置“1”，软件写“1”清除该位。当设置端口复位，设置端口使能或设置端口挂起写操作发生引起当前连接状态变成“0”的情况下，该位会被置“1”，从而强制驱动重新确认连接状态，因为在端口非连接的情况下这些写操作是不应该发生的：          0-当前连接状态没有发生变化；          1-当前连接状态发生变化。          注意：如果设备可移除位为“1”，只在 Root Hub 复位后置该位为“1”通知系统有设备连接到该端口上。</p>
15:10	保留
9	<p>R/W          对于读操作该位的含义是低速设备连接，“1”代表连接在该端口上的是低速设备，“0”代表连接在该端口上的是全速设备。只有在当前连接状态位为“1”的情况下该值才有意义：          0-全速设备连接          1-低速设备连接          对于写操作该位的含义是除去端口电源，软件通过写“1”操作清除端口电源状态位。</p>
8	<p>R/W          对于读操作该位的含义是端口电源状态，发生过流事件时该位被清零。软件通过写 SetPortPower 或 SetGlobalPower 设置该位为“1”，写 ClearPortPower 或 ClearGlobalPower 清除该位。在全局切换模式下，只有 Set/ClearGlobalPower 命令可以控制该位。在分端口电源切换模式下，如果端口电源控制使能位为“1”，只有 Set/ClearPortPower 命令起作用。如果端口电源控制使能为“0”，只有 Set/ClearGlobalPower 命令起作用。当端口电源断开时，当前连接状态，端口使能状态，端口挂起状态和端口复位状态都需要复位：          0-端口电源断开          1-端口电源连通          对于写操作该位的含义是设置端口电源，写“1”设置端口电源状态位。</p>
7:5	保留
4	<p>R/W对于读操作该位的含义为端口复位状态，当对端口复位这位进行写“1”操作时，就会产生端口复位信号。复位结束后，端口复位状态变化位被置“1”，则该位被清零。如果当前连接状态位为“0”，则该位不能进行写操作：          0-端口复位信号无效          1-端口复位信号有效 对于写操作该位的含义为设置端口复位，写“1”设置端口复位。如果当前连接状态 位为“0”，写操作就不会设置端口复位状态位，而是设置连接状态变化位，进而通知驱动一个断开的端口正在尝试复位操作。</p>

3	<p>R/W</p> <p>对于读操作该位的含义为端口过流指示，只有 Root Hub 被配置成基于端口的过流报告时该位才有效。如果不支持分端口过流报告，该位为“0”。该位为“0”的情况下端口的所有电源操作都是正常的，该位为“1”的情况下该端口发生了过流事件：</p> <p>0-没有过流事件发生</p> <p>1-检测到过流事件对于写操作该位的含义为清除挂起状态，写“1”操作初始化一个恢复操作。只有端口挂起状态为“1”的时候恢复过程才会启动。</p>
2	<p>R/W</p> <p>对于读操作该位的含义为端口挂起状态，指示端口处在挂起态或恢复序列正在执行。通过写设置挂起状态位可以对该位置“1”，而端口挂起状态变化位为“1”时该位清零。如果当前连接状态位为“0”，则不能对该位进行写操作。端口复位结束端口复位状态变化位为“1”时，或主机控制器进入 USBRESUME 状态时，该位清零。如果一个上游恢复正在进行，还需要传递给主机控制器：</p> <p>0-端口不处于挂起状态</p> <p>1-端口在挂起状态对于写操作该位的含义为设置端口挂起，写“1”到该位设置端口挂起状态。如果当前连接状态为“0”，写操作对设置端口挂起状态就不起作用，而是设置连接状态变化位，进而通知驱动一个断开连接的端口尝试进入挂起状态。</p>
1	<p>R/W</p> <p>对于读操作该位的含义为端口使能状态，指示了端口是使能还是禁止。Root Hub 在过流发生，连接断开，电源关闭，总线错误等情况下会清除该位。清除该位也会使端口使能状态改变位的值置“1”。软件对该位置“1”是通过命令 SetPortEnable 实现，清除是通过命令 ClearPortEnable 实现。当前连接状态位为“0”的情况下该位不能修改。在端口复位结束复位状态改变位被置“1”，或端口挂起即挂起状态改变被置“1”的情况下，该位也可以被置“1”：</p> <p>0-端口禁止</p> <p>1-端口使能对于写操作该位的含义为设置端口使能，软件通过对该位写“1”设置端口使能状态位。写“0”操作无意义。如果当前连接状态位为“0”，那么些操作将不会设置端口使能状态位，而是设置连接状态变化位，进而通知驱动将有一个断开的端口要打开使用。</p>
0	<p>R/W</p> <p>对于读操作该位的含义是当前连接状态，“0”代表没有设备连接在该端口，“1”代表有设备连接在该端口上；对于写操作该位的含义是清除端口使能，软件对该位写“1”清除端口使能状态位，</p>

## 2.6 TCM（可信计算模块）

### 2.6.1 DMA 编程接口地址

维护地址：0x5090,0000 + offset[16:0]

ADDR[16]	ADDR[15:12]	ADDR[11:0]	含义
0x0	<b>全局寄存器</b>		
	0x0	0x000	DGSR
		0x004	ARCR
		0x00C	AFSR
	<b>CH0</b>		
	0x1	0x000	CH0_CR
		0x004	CH0_SR

	0x008	CH0_CLNDAR
	0x00C	CH0_NLNDAR
	0x010	CH0_CLSDAR
	0x014	CH0_NLSDAR
	0x018	CH0_SAR/CH0_DAR
	0x01C	CH0_DLR
	0x020	CH0_CDLR
	0x500	test
<b>CH1</b>		
0x2	0x000	CH1_CR
	0x004	CH1_SR
	0x008	CH1_CLNDAR
	0x00C	CH1_NLNDAR
	0x010	CH1_CLSDAR
	0x014	CH1_NLSDAR
	0x018	CH1_SAR/CH1_DAR
	0x01C	CH1_DLR
	0x020	CH1_CDLR
<b>CH2</b>		
0x3	0x000	CH2_CR
	0x004	CH2_SR
	0x008	CH2_CLNDAR
	0x00C	CH2_NLNDAR
	0x010	CH2_CLSDAR
	0x014	CH2_NLSDAR
	0x018	CH2_SAR/CH1_DAR
	0x01C	CH2_DLR
	0x020	CH2_CDLR
	0x500	test
<b>CH3</b>		
0x4	0x000	CH3_CR
	0x004	CH3_SR
	0x008	CH3_CLNDAR
	0x00C	CH3_NLNDAR
	0x010	CH3_CLSDAR
	0x014	CH3_NLSDAR
	0x018	CH3_SAR/CH1_DAR
	0x01C	CH3_DLR
	0x020	CH3_CDLR
	0x500	test
<b>CH4</b>		
0x5	0x000	CH4_CR
	0x004	CH4_SR
	0x008	CH4_CLNDAR
	0x00C	CH4_NLNDAR
	0x010	CH4_CLSDAR
	0x014	CH4_NLSDAR
	0x018	CH4_SAR/CH1_DAR
	0x01C	CH4_DLR
	0x020	CH4_CDLR
<b>CH5</b>		
0x6	0x000	CH5_CR
	0x004	CH5_SR
	0x008	CH5_CLNDAR
	0x00C	CH5_NLNDAR
	0x010	CH5_CLSDAR



		0x014	CH5_NLSDAR
		0x018	CH5_SAR/CH1_DAR
		0x01C	CH5_DLR
		0x020	CH5_CDLR
	<b>CH6</b>		
	0x7	0x000	CH6_CR
		0x004	CH6_SR
		0x008	CH6_CLNDAR
		0x00C	CH6_NLNDAR
		0x010	CH6_CLSDAR
		0x014	CH6_NLSDAR
		0x018	CH6_SAR/CH6_DAR
		0x01C	CH6_DLR
		0x020	CH6_CDLR
		0x500	test
	0x8	0x000	一拍高
		0x004	一拍高
		0x008	读 fifo 状态[1]表示可写, [3]表示可读
0x1	<b>命令通道</b>		
	0x0	0x???	IN_FIFO, 只写
	0x1	0x???	OUT_FIFO, 只读

## 2.6.2 DMA 编程接口定义

表 2-1 列出了 DMA 控制器的控制和状态寄存器。

表 2-1 DMAC 控制状态寄存器

寄存器	偏移地址	复位值	属性	描述
<b>全局寄存器 (起始地址: 0x00000000)</b>				
<b>DGSR</b>	0x00	0x0011_1111	Mixed	DMA 全局状态寄存器
<b>ARCR</b>	0x04	0x0000_0000	WO	算法复位控制寄存器
<b>AFSR</b>	0x0C	0x0055_5555	RO	算法 FIFO 状态寄存器
—	0x10-0xFC	—	—	保留
<b>CH0 (起始地址: 0x00001000)</b>				
<b>CH0_CR</b>	0x00	0x0000_0000	Mixed	通道 0 控制寄存器
<b>CH0_SR</b>	0x04	0x5000_0001	Mixed	通道 0 状态寄存器
<b>CH0_CLNDAR</b>	0x08	0x0000_0000	RW	通道 0 当前通道描述符地址寄存器
<b>CH0_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 0 下一个通道描述符地址寄存器
<b>CH0_CLSDAR</b>	0x10	0x0000_0000	RW	通道 0 当前链表描述符地址寄存器
<b>CH0_NLSDAR</b>	0x14	0x0000_0000	RW	通道 0 下一个链表描述符地址寄存器
<b>CH0_SAR/CH0_DAR</b>	0x1C	0x0000_0000	RW	通道 0 源地址或目的地址寄存器
<b>CH0_DLR</b>	0x20	0x0000_0000	RW	通道 0 传输数据长度寄存器
<b>CH0_CDLR</b>	0x24	0x0000_0000	RO	通道 0 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留
<b>CH1 (起始地址: 0x00002000)</b>				
<b>CH1_CR</b>	0x00	0x0000_0000	RW	通道 1 控制寄存器
<b>CH1_SR</b>	0x04	0x5000_0001	Mixed	通道 1 状态寄存器
<b>CH1_CLNDAR</b>	0x08	0x0000_0000	RW	通道 1 当前通道描述符地址寄存器



<b>CH1_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 1 下一个通道描述符地址寄存器
<b>CH1_CLSDAR</b>	0x10	0x0000_0000	RW	通道 1 当前链表描述符地址寄存器
<b>CH1_NLS DAR</b>	0x14	0x0000_0000	RW	通道 1 下一个链表描述符地址寄存器
<b>CH1_SAR/CH1_DAR</b>	0x1C	0x0000_0000	RW	通道 1 源地址或目的地址寄存器
<b>CH1_DLR</b>	0x20	0x0000_0000	RW	通道 1 传输数据长度寄存器
<b>CH1_CDLR</b>	0x24	0x0000_0000	RO	通道 1 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留
<b>CH2 (起始地址: 0x00003000)</b>				
<b>CH2_CR</b>	0x00	0x0000_0000	RW	通道 2 控制寄存器
<b>CH2_SR</b>	0x04	0x5000_0001	Mixed	通道 2 状态寄存器
<b>CH2_CLNDAR</b>	0x08	0x0000_0000	RW	通道 2 当前通道描述符地址寄存器
<b>CH2_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 2 下一个通道描述符地址寄存器
<b>CH2_CLSDAR</b>	0x10	0x0000_0000	RW	通道 2 当前链表描述符地址寄存器
<b>CH2_NLS DAR</b>	0x14	0x0000_0000	RW	通道 2 下一个链表描述符地址寄存器
<b>CH2_SAR/CH1_DAR</b>	0x1C	0x0000_0000	RW	通道 2 源地址或目的地址寄存器
<b>CH2_DLR</b>	0x20	0x0000_0000	RW	通道 2 传输数据长度寄存器
<b>CH2_CDLR</b>	0x24	0x0000_0000	RO	通道 2 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留
<b>CH3 (起始地址: 0x00004000)</b>				
<b>CH3_CR</b>	0x00	0x0000_0000	RW	通道 3 控制寄存器
<b>CH3_SR</b>	0x04	0x5000_0001	Mixed	通道 3 状态寄存器
<b>CH3_CLNDAR</b>	0x08	0x0000_0000	RW	通道 3 当前通道描述符地址寄存器
<b>CH3_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 3 下一个通道描述符地址寄存器
<b>CH3_CLSDAR</b>	0x10	0x0000_0000	RW	通道 3 当前链表描述符地址寄存器
<b>CH3_NLS DAR</b>	0x14	0x0000_0000	RW	通道 3 下一个链表描述符地址寄存器
<b>CH3_SAR/CH1_DAR</b>	0x1C	0x0000_0000	RW	通道 3 源地址或目的地址寄存器
<b>CH3_DLR</b>	0x20	0x0000_0000	RW	通道 3 传输数据长度寄存器
<b>CH3_CDLR</b>	0x24	0x0000_0000	RO	通道 3 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留
<b>CH4 (起始地址: 0x00005000)</b>				
<b>CH4_CR</b>	0x00	0x0000_0000	RW	通道 4 控制寄存器
<b>CH4_SR</b>	0x04	0x5000_0001	Mixed	通道 4 状态寄存器
<b>CH4_CLNDAR</b>	0x08	0x0000_0000	RW	通道 4 当前通道描述符地址寄存器
<b>CH4_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 4 下一个通道描述符地址寄存器
<b>CH4_CLSDAR</b>	0x10	0x0000_0000	RW	通道 4 当前链表描述符地址寄存器
<b>CH4_NLS DAR</b>	0x14	0x0000_0000	RW	通道 4 下一个链表描述符地址寄存器
<b>CH4_SAR/CH1_DAR</b>	0x1C	0x0000_0000	RW	通道 4 源地址或目的地址寄存器
<b>CH4_DLR</b>	0x20	0x0000_0000	RW	通道 4 传输数据长度寄存器
<b>CH4_CDLR</b>	0x24	0x0000_0000	RO	通道 4 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留
<b>CH5 (起始地址: 0x00006000)</b>				
<b>CH5_CR</b>	0x00	0x0000_0000	RW	通道 5 控制寄存器
<b>CH5_SR</b>	0x04	0x5000_0001	Mixed	通道 5 状态寄存器

<b>CH5_CLNDAR</b>	0x08	0x0000_0000	RW	通道 5 当前通道描述符地址寄存器
<b>CH5_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 5 下一个通道描述符地址寄存器
<b>CH5_CLSDAR</b>	0x10	0x0000_0000	RW	通道 5 当前链表描述符地址寄存器
<b>CH5_NLSDAR</b>	0x14	0x0000_0000	RW	通道 5 下一个链表描述符地址寄存器
<b>CH5_SAR/CH1_DAR</b>	0x1C	0x0000_0000	RW	通道 5 源地址或目的地址寄存器
<b>CH5_DLR</b>	0x20	0x0000_0000	RW	通道 5 传输数据长度寄存器
<b>CH5_CDLR</b>	0x24	0x0000_0000	RO	通道 5 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留
<b>CH6 (起始地址: 0x00007000)</b>				
<b>CH6_CR</b>	0x00	0x0000_0000	RW	通道 6 控制寄存器
<b>CH6_SR</b>	0x04	0x5000_0001	Mixed	通道 6 状态寄存器
<b>CH6_CLNDAR</b>	0x08	0x0000_0000	RW	通道 6 当前通道描述符地址寄存器
<b>CH6_NLNDAR</b>	0x0C	0x0000_0000	RW	通道 6 下一个通道描述符地址寄存器
<b>CH6_CLSDAR</b>	0x10	0x0000_0000	RW	通道 6 当前链表描述符地址寄存器
<b>CH6_NLSDAR</b>	0x14	0x0000_0000	RW	通道 6 下一个链表描述符地址寄存器
<b>CH6_SAR/CH6_DAR</b>	0x1C	0x0000_0000	RW	通道 6 源地址或目的地址寄存器
<b>CH6_DLR</b>	0x20	0x0000_0000	RW	通道 6 传输数据长度寄存器
<b>CH6_CDLR</b>	0x24	0x0000_0000	RO	通道 6 剩余传输数据长度寄存器
—	0x28-0xFC	—	—	保留

下面对每个寄存器进行描述，由于通道寄存器的设置都一样，因此只描述一组通道的寄存器。

### 2.6.2.1 DMA 全局状态寄存器 (DGSR)

DGSR 为全局状态寄存器。

表 2-2 全局状态寄存器

比特位	名字	访问	描述	复位值
0	CH0_CB	RO	通道 0 忙信号, 0 表示忙	1'b1
1	CH0_INT	RO	通道 0 中断, 1 表示有中断产生	1'b0
2-3	—	—	保留	2'b0
4	CH1_CB	RO	通道 1 忙信号, 0 表示忙	1'b1
5	CH1_INT	RO	通道 1 中断, 1 表示有中断产生	1'b0
6-7	—	—	保留	2'b0
8	CH2_CB	RO	通道 2 忙信号, 0 表示忙	1'b1
9	CH2_INT	RO	通道 2 中断, 1 表示有中断产生	1'b0
10-11	—	—	保留	2'b0
12	CH3_CB	RO	通道 3 忙信号, 0 表示忙	1'b1
13	CH3_INT	RO	通道 3 中断, 1 表示有中断产生	1'b0
14-15	—	—	保留	2'b0
16	CH4_CB	RO	通道 4 忙信号, 0 表示忙	1'b1
17	CH4_INT	RO	通道 4 中断, 1 表示有中断产生	1'b0
18-19	—	—	保留	2'b0
20	CH5_CB	RO	通道 5 忙信号, 0 表示忙	1'b1
21	CH5_INT	RO	通道 5 中断, 1 表示有中断产生	1'b0

22-23	—	—	保留	2'b0
24	CH6_CB	RO	通道 6 忙信号, 0 表示忙	1'b1
25	CH6_INT	RO	通道 6 中断, 1 表示有中断产生	1'b0
27-26	—	—	保留	2'b0
28	OR1	RWC	OPENRISC 数据响应中断, 高有效, 写 1 清除	1'b0
29	OR2	RWC	OPENRISC hash-extent 中断, 高有效, 写 1 清除	1'b0
30	OR1E	RO	OPENRISC 数据响应中断使能, 高有效(仅对 OR 可写)	1'b0
31	OR2E	RO	OPENRISC hash-extent 中断使能, 高有效(仅对 OR 可写)	1'b0

### 2.6.2.2 算法复位控制寄存器 (ARCR)

ARCR 为算法复位控制寄存器。例如复位算法 0 时, 除了向第 0 位写 1 外, 还要制定复位的周期数。

表 2-3 算法复位控制寄存器

比特位	名字	访问	描述	复位值
0	SM3_ORST	WO	写 1 复位	1'b0
2-1	SM3_0CLK	WO	复位持续周期个数 00 2 个时钟周期 01 4 个时钟周期 02 8 个时钟周期 03 16 个时钟周期	2'b00
3	—	—	保留	1'b0
4	SM3_1RST	WO	写 1 复位	1'b0
6-5	SM3_1CLK	WO	复位持续周期个数 00 2 个时钟周期 01 4 个时钟周期 02 8 个时钟周期 03 16 个时钟周期	2'b00
7	—	—	保留	1'b0
8	SM3_2RST	WO	写 1 复位	1'b0
10-9	SM3_2CLK	WO	复位持续周期个数 00 2 个时钟周期 01 4 个时钟周期 02 8 个时钟周期 03 16 个时钟周期	2'b00
11	—	—	保留	1'b0
12	SM3_3RST	WO	写 1 复位	1'b0
14-13	SM3_3CLK	WO	复位持续周期个数 00 2 个时钟周期 01 4 个时钟周期 02 8 个时钟周期 03 16 个时钟周期	2'b00
15	—	—	保留	1'b0
16	SM3_4RST	WO	写 1 复位	1'b0
18-17	SM3_4CLK	WO	复位持续周期个数 00 2 个时钟周期 01 4 个时钟周期 02 8 个时钟周期 03 16 个时钟周期	2'b00

19	—	—	保留	1'b0
20	SM4_RST	WO	写 1 复位	1'b0
22-21	SM4_CLK	WO	复位持续周期个数 00 2 个时钟周期 01 4 个时钟周期 02 8 个时钟周期	2'b00
			03 16 个时钟周期	
31-23	—	—	保留	1'b0

### 2.6.2.3 算法 FIFO 状态寄存器 (AFSR)

AFSR 为算法 FIFO 状态寄存器。

表 2-4 算法 FIFO 状态寄存器

比特位	名字	访问	描述	复位值
0	AL0_INFIFO_EPT	RO	算法 0 输入 FIFO 空信号	1'b1
1	AL0_INFIFO_FUL	RO	算法 0 输入 FIFO 满信号	1'b0
2	AL0_OUTFIFO_EPT	RO	算法 0 输出 FIFO 空信号	1'b1
3	AL0_OUTFIFO_FUL	RO	算法 0 输出 FIFO 满信号	1'b0
4	AL1_INFIFO_EPT	RO	算法 1 输入 FIFO 空信号	1'b1
5	AL1_INFIFO_FUL	RO	算法 1 输入 FIFO 满信号	1'b0
6	AL1_OUTFIFO_EPT	RO	算法 1 输出 FIFO 空信号	1'b1
7	AL1_OUTFIFO_FUL	RO	算法 1 输出 FIFO 满信号	1'b0
8	AL2_INFIFO_EPT	RO	算法 2 输入 FIFO 空信号	1'b1
9	AL2_INFIFO_FUL	RO	算法 2 输入 FIFO 满信号	1'b0
10	AL2_OUTFIFO_EPT	RO	算法 2 输出 FIFO 空信号	1'b1
11	AL2_OUTFIFO_FUL	RO	算法 2 输出 FIFO 满信号	1'b0
12	AL3_INFIFO_EPT	RO	算法 3 输入 FIFO 空信号	1'b1
13	AL3_INFIFO_FUL	RO	算法 3 输入 FIFO 满信号	1'b0
14	AL3_OUTFIFO_EPT	RO	算法 3 输出 FIFO 空信号	1'b1
15	AL3_OUTFIFO_FUL	RO	算法 3 输出 FIFO 满信号	1'b0
16	AL4_INFIFO_EPT	RO	算法 4 输入 FIFO 空信号	1'b1
17	AL4_INFIFO_FUL	RO	算法 4 输入 FIFO 满信号	1'b0
18	AL4_OUTFIFO_EPT	RO	算法 4 输出 FIFO 空信号	1'b1
19	AL4_OUTFIFO_FUL	RO	算法 4 输出 FIFO 满信号	1'b0
20	AL5_INFIFO_EPT	RO	算法 5 输入 FIFO 空信号	1'b1
21	AL5_INFIFO_FUL	RO	算法 5 输入 FIFO 满信号	1'b0
22	AL5_OUTFIFO_EPT	RO	算法 5 输出 FIFO 空信号	1'b1
23	AL5_OUTFIFO_FUL	RO	算法 5 输出 FIFO 满信号	1'b0
31-24	—	—	保留	8'b0

### 2.6.2.4 通道控制寄存器(CHx3\_CR)

控制寄存器定义了通道传输中的各属性，**错误！未找到引用源。**为寄存器各位的定义。

表 2-5 通道控制寄存器(CHx\_CR)定义

比特位	名字	访问	描述	复位值
-----	----	----	----	-----

2-0	FC	RW	传输控制，该字段决定了一个通道占用传输引擎一次最多能传多少个字节，传输完 Chx_CR[FC]个字节后传输引擎使用权将被收回，仲裁器重新仲裁通道请求。 000 256 bytes	3'b000
-----	----	----	--	--------

<sup>3</sup>x 为通道号，取值范围为 0,1,2,3,4,5,6,7

			001 512 byste 10 1024 bytes 11 2048 bytes 1xx 通道独占，不进行仲裁（ch4 和 ch5 只能选择 000）	
3	FCE	RW	FC 字段的写使能，高有效	1'b0
5-4	CTM	RW	通道传输模式， 00 单块传输模式 01 基本表模式 02 扩展表模式 03 保留	2'b00
6	TD <sup>4</sup>	RW	传输方向， 0 将数据由源/目的地址寄存器传输到算法模块 1 将数据由算法模块传输到源/目的地址寄存器	1'b0
7	—	RW	保留	1'b0
12-8	INTE	RW	中断使能 [8]为 1 表示当前 DMA 传输完毕中断使能 [9] 保留 [10] 保留 [11]为 1 则算法输出 FIFO 有数使能 [12]为 1 则错误中断使能，包括编程错误（PE）和传输错误（TE）	1'b 0
				1'b 0
				1'b 0
				1'b 0
				1'b 0
13	AINC	RW	地址增量控制 0 地址递增 1 地址固定	1'b 0
14	—	RW	保留	
15	CE	RW	通道使能，写 1 触发通道使能	1'b 0
16	EDLN	RW	为 1 则表示当前通道描述符为当前链表的最后一个描述符	1'b 0
17	EDLS	RW	为 1 则表示当前链表描述符为最后一个链表描述符	1'b 0
19-18	—	RW	保留	2'b00
20	CTME	RW	CTM 写使能，高有效	1'b 0
21	TDE	RW	TD 写使能，高有效	1'b0
22	—	RW	保留	1'b0
23	INTEE	RW	INTE 写使能，高有效	1'b0
24	AINCE	RW	AINC 写使能，高有效	1'b0
25	CA E	RW	CA 写使能，高有效	1'b0
26	CE E	RW	CE 写使能，高有效	1'b0
27	EDLNE	RW	EDLN 写使能，高有效	1'b0
28	EDLSE	RW	EDLS 写使能，高有效	1'b0
31-29	—	RW	保留	

### 2.6.2.5 通道状态寄存器（CHx\_SR）

CHx\_SR 反映整个通道的运行状态，为寄存器各位的定义。

表 2-6 通道状态寄存器（CHx\_SR）定义

比特位	名字	访问	描述	复位值
-----	----	----	----	-----

<sup>4</sup> CH4 固定为 0, CH5 固定为 1, CH6 固定为 0

0	CB	RO	为 0 表示通道忙	1'b1
2-1	TE	RWC	对应位为 1 表示传输错误, 向对应位写 1 表示清除 [1] 总线写错误; [2] 总线读错误。	2'b0
3	—	—	保留	1'b0
7-4	PE	RWC	对应位为 1 表示编程错误, 向对应位写 1 表示清除 [4] 编程地址 (偏移地址) 无法寻址; [5] 传输长度不符合要求; [6] 数据起始地址不符合要求; [7] 保留	4'b0
8	ED	RWC	为 1 表示当前 DMA 传输完成, 写 1 清除	1'b0
9	—	—	保留	1'b0
10	—	—	保留	1'b0
11	AOD	RWC	为 1 表示算法输出 FIFO 有数, 写 1 清除	1'b0
27-12	—	—	保留	6'b0
28	IFE	RO	IN_FIFO empty 信号	1'b1
29	IFF	RO	IN_FIFO full 信号	1'b0
30	OFE	RO	OUT_FIFO empty 信号	1'b1
31	OFF	RO	OUT_FIFO full 信号	1'b0

### 2.6.2.6 当前通道描述符地址寄存器 (CH<sub>x</sub>\_CLNDAR)

CH<sub>x</sub>\_CLNDAR 存储当前通道描述符地址。

表 2-7 当前通道描述符地址寄存器

比特位	名字	访问	描述	复位值
31-0	CLNDAR	WR	当前通道描述符地址	32'b0

### 2.6.2.7 下一个通道描述符地址寄存器 (CH<sub>x</sub>\_NLNDAR)

CH<sub>x</sub>\_NLNDAR 存储下一个通道描述符地址。

表 2-8 下一个通道描述符地址寄存器

比特位	名字	访问	描述	复位值
31-0	NLNDAR	RO	下一个通道描述符地址	32'b0

### 2.6.2.8 当前链表描述符地址寄存器 (CH<sub>x</sub>\_CLSDAR)

CH<sub>x</sub>\_CLSDAR 存储当前链表描述符的地址。

表 2-9 当前链表描述符地址寄存器

比特位	名字	访问	描述	复位值
31-0	CLSDAR	WR	当前链表描述符地址	32'b0

### 2.6.2.9 下一个链表描述符地址寄存器 (CH<sub>x</sub>\_NLS DAR)

CH<sub>x</sub>\_NLS DAR 存储下一个链表描述符的地址。

表 2-10 下一个链表描述符地址寄存器

比特位	名字	访问	描述	复位值
31-0	NLS DAR	WR	下一个链表描述符表地址	32'b0

### 2.6.2.10 源/目的地址寄存器 (CH<sub>x</sub>\_SAR/CH<sub>x</sub>\_DAR)

CH<sub>x</sub>\_SAR/CH<sub>x</sub>\_DAR 存储源或目的地址。

表 2-11 源/目的地址寄存器

比特位	名字	访问	描述	复位值
31-0	CH <sub>x</sub> _SAR/CH <sub>x</sub> _DAR	WR	源或目的地址寄存器，由 CH <sub>x</sub> _CR[6]决定	32'b0

### 2.6.2.11 传输数据长度寄存器 (CH<sub>x</sub>\_DLR)

CH<sub>x</sub>\_DLR 存储传输数据长度。

表 2-12 传输数据长度寄存器

比特位	名字	访问	描述	复位值
31-0	CH <sub>x</sub> _DLR	WR	传输数据长度，以字节为单位	32'b0

### 2.6.2.12 剩余数据传输长度 (CH<sub>x</sub>\_CDLR)

CH<sub>x</sub>\_CDLR 存储剩余数据传输长度。

表 2-13 剩余数据传输长度

比特位	名字	访问	描述	复位值
31-0	CH <sub>x</sub> _CDLR	RO	当前剩余传输数据长度，以字节为单位，使用完一次传输引擎后更新	32'b0

## 2.6.3 命令通道编程接口定义

命令通道作为 AMBA 总线的从设备仅开放存储缓存空间和一个状态寄存器空间。

偏移地址	存储空间	属性
0X000	512B	该地址是 INFIFO 的读写缓存地址
0X400	512B	该地址是 OUTFIFO 的读写缓存地址
0XFFF	4B	该地址是状态寄存器的地址

状态寄存器的偏移地址为 0XFFF, 状态寄存器的值如下: CMD\_STS\_FLAG={ 28'h0, outfifo\_full, outfifo\_empty, infifo\_full, infifo\_empty}, 具体说明见下表。



寄存器的值	含义
CMD_STS_FLAG[0]=0	INFIFO 为非空（数据大于 32bit），OPENRISC 端可读
CMD_STS_FLAG[0]=1	INFIFO 为空（数据为不足 32bit），OPENRISC 端不可读
CMD_STS_FLAG[1]=0	INFIFO 为非满（剩余至少 1 个 burst 长度的空间），此时神威端可以往 INFIFO 写数据
CMD_STS_FLAG[1]=1	INFIFO 为满（不足 1 个 burst 长度的空间），此时神威端不能写数据
CMD_STS_FLAG[2]=0	OUTFIFO 为非空（大于一个 burst 长度），作为神威端可读的标记
CMD_STS_FLAG[2]=1	OUTFIFO 为空（数据小于一个 burst 长度），神威端不可读
CMD_STS_FLAG[3]=0	OUTFIFO 为非满（还有 8B 的长度空间），OPENRISC 端可写
CMD_STS_FLAG[3]=1	OUTFIFO 为满（不足 8B 的长度空间），OPENRISC 端不可写

表 命令通道状态寄存器空间

## 2.7 BMC（维护控制模块）

维护地址：0x5000,0000 + offset[20:0]

模块名	Offset Address	地址空间大小	实用	Legacy IO 地址
XBUS	0x000000~0x0FFFFFFF	1MB	1MB	
PS/2	0x100000~0x101FFF	8KB	8B	60h, 64h（键盘，鼠标）
	0x102000~0x103FFF	8KB	8B	60h, 64h（键盘，鼠标）
UART1	0x104000~0x105FFF	8KB	8B	3F8h – 3FFh (COM1)
UART2	0x106000~0x107FFF	8KB	8B	2F8h – 2FFh (COM2)
IMPI-KCS	0x108000~0x109FFF	8KB	4B	CA0h、CA2h、CA3h
IMPI-BT	0x10A000~0x10BFFF	8KB	4B	E4~E6h
电源管理和复位端口（PMW）	0x10C000~0x10DFFF	8KB	4B	80h~9Fh(cpu 不能访问 84h,94h)
SPI 编程	0x10E000~0x10FFFF	8KB	2B	

### 2.7.1 复位初始化模块

RST_PWR	Offset Address	位宽	功能说明
RST_PWR_80H	0x10C080	8	电源复位软件控制寄存器 0
RST_PWR_88H	0x10C088	7	唤醒中断类型使能寄存器
RST_PWR_8CH	0x10C08C	2	面板双色 LED 灯
RST_PWR_90H	0x10C090	1	蜂鸣器发声使能
RST_PWR_9CH	0x10C09C	1	电源 PME 中断标志寄存器

#### 2.7.1.1 RST\_PWR\_80H

电源复位软件控制寄存器 0，该寄存器的读写都只能采用字节读和字节写，对可见 SW-X。

偏移地址： 0x10C080

初始值： 8'h55

位	名称	读写	描述
7:0	CPU_RST_OP	RW	SW-X 复位控制

#### 2.7.1.2 RST\_PWR\_88H

唤醒中断类型使能寄存器，该寄存器的读写都只能采用 32 位读写，对可见 SW-X。

偏移地址： 0x10C088

初始值： 32'h0000\_e000

位	名称	读写	描述
15:8	4S_RST_GPIO_DELAY	RW	4 秒关机复位 GPIO 延时配置

7	o_4s_shutdown_v	RW	4 秒关机时复位 GPIO 使能
6	PMBUG2INT_int_n	RW	电源唤醒中断事件，低电平有效。
5	MOUSE2INT_int	RW	BMC 的 PS2(mouse)中断请求线，高电平有效。
4	KEY2INT_int	RW	BMC 的 PS2(Key)中断请求线，高电平有效。
3	OHCI12INT_int_n	RW	USB 键盘鼠标(OHCI1)的中断请求线，低电平有效。
2	OHCI02INT_int_n	RW	USB 键盘鼠标(OHCI0)的中断请求线，低电平有效。
1	Gmac1_pmt_int_o	RW	GMAC 控制器 1 电源唤醒信号，高电平有效
0	Gmac0_pmt_int_o	RW	GMAC 控制器 0 电源唤醒信号，高电平有效

### 2.7.1.3 RST\_PWR\_8CH

面板双色 LED 灯，该寄存器只能采用 32 位读写，对可见 SW-X。偏移地址：  
0x10C08C

初始值：32'h3

位	名称	读写	描述
1:0	LED	RW	面板双色 LED 灯

### 2.7.1.4 RST\_PWR\_90H

蜂鸣器发声使能，该寄存器只能采用 32 位读写，对可见 SW-X。偏移地址：  
0x10C090

初始值：32'h40

位	名称	读写	描述
7:4	BEEP_FREQ	RW	蜂鸣器声音频率配置
	4'b0001		1KHz 声频
	4'b0010		2KHz 声频
	4'b0100		4KHz 声频
	4'b1000		8KHz 声频
0	BEEP_EN	RW	唤醒中断使能寄存器

### 2.7.1.5 RST\_PWR\_9CH

电源 PME 中断标志寄存器，该寄存器只能采用 32 位读写，对可见 SW-X。偏移地址：  
0x10C09C

初始值：32'h1

位	名称	读写	描述
0	PME_N	RW	电源中断标志，低有效

## 2.7.2 PS/2

### 2.7.2.1 PS2\_60H

该寄存器只能采用字节读和字节写。偏

移地址：0x100060/0x102060 初始值：

0x00

位	名称	读写	描述
7:0	PS2_60H	RW	数据缓冲寄存器

### 2.7.2.2 PS2\_64H

该寄存器只能采用字节读和字节写。偏

移地址：0x100064/0x102064 初始值：

0x10

位	名称	读写	描述
7:0	PS2_64H	RW	状态和控制寄存器

### 2.7.2.3 PS2\_68H

该寄存器只能采用字节读和字节写。偏

移地址：0x100068/0x102068 初始值

: 0x1F4

位	名称	读写	描述
7:0	PS2_68H	RW	配置 5 微秒的分频系数

## 2.7.3 UART1/2

名称	Offset	位宽	功能说明
RB/THR	0x1043F8(UART1) 0x1062F8(UART2)	8	Receiver Buffer/ Transmitter Holding Register (THR)
IER	0x1043F9(UART1) 0x1062F9(UART2)	8	Interrupt Enable
IIR/FCR	0x1043FA(UART1) 0x1062FA(UART2)	8	Interrupt Identification/ FIFO Control
LCR	0x1043FB(UART1) 0x1062FB(UART2)	8	Line Control Register
MCR	0x1043FC(UART1) 0x1062FC(UART2)	8	Modem Control

LSR	0x1043FD(UART1) 0x1062FD(UART2)	8	Line Status
MSR	0x1043FE(UART1) 0x1062FE(UART2)	8	Modem Status
	0x3FF/0x2FF	8	

### 2.7.3.1 RB/THR

该寄存器只能采用字节读和字节写。偏移地址:

0x1043F8(UART1)

0x1062F8(UART2)

初始值 :

位	名称	读写	描述
7:0	RB/THR	RW	Receiver FIFO output/ Transmit FIFO input

### 2.7.3.2 IER

该寄存器只能采用字节读和字节写。偏移地址:

0x1043F9(UART1)

0x1062F9(UART2)

初始值 : 0x00

位	名称	读写	描述
7:0	IER	RW	Enable/Mask interrupts generated by the UART
7:4		RW	Reserved. Should be logic '0'.
3		RW	Modem Status Interrupt '0' – disabled '1' – enabled
2		RW	Receiver Line Status Interrupt '0' – disabled '1' – enabled
1		RW	Transmitter Holding Register empty interrupt '0' – disabled '1' – enabled
0		RW	Received Data available interrupt '0' – disabled '1' – enabled

### 2.7.3.3 IIR

该寄存器只能采用字节读。偏移地址:

0x1043FA(UART1)

0x1062FA(UART2)

初始值 : 0xC1

位	读写	描述
7:6	R	Logic '1' for compatibility reason
5:4	R	Logic '0' for compatibility reason
3:1	R	
011b		Receiver Line Status

010b		Receiver Data available
110b		Timeout Indication
001b		Transmitter Holding Register empty
000b		Modem Status
0	R	0--an interrupt is pending 1-- no interruptis pending

### 2.7.3.4 FCR

该寄存器只能采用字节写。 偏移

地址: 0x1043FA(UATR1)

0x1062FA(UART2)

初始值 : 0xC0

位	读写	描述
7:6	W	Define the Receiver FIFO Interrupt trigger level '00' – 1 byte '01' – 4 bytes '10' – 8 bytes '11' – 14 bytes
5:3	W	Ignored
2	W	Writing a '1' to bit 2 clears the Transmitter FIFO and resets its logic. The shift register is not cleared, i.e. transmitting of the current character continues.
1	W	Writing a '1' to bit 1 clears the Receiver FIFO and resets its logic. But it doesn't clear the shift register, i.e. receiving of the current character continues.
0	W	Ignored (Used to enable FIFOs in NS16550D). Since this UART only supports FIFO mode, this bit is ignored.

### 2.7.3.5 LCR

该寄存器只能采用字节读。 偏移

地址: 0x1043FB(UART1)

0x1062FB(UART2)

初始值 : 0000\_0011b

位	读写	描述
7	RW	Divisor Latch Access bit. '1' – The divisor latches can be accessed '0' – The normal registers are accessed
6	RW	Break Control bit '1' – the serial out is forced into logic '0' (break state). '0' – break is disabled
5	RW	Stick Parity bit. '0' – Stick Parity disabled '1' - If bits 3 and 4 are logic '1', the parity bit is transmitted and checked as logic '0'. If bit 3 is '1' and bit 4 is '0' then the parity bit is transmitted and checked as '1'.
4	RW	Even Parity select '0' – Odd number of '1' is transmitted and checked in each word (data and parity combined). In other words, if the data has an even number of '1' in it, then the parity bit is '1'. '1' – Even number of '1' is transmitted in each word.

3	RW	Parity Enable '0' – No parity '1' – Parity bit is generated on each outgoing character and is checked on each incoming one.
2	RW	Specify the number of generated stop bits '0' – 1 stop bit '1' – 1.5 stop bits when 5-bit character length selected and 2 bits otherwise Note that the receiver always checks the first stop bit only.
1:0	RW	Select number of bits in each character '00' – 5 bits '01' – 6 bits '10' – 7 bits '11' – 8 bits

### 2.7.3.6 MCR

该寄存器只能采用字节写。偏移

地址: 0x1043FC(UART1)

0x1062FC(UART2)

初始值 : 0x00

位	读写	描述
7:5	W	Ignored
4	W	Loopback mode '0' – normal operation '1' – loopback mode. When in loopback mode, the Serial Output Signal (STX_PAD_O) is set to logic '1'. The signal of the transmitter shift register is internally connected to the input of the receiver shift register. The following connections are made: DTR -> DSR RTS -> CTS Out1 -> RI Out2 -> DCD
3	W	Out2. In loopback mode, connected to Data Carrier Detect (DCD) input.
2	W	Out1. In loopback mode, connected Ring Indicator (RI) signal input
1	W	Request To Send (RTS) signal control '0' – RTS is '1' '1' – RTS is '0'
0	W	Data Terminal Ready (DTR) signal control '0' – DTR is '1' '1' – DTR is '0'

### 2.7.3.7 LSR

该寄存器只能采用字节读。偏移地

址: 0x1043FD(UART1)

0x1062FD(UART2)

初始值 :

位	读写	描述
---	----	----



7	R	'1' – At least one parity error, framing error or break indications have been received and are inside the FIFO. The bit is cleared upon reading from the register. '0' – Otherwise.
6	R	Transmitter Empty indicator. '1' – Both the transmitter FIFO and transmitter shift register are empty. The bit is cleared when data is being written to the transmitter FIFO. '0' – Otherwise
5	R	Transmit FIFO is empty. '1' – The transmitter FIFO is empty. Generates Transmitter Holding Register Empty interrupt. The bit is cleared when data is being written to the transmitter FIFO. '0' – Otherwise
4	R	Break Interrupt (BI) indicator '1' – A break condition has been reached in the current character. The break occurs when the line is held in logic 0 for a time of one character (start bit + data + parity + stop bit). In that case, one zero character enters the FIFO and the UART waits for a valid start bit to receive next character. The bit is cleared upon reading from the register. Generates Receiver Line Status interrupt. '0' – No break condition in the current character
3	R	Framing Error (FE) indicator '1' – The received character at the top of the FIFO did not have a valid stop bit. Of course, generally, it might be that all the following data is corrupt. The bit is cleared upon reading from the register. Generates Receiver Line Status interrupt. '0' – No framing error in the current character
2	R	Parity Error (PE) indicator '1' – The character that is currently at the top of the FIFO has been received with parity error. The bit is cleared upon reading from the register. Generates Receiver Line Status interrupt. '0' – No parity error in the current character
1	R	Overrun Error (OE) indicator '1' – If the FIFO is full and another character has been received in the receiver shift register. If another character is starting to arrive, it will overwrite the data in the shift register but the FIFO will remain intact. The bit is cleared upon reading from the register. Generates Receiver Line Status interrupt. '0' – No overrun state
0	R	Data Ready (DR) indicator. '0' – No characters in the FIFO '1' – At least one character has been received and is in the FIFO.

### 2.7.3.8 MSR

该寄存器只能采用字节读。偏移地址：0x3FE/0x2FE 初始值

:

位	读写	描述
7	R	Complement of the DCD input or equals to Out2 in loopback mode.
6	R	Complement of the RI input or equals to Out1 in loopback mode.
5	R	Complement of the DSR input or equals to DTR in loopback mode.
4	R	Complement of the CTS input or equals to RTS in loopback mode.

3	R	Delta Data Carrier Detect (DDCD) indicator '1' – The DCD line has changed its state.
2	R	Trailing Edge of Ring Indicator (TERI) detector. The RI line has changed its state from low to high state.
1	R	Delta Data Set Ready (DDSR) indicator '1' – The DSR line has changed its state.
0	R	Delta Clear To Send (DCTS) indicator '1' – The CTS line has changed its state.

## 2.7.4 KCS

RST_PWR	offset	位宽	功能说明
Data_In_R	0x108CA2	8	数据输入寄存器
Data_Out_R	0x108CA2	8	数据输出寄存器
Status_R	0x108CA3	8	状态寄存器
Command_R	0x108CA3	8	命令寄存器

### 2.7.4.1 Data\_In\_R

该寄存器只能采用字节写，对可见 SW-X。偏移

地址：0x108CA2

初始值：8'h00

位	名称	读写	描述
7:0	Data_In_R	W	数据输入寄存器

### 2.7.4.2 Data\_Out\_R

该寄存器只能采用字节读，对可见 SW-X。偏移

地址：0x108CA2

初始值：8'h00

位	名称	读写	描述
7:0	Data_Out_R	R	数据输出寄存器

### 2.7.4.3 Status\_R

该寄存器只能采用字节读，对可见 SW-X。偏移

地址：0x108CA3

初始值：8'h00

位	名称	读写	描述
7:6	S1S0	R	KCS 读写状态机状态
5:4	OEM	R	保留
3	C_D_n	R	表明最后写入的是 Command_R 还是 Data_In_R，“1”表示 Command_R.

2	SMS_ATN	R	表明 BMC 有事务需要系统软件处理。组合逻辑
1	IBF	R	输入数据有效标志
0	OBF	R	输出数据有效标志

### 2.7.4.4 Command\_R

该寄存器只能采用字节写，对可见 SW-X。偏移

地址：0x108CA3

初始值：8'h00

位	名称	读写	描述
7:0	Command_R	W	数据输出寄存器

## 2.7.5 BT

维护地址：0x5010,A000 + offset[7:0]

RST_PWR	offset	位宽	功能说明
BT_CTRL_R	0x10A0E4	8	数据输入寄存器
BMC2HOST_R	0x10A0E5	8	BMC 到 HOST 的数据缓冲寄存器
HOST2BMC_R	0x10A0E5	8	HOST 到 BMC 的数据缓冲寄存器
BT_INTMASK_R	0x10A0E6	8	标志寄存器

### 2.7.5.1 BT\_CTRL\_R

该寄存器只能采用字节读写，对可见 SW-X。偏移

地址：0x10A0E4

初始值：8'h80

位	名称	读写	描述
7	B_BUSY	RW	复位为 1，当 BMC 完成初始化后清除该位。“1”有效，有效时表示 BMC 正在处理数据，不能接收新的数据。
6	H_BUSY	RW	“1”有效，有效时表示 HOST 正在处理数据，不能接收新的数据。
5	OEM0	RW	可用来生成 HOST 给 BMC 的中断，暂时保留。
4	EVT_ATN	RW	当 BMC 有 IPMI 消息请求要发给 HOST 时，使能该位，通过 B2HI_EN 来决定是否生成中断给 HOST。
3	B2H_ATN	RW	BMC 填充完 BMC2 HOST 缓冲后，通知 Host 来取数据，用来作中断输出。
2	H2B_ATN	RW	HOST 填充完 HOST2BMC 缓冲后，通知 BMC 来取数据，用来作中断输出。
1	CLR_RD_PTR	RW	清除读指针，Host 对该寄存器写 1，则将 BMC2HOST 的读指针移到缓冲起始地址。BMC 对该寄存器写 1，则将 HOST2BMC 的读指针移到缓冲起始地址。
0	CLR_WR_PTR	RW	清除写指针，Host 对该寄存器写 1，则将 HOST2BMC 的写指针移到缓冲起始地址。BMC 对该寄存器写 1，则将 BMC2HOST 的写指针移到缓冲起始地址。

### 2.7.5.2 BMC2HOST\_R

该寄存器只能采用字节读，对可见 SW-X。

偏移地址：0x10A0E5

初始值：8'h00

位	名称	读写	描述
7:0	BMC2HOST_R	R	BMC 到 HOST 的数据缓冲寄存器

### 2.7.5.3 HOST2BMC\_R

该寄存器只能采用字节写，对可见 SW-X。偏移地址：

0x10A0E5

初始值：8'h00

位	名称	读写	描述
7:0	HOST2BMC_R	W	HOST 到 BMC 的数据缓冲寄存器

### 2.7.5.4 BT\_INTMASK\_R

该寄存器只能采用字节读写，对可见 SW-X。偏移地

址：0x10A0E6

初始值：8'h00

位	名称	读写	描述
7	BMC_HWRST	WR	Host 对该地址写，会触发 BMC 硬复位，读返回 0。
6:5	Reserved	WR	Reserved
4:2	OEM3/2/1	WR	Reserved for definition by platform manufacturer for BIOS/SMI Handler use. Generic IPMI software must write this bit as 0, and ignore the value on read.
1	B2H_IRQ	WR	BMC 向 HOST 的中断有效信号，可作为中断输出信号，“1”有效。边沿置 1，写 1 清。
0	B2H_IRQ_EN	WR	BMC 向 HOST 的中断使能信号，“1”有效。

## 2.7.6 FLASH 编程接口

维护地址：0x5010,E000 + offset[7:0]

名称	offset	位宽	功能说明
SPI_PRG_BUF	00H	8	SPI 烧录命令缓冲
SPI_PRG_STAT	04H	1	SPI 接口是否完成编程

串口能够对主从两片 FLASH 进行编程，而主 CPU 只能对第二片从 FLASH 进行编程操作。

### 2.7.6.1 SPI\_PRG\_BUF

该寄存器只能采用 8 位读写。偏移地址：

0x00

初始值：8'h0

位	名称	读写	描述
7:0	SPI_BUF	RW	SPI 命令/数据 BUFFER 读写接口

### 2.7.6.2 SPI\_PRG\_STAT

该寄存器只能采用 8 位读写。偏移地址：

0x04

初始值：8'h0

位	名称	读写	描述
0	PRG_STAT	RW	SPI 接口是否完成编程

## 2.7.7 BMC 的 GPIO 接口

对主 CPU 不可见，只能由 BMC 来进行读写。对各个寄存器的访问都必须采用 32 位的读写，不能采用字节或半字粒度的访问。

实现 WB2AHB 接口选择读取哪个 128M 显存空间（共 8X128M=1G）。实现对套片内部复位、PLL 配置等功能。

配置 WB2AHB 桥响应超时计数值，对 WB2AHB0 和 WB2AHB1 同时有效。寄存器列表如下：

寄存器名	属性	地址	有效位宽
GPIO_GENERAL_I /GPIO_GENERAL_O	R/W,0x0	0x4600_0000	8
GPIO_GENERAL_OE	R/W,0xFF	0x4600_0004	8
CFG_WB2AHB_MAX_COUNT_VALUE_O	R/W,0x100000	0x4600_0008	24
CFG_CHIPSET_SEL_VRAM128M_RW_O	R/W,0x0	0x4600_000C	4
CFG_CHIPSET_MC_RST_N_O	R/W,0x0	0x4600_0010	2
CFG_CHIPSET_USBPHY_PWRON_O	R/W,0x3F	0x4600_0014	6
CFG_CHIPSET_PLL_PWRDN_O	R/W,0xF	0x4600_0018	4
CFG_CHIPSET_PLL_RESET_O	R/W,0xF	0x4600_001C	4
CFG_CHIPSET_IO_RESET_N_O	R/W,0x0	0x4600_0020	1
CFG_CHIPSET_MC_PhaseSel_O	R/W,0x0	0x4600_0024	1
CFG_CHIPSET_ClkLock_Watchout_O	R/W,0x3FF	0x4600_0028	27
CFG_CHIPSET_PLLCLK_EN_H_O	R/W,0x0	0x4600_002C	5
CFG_CHIPSET_GPU_PLL_M_O	R/W,0x0000404	0x4600_0030	26
CFG_CHIPSET_MC_PLL_M_O	R/W,0x0020707	0x4600_0034	26
CFG_CHIPSET_GCLK_PLL_M_O	R/W,0x0010404	0x4600_0038	26
CFG_CHIPSET_PSWPLL_O	R/W,0x0422626	0x4600_003C	26
CFG_CHIPSET_SATAPHY_RST_N_O	3'b0	0x4600_0040	3
CFG_CHIPSET_PCIEPHY_RST_N_O	3'b0	0x4600_0044	3
CFG_AXIARB0_O	R/W,0xa9876543	0x4600_0048	32
CFG_AXIARB1_O	R/W,0x21	0x4600_004C	8
AXI_TIMEOUT_I	R	0x4600_0050	12
CFG_BAUD_LIMIT_O	R/W, 14473	0x4600_0054	20

CLK_DIV_RST_O	R/W, 1'b0	0x4600_0058	1
PLL_LOSELOCK_H_I	R	0x4600_005C	10

### 2.7.7.1 MAX\_COUNT\_VALUE

访问地址 : 0x4600\_0008

初始值 : 0x100000

位	名称	属性	初值	说明
23:0	MAX_COUNT_VALUE	RW	0x100000	AHB 维护和 APB 维护响应超时阈值

### 2.7.7.2 SEL\_VRAM128M

访问地址 : 0x4600\_000C

初始值 : 0x0

位	名称	属性	初值	说明
3:0	SEL_VRAM128M	RW	0	维护访存地址偏移 将显存划分为 16 个 128MB 空间, 可通过维护进行访问显存 2GB 空间

### 2.7.7.3 MC\_RST\_N

访问地址 : 0x4600\_0010

初始值 : 0x0

位	名称	属性	初值	说明
0	MC_RST_N	RW	0	套片维护复位信号 上电默认值为 0, 复位套片维护部件 BMC 置 1, 撤维护复位

### 2.7.7.4 USBPHY\_PWRON

访问地址 : 0x4600\_0014

初始值 : 0x3F

位	名称	属性	初值	说明
5:0	USBPHY_PWRON	RW	0x3f	6 个 USBPHY 的上电复位信号, 维护至少 10us

### 2.7.7.5 PLL\_PWRDN

访问地址 : 0x4600\_0018

初始值 : 0xF

位	名称	属性	初值	说明
---	----	----	----	----

3:0	PLL_PWRDN	RW	0xf	套片内 PLL0~3 关电信号，高有效。维护将所有锁相环参数设置好后，打开 PLL 电源
-----	-----------	----	-----	--

### 2.7.7.6 PLL\_RESET

访问地址：0x4600\_001C

初始值：0xF

位	名称	属性	初值	说明
3:0	PLL_RESET	RW	0xf	套片内 PLL0~3 复位信号，高有效。保持至少 5us 以上

### 2.7.7.7 IO\_RESET\_N

访问地址：0x4600\_0020

初始值：0x0

位	名称	属性	初值	说明
0	IO_RESET_N	RW	0	套片数字逻辑复位，上电为 0。在 PLL_RESET 无效后，等待 20us 清数字逻辑复位

### 2.7.7.8 MC\_PhaseSel\_O

访问地址：0x4600\_0024

初始值：0x2

位	名称	属性	初值	说明
1	Eth_sel	RW	1	以太网工作时钟选择，1-高频 100M，0-低频 25M
0	MC_PhaseSel	RW	0	旁路模式下 MC 时钟相位选择，1 为 4 分频输出，0 为 4 分频反相输出

### 2.7.7.9 ClkLock\_Watchout

访问地址：0x4600\_0028

初始值：0x0

位	名称	属性	初值	说明
5:0	ClkLock_Watchout	RW	4	内部锁相环 LOCK 与时监测信号选择 [2:0]=3'b0 GPU [2:0]=3'b1 MC [2:0]=3'b10 SW [2:0]=3'b11 GCLK [2:0]=3'b1xx 共同 [5:4]选择 4 个 PLL 的观测时钟之一



### 2.7.7.10 PHYLock\_Watchout

访问地址： 0x4600\_002C

初始值： 0x100

位	名称	属性	初值	说明
8:0	PHYLock_Watchout	RW	100h	PHY 锁相环 LOCK 与监测信号选择

### 2.7.7.11 GPU\_PLL\_M\_O

访问地址： 0x4600\_0030

初始值：

位	名称	属性	初值	说明
25	GPUPLL_INTFB	RW	0	配置 PLL0 的 INTFB。上电复位置 1,维护时钟域, 通过维护可写入和读出
24	GPUPLL_Bypass	RW	0	配置 PLL0 的 Bypass。上电复位置 0。维护时钟域, 通过维护可写入和读出。
23:20	GPUPLL_CLKR	RW	1	PLL0 内部参考时钟的分频器控制信号, 配置 CLKR。维护时钟域, 通过维护可写入和读出。
19:16	GPUPLL_CLKOD	RW	0	PLL0 内部输出时钟的分频器控制信号, 配置 CLKOD。维护时钟域, 通过维护可读出。
13:8	GPUPLL_CLKF	RW	14	PLL0 内部反馈时钟的分频器控制信号, 配置 CLKF。维护时钟域, 通过维护可读出。
5:0	GPUPLL_BWADJ	RW	14	PLL0 内部输出时钟的滤波带宽控制信号, 配置 BWADJ。维护时钟域, 通过维护可读出。

### 2.7.7.12 MC\_PLL\_M\_O

访问地址： 0x4600\_0034

初始值：

位	名称	属性	初值	说明
25	MCPLL_INTFB		0	配置 PLL1 的 INTFB。上电复位置 1,维护时钟域, 通过维护可写入和读出
24	MCPLL_Bypass		0	配置 PLL1 的 Bypass。上电复位置 0。维护时钟域, 通过维护可写入和读出。
23:20	MCPLL_CLKR [3:0]		0	PLL1 内部参考时钟的分频器控制信号, 配置 CLKR。维护时钟域, 通过维护可写入和读出。
19:16	MCPLL_CLKOD [3:0]		2	PLL1 内部输出时钟的分频器控制信号, 配置 CLKOD。维护时钟域, 通过维护可写入和读出。
13:8	MCPLL_CLKF [5:0]		7	PLL1 内部反馈时钟的分频器控制信号, 配置 CLKF。维护时钟域, 通过维护可写入和读出。

5:0	MCPLL_BWADJ [5:0]		7	PLL1 内部输出时钟的滤波带宽控制信号，配置 BWADJ。维护时钟域，通过维护可写入和读出。
-----	-------------------	--	---	---

### 2.7.7.13 GCLK\_PLL\_M\_O

访问地址： 0x4600\_0038

初始值：

位	名称	属性	初值	描述
25	GCLKPLL_INTFB		0	配置 PLL2 的 INTFB。上电复位置 1,维护时钟域，通过维护可写入和读出
24	GCLKPLL_Bypass		0	配置 PLL2 的 Bypass。上电复位置 0。维护时钟域，通过维护可写入和读出。
23:20	GCLKPLL_CLKR		0	PLL2 内部参考时钟的分频器控制信号，配置 CLKR。维护时钟域，通过维护可写入和读出。
19:16	GCLKPLL_CLKOD		1	PLL2 内部输出时钟的分频器控制信号，配置 CLKOD。维护时钟域，通过维护可写入和读出。
13:8	GCLKPLL_CLKF		4	PLL2 内部反馈时钟的分频器控制信号，配置 CLKF。维护时钟域，通过维护可写入和读出。
5:0	GCLKPLL_BWADJ		4	PLL2 内部输出时钟的滤波带宽控制信号，配置 BWADJ。维护时钟域，通过维护可写入和读出。

### 2.7.7.14 PSWPLL\_O

访问地址： 0x4600\_003C

初始值：

位	名称	属性	初值	描述
25	SWPLL_INTFB		0	配置 PLL3 的 INTFB。上电复位置 1,维护时钟域，通过维护可写入和读出
24	SWPLL_Bypass		0	配置 PLL3 的 Bypass。上电复位置 0。维护时钟域，通过维护可写入和读出。
23:20	SWPLL_CLKR		0	PLL3 内部参考时钟的分频器控制信号，配置 CLKR。维护时钟域，通过维护可写入和读出。
19:16	SWPLL_CLKOD		1	PLL3 内部输出时钟的分频器控制信号，配置 CLKOD。维护时钟域，通过维护可写入和读出。
13:8	SWPLL_CLKF		4	PLL3 内部反馈时钟的分频器控制信号，配置 CLKF。维护时钟域，通过维护可写入和读出。
5:0	SWPLL_BWADJ		4	PLL3 内部输出时钟的滤波带宽控制信号，配置 BWADJ。维护时钟域，通过维护可写入和读出。

### 2.7.7.15 SATAPHY\_RST\_N\_O

访问地址： 0x4600\_0040

初始值： 0x0

位	名称	属性	初值	描述
---	----	----	----	----

2:0	SATAPHY_RST_N		3'b0	3 个 SATAPHY 的上电复位信号，维持至少 10us 先 0,后 1
-----	---------------	--	------	--

### 2.7.7.16 PCIEPHY\_RST\_N\_O

访问地址： 0x4600\_0044

初始值： 0x0

位	名称	属性	初值	描述
2:0	PCIEPHY_RST_N		3'b0	3 个 X8 PCIE PHY 的上电复位信号，维持至少 10us 先 0,后 1

### 2.7.7.17 CFG\_AXIARB0

AXI 总线轮转仲裁权重初值寄存器 0

访问地址： 0x4600\_0048

初始值： 0x A987\_6543

位	名称	属性	默认值	描述
31:28	w_mst_priority_gar	RW	4'ha	gar 初值权重
27:24	w_mst_priority_ac97	RW	4'h9	ac97 初值权重
23:20	w_mst_priority_dmac	RW	4'h8	dmac 初值权重
19:16	w_mst_priority_ohci1	RW	4'h7	ohci1 初值权重
15:12	w_mst_priority_ohci0	RW	4'h6	ohci0 初值权重
11:8	w_mst_priority_ehci,	RW	4'h5	ehci 初值权重
7:4	w_mst_priority_gmac1	RW	4'h4	gmac1 初值权重
3:0	w_mst_priority_gmac0	RW	4'h3	gmac0 初值权重

### 2.7.7.18 CFG\_AXIARB1

5) AXI 总线轮转仲裁权重初值寄存器 1

访问地址： 0x4600\_004C

初始值： 0x21

位	名称	属性	默认值	描述
7:4	w_mst_priority_tcm	RW	4'h2	tcm 初值权重
3:0	w_mst_priority_tcm	RW	4'h1	sata 初值权重

### 2.7.7.19 AXI\_TIMEOUT

AXI\_TIMEOUT 寄存器，访

问地址： 0x4600\_0050 初始

值： 0x0

位	名称	属性	初值	描述
31:12	保留			

11	w_axi_dlock_irq	RO		axi 总线挂死指示位
10	w_axi_dlock_wr	RO		axi 总线挂死请求类型
9:5	w_axi_dlock_id;	RO		axi 总线挂死请求 ID
4	w_axi_dlock_slv	RO		axi 总线挂死请求对应的 slaver 号
3:0	w_axi_dlock_mst	RO		axi 总线挂死请求对应的 master 号

## 2.8 I2C

**I2C 0 维护地址: 0x5011,0000 + offset[7:0] I2C 1 维护地址:  
0x5011,2000 + offset[7:0]**

寄存器名	地址	宽度	R/W	描述	复位值
IC_CON	0x00	7 bits	R/W or R-only on bit 4	I2C 控制寄存器	6: IC_SLAVE_DISABLE 1 5: IC_RESTART_EN 4: IC_10BITADDR_MASTER 3: IC_10BITADDR_SLAVE 2: IC_MAX_SPEED_MODE 0: IC_MASTER_MODE
IC_TAR	0x04	12 or 13 bits	R/W	I2C 目标地址	12: IC_10BITADDR_MASTER configuration parameter 11: 0x0 10: 0x0 9: IC_DEFAULT_TAR_SLAVE_ADDR
IC_SAR	0x08	10 bits	R/W	I2C 从 (Slave) 地址	I2C Slave Address
IC_HS_MADDR	0x0C	3 bits	R/W	I2C HS Master Mode Code Address	高速模式下 Master 地址
IC_DATA_CMD	0x10		R/W	I2C Rx/Tx Data Buffer and Command NOTE: With nine or eleven bits required for writes, the DW_apb_i2c requires 16-bit data on the APB bus transfers when writing into the transmit FIFO. Eight-bit transfers remain for reads from the receive FIFO. NOTE: In order for the DW_apb_i2c to continue acknowledging reads, a read command should be written for every byte that is to be received; otherwise the DW_apb_i2c will stop acknowledging.	I2C 接收、发送数据和命令 宽度: IC_EMPTYFIFO_HOLD_MASTER_EN=0, 写为 9 位宽 读为 8 位宽 注意: 写数据为 9 位, 但是写的 APB 总线上数据为 16 位宽。读的时候从 FIFO 读出 8 位宽的数据 注意: 为了让 DW_apb_i2c 持续应答读请求, 每个 byte 写发一个读命令, 否则 DW_apb_i2c 将停止响应

IC_SS_SCL_HCNT	0x14	16bits	R/W	Standard speed I2C Clock SCL High	标准速率 SCL 为高的计数器
----------------	------	--------	-----	-----------------------------------	-----------------

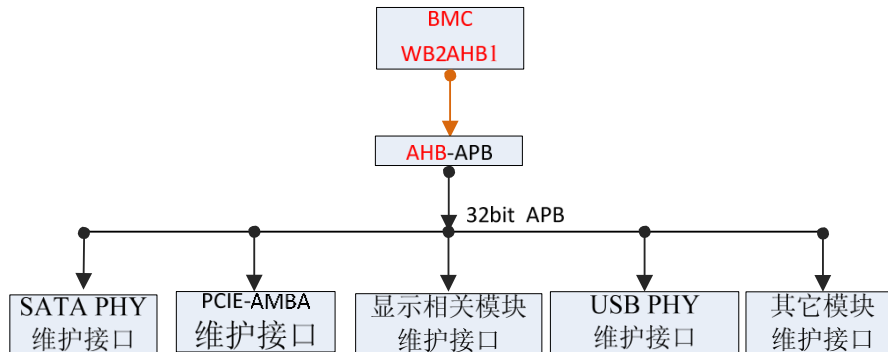
				Count	
IC_SS_SCL_LCNT	0x18	16 bits	R/W	Standard speed I2C Clock SCL Low Count	标准速率 SCL 为低的计数器
IC_FS_SCL_HCNT	0x1C	16 bits	R/W	Fast speed I2C Clock SCL High Count	快速速率 SCL 为高的计数器
IC_FS_SCL_LCNT	0x20	16 bits	R/W	Fast speed I2C Clock SCL Low Count	快速速率 SCL 为低的计数器
IC_HS_SCL_HCNT	0x24	16 bits	R/W	High speed I2C Clock SCL High Count	高速速率 SCL 为高的计数器
IC_HS_SCL_LCNT	0x28	16 bits	R/W	High speed I2C Clock SCL Low Count	高速速率 SCL 为低的计数器
IC_INTR_STAT	0x2C	12 bits	R	I2C Interrupt Status	中断状态
IC_INTR_MASK	0x30	12 bits	R/W	I2C Interrupt Mask	中断屏蔽
IC_RAW_INTR_STAT	0x34	12 bits	R	I2C Raw Interrupt Status	中断原始屏蔽, IC_INTR_STAT= IC_INTR_MASK & IC_INTR_MASK
IC_RX_TL	0x38	8 bits	R/W	I2C Receive FIFO Threshold	接收 FIFO 的阈值
IC_TX_TL	0x3C	8 bits	R/W	I2C Transmit FIFO Threshold	发送 FIFO 的阈值
IC_CLR_INTR	0x40	1	R	Clear Combined and Individual Interrupts	清中断
IC_CLR_RX_UNDER	0x44	1	R	Clear RX_UNDER Interrupt	清 RX 空中断
IC_CLR_RX_OVER	0x48	1	R	Clear RX_OVER Interrupt	清 RX 溢出中断
IC_CLR_TX_OVER	0x4C	1	R	Clear TX_OVER Interrupt	清 TX 溢出中断
IC_CLR_RD_REQ	0x50	1	R	Clear RD_REQ Interrupt	为 slave 时, 清读请求中断
IC_CLR_TX_ABRT	0x54	1	R	Clear TX_ABRT Interrupt	清发送数据, 不能完成传输 (TX_ABRT) 中断
IC_CLR_RX_DONE	0x58	1	R	Clear RX_DONE Interrupt	清接收完成 (RX_DONE) 中断
IC_CLR_ACTIVITY	0x5C	1	R	Clear ACTIVITY Interrupt	清 ACTIVITY 中断, 当 I2C 总线不再传输、发送数据时, 需要清产生 ACTIVITY 中断
IC_CLR_STOP_DET	0x60	1	R	Clear STOP_DET Interrupt	清 STOP_DET 中断
IC_CLR_START_DET	0x64	1	R	Clear START_DET Interrupt	清 START_DET 中断
IC_CLR_GEN_CALL	0x68	1	R	Clear GEN_CALL Interrupt	清 GEN_CALL 中断
IC_ENABLE	0x6C	1	R/W	I2C Enable	I2C 使能
IC_STATUS	0x70	7bits	R	I2C Status register	状态



IC_TXFLR	0x74	TX_AB W+1	R	Transmit FIFO Level Register	发送 FIFO 中的条目数
IC_RXFLR	0x78	RX_AB W+1	R	Receive FIFO Level Register	接收 FIFO 中的条目数
IC_SDA_HOLD	0x7C	16 bits	R/W	SDA hold time length register	SDA 保持时间长度寄存器
IC_TX_ABORT_SOURCE	0x80	16 bits	R	I2C Transmit Abort Status Register	发送阶段中止源寄存器
IC_SLV_DATA_NACK_ONLY	0x84	1 bit	R/W	Generate SLV_DATA_NACK Register	Slave 模式下的，生成 NACK 的标志，不用
IC_DMA_CR	0x88	2 bits	R/W	DMA Control Register for transmit and receive handshaking interface	DMA 控制寄存器
IC_DMA_TDLR	0x8c	TX_AB W	R/W	DMA Transmit Data Level	
IC_DMA_RDLR	0x90	RX_AB W	R/W	DMA Receive Data Level	
IC_SDA_SETUP	0x94	8 bits	R/W	I2C SDA Setup Register	SDA 建立时间寄存器
IC_ACK_GENERAL_CALL	0x98	1 bit	R/W	I2C ACK General Call Register	控制控制器是否会对通用地址返回 ACK 或 NACK
IC_ENABLE_STATUS	0x9C	3 bits	R	I2C Enable Status Register	
IC_FS_SPKLEN	0xA0	8 bits	R/W	I2C SS and FS spike suppression limit	
IC_HS_SPKLEN	0xA4	8 bits	R/W	HS spike suppression limit	
IC_COMP_PARAM_1	0xF4	32 bits	R	Component Parameter Register	组成参数寄存器
IC_COMP_VERSION	0xF8	32 bits	R	Component Version ID	
IC_COMP_TYPE	0xFC	32 bits	R	DesignWare Component Type Register	Reset Value: 0x44570140

## 3 专用维护通路

套片专用维护通路占用 BMC wishbone 交叉开关第 6 个 Slave 端口，BMC 空间地址为 0x6000-0000~6FFF-FFFFh。



可以对 PCIe-AMBA 桥（包括 IP）、PCIe Switch，以及套片其它需要重点观测的信号和状态进行维护访问。

对于套片专用维护通路，内部只使用地址[21:0]，对于 BMC 空间地址[31:22]，套片内部维护逻辑不使用；

根据地址[21:19]，将套片内部维护空间划分为 8 个部件，也就是说套片专用维护 APB 总线出 8 个 Slave 维护端口，具体空间划分如下：

地址划分[21:19]	说明	
3'h0	USB PHY USB Host Controller	512KB 空间
3'h1	SATA PHY SATA AHCI	512KB 空间
3'h2	PCIe-Switch	512KB 空间
3'h3	PCIe-AMBA 桥	512KB 空间
3'h4	VPU	512KB 空间
3'h5	GPU 状态寄存器 DC 状态寄存器	512KB 空间
4'h6	GMAC0	512KB 空间
4'h7	GMAC1	512KB 空间

### 3.1 PCIe Switch

维护地址：**0x6010,0000 + offset[15:0](US Port) 0x6010,1000 + offset[15:0](DS1 Port) 0x6010,2000 + offset[15:0] (DS1 Port) 0x6010,3000 + offset[15:0] (DS1 Port) 0x6010,4000 + offset[15:0] (DS1 Port) 0x6010,5000 + offset[15:0] (DS1 Port)**

**0x6010,6000 + offset[15:0] (用户逻辑)**

根据整个 IO 套片的维护地址分配方案，为 PCIE switch 分配的地址空间为 512KB，PCIE switch 的 6 个端口，IP 为每个端口的配置寄存器和 CSR 寄存器分配 4KB 空间，在整个芯片的维护地址分配中，为每个端口分配 4KB 空间，另外，为用户逻辑分配 4KB 空间，地址划分如下

PADDR[31:16]	PADDR[15:12]	说明
16'h6010	4'h00	US port
	4'h01	DS port1
	4'h02	DS port2
	4'h03	DS port3
	4'h04	DS port4
	4'h05	DS port5
	4'h06	用户逻辑

### 3.1.1 PCIE 配置空间寄存器

这部分空间为 PCIE 规范定义的标准空间，上游端口和 5 个下游端口的地址及定义都一样，只是某些寄存器的缺省值会不同，下面仅以一个端口为例说明，各个端口的不同之处单独标注。

下面描述的寄存器地址都是每个端口地址的低 12 位偏移 addr[11:0]

#### 3.1.1.1 PCIE 头标寄存器

Switch 端口属于 PCIE 规范定义的 Type1 类型设备，配置空间的 000h~0FFh 为头标空间，这些寄存器定义了设备的基本配置信息。

				Byte
				Offset
Device ID		Vendor ID		00h04h
Status		Command		08h0Ch
Class Code			Revision ID	
BIST	Header Type	Primary Latency Timer	Cache Line Size	10h 14h 18h
Base Address Register 0				
Base Address Register 1				1Ch
Secondary Latency Timer	Subordinate Bus Number	Secondary Bus Number	Primary Bus Number	20h 24h
Secondary Status		I/O Limit	I/O Base	28h
Memory Limit		Memory Base		2Ch
Prefetchable Memory Limit		Prefetchable Memory Base		30h
Prefetchable Base Upper 32 Bits				34h
Prefetchable Limit Upper 32 Bits				38h
I/O Limit Upper 16 Bits		I/O Base Upper 16 Bits		3Ch
Reserved PCI TYPE1 基本配置空间格式 Capability Pointer				
Expansion ROM Base Address				
Bridge Control		Interrupt Pin	Interrupt Line	

地址（字节地址）	寄存器名	缺省值	属性	备注
000h-001h	Vendor ID Register	0x1862	RO	套片的厂商 ID 暂定为 0x5656
002h-003h	Device ID Register	0x2432	RO	套片的设备 ID 暂定为 0x1000
004h-005h	Command Register	0x0000	RW	命令寄存器
006h-007h	Status Register	0x0010	RO	状态寄存器
008h	Revision ID Register	0x00	RO	修订版本 ID
009h-00Bh	Class Code Register	0x060400	RO	分类代码, 06 代表 PCI 桥设备
0Ch	Cache Line Size Register	0x00	RW	仅为兼容 PCI, 对 PCIE 设备不起作用
0Dh	Primary Latency Timer	0x00	RO	
0Eh	Header Type Register	0x01	RO	01 表示桥设备类型
0Fh	BIST Register	0x00	RW	
010h~013h	Base Address Register0	0x00000000	RW	Switch IP 不支持内部 BAR 空间, 这两个值没有意义
014h~017h	Base Address Register1	0x00000000	RW	
018h	Primary Bus Num Register	0x00	RW	本设备的源级总线号, 在系统枚举后确定
019h	Secondary Bus Num Register	0x00	RW	本设备的次级总线号, 在系统枚举后确定
01Ah	Subordinate Bus Num Register	0x00	RW	本设备的下属总线号, 在系统枚举后确定
01Bh	Secondary Latency Timer	0x00	RO	对 PCIE 不起作用
01Ch	IO Base Register	0x01	RW	IO 空间基址寄存器, 为 1 表示支持 32 位 IO 地址
01Dh	IO Limit Register	0x01	RW	IO 空间界限寄存器
01Eh-01Fh	Secondary Status Register	0x0000	RO/RW1C	
020h-021h	Memory Base Register	0x0000	RW	存储空间基址寄存器
022h-023h	Memory Limit Register	0x0000	RW	存储空间界限寄存器
024h-025h	Prefetchable Memory Base Register	0x0001	RW	可预取存储空间基址寄存器, 为 1 表示支持 64 位地址
026h-027h	Prefetchable Memory Limit Register	0x0001	RW	可预取存储空间界限寄存器
028h-02Bh	Prefetchable Base upper 32bit Register	0x0	RW	可预取存储空间基地址高 32 位
02Ch-02Fh	Prefetchable Limit upper 32bit Register	0x0	RW	可预取存储空间界限地址高 32 位
030h-031h	IO Base upper 16bit Register	0x0	RW	IO 空间基地址高 16 位
032h-033h	IO Limit upper 16bit Register	0x0	RW	IO 空间界限地址高 16 位
034h	Capability Pointer Register	0x44	RW	能力指针寄存器, 表明第一个 PCIE 能力寄存器的

地址为 <b>044h</b>				
038h-03Bh	Expansion ROM Base Address	0x0	RW	Switch IP 未实现桥专用的设备 ROM, 这个寄存器不起作用
03Ch	Interrupt Line Register	0x00	RW	中断线寄存器
03Dh	Interrupt Pin Register	0x00/ 0x01	RW	中断引脚寄存器 US 和 DS5 端口不支持本身产生 INT <sub>x</sub> 中断消息, 所以缺省值为 0。 DS1,2,3,4 支持本端口产生 INTA 中断消息 (热拔插中断), 所以缺省值为 0x01
03Eh-03Fh	Bridge Control Register	0x00	RW/RO	桥控制寄存器

### Vendor ID Register (offset 00-01)

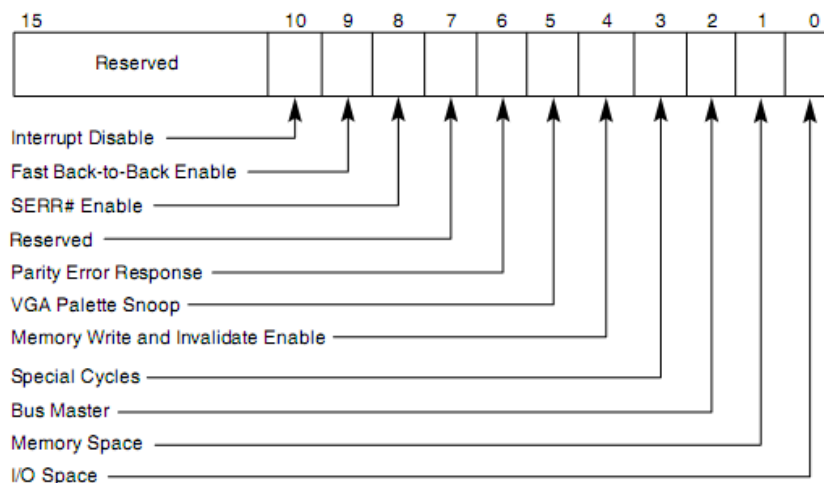
16 位厂商 ID 是 PCI SIG 统一分配给制造厂商的唯一编号。套片 switch 的 Vendor ID 暂定为 0x5656

### Device ID Register (offset 02-03)

16 位设备 ID 为制造厂商分配, 用来标识该功能的类型。套片 switch 的 Device ID 暂定为 0x1000

### Command Register (offset 04h-05h)

命令寄存器的 layout 如下

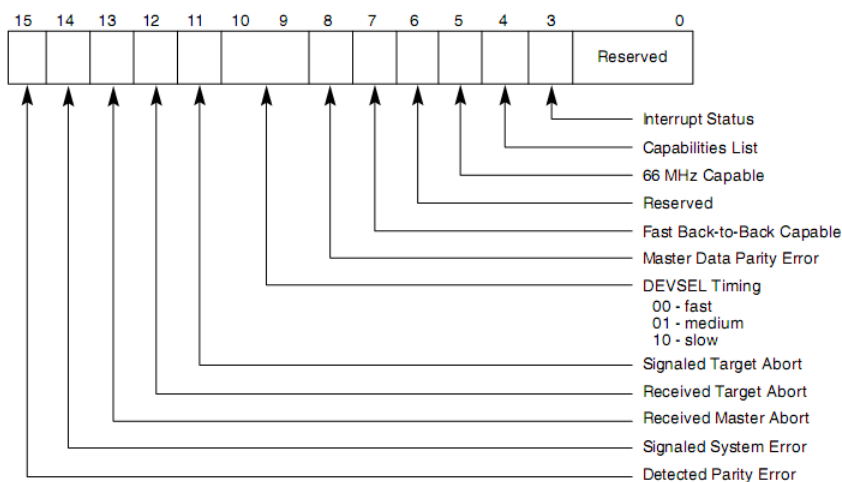


位	描述	属性
0	<b>IO 空间译码使能位</b> 控制设备对 IO 空间访问的响应, 为 0 表示对该设备的 IO 访问被禁止, 对以该设备为目标的 IO 访问返回 UR 响应。为 1 表示允许响应 IO 访问,	RW

	接受以该设备为目标的 IO 事务。	
1	<b>存储空间译码使能位</b> 控制设备对存储空间访问的响应，为 0 表示对该设备的存储访问事务被禁止，对以该设备为目标的存储器访问返回 UR 响应。为 1 表示允许响应存储器访问事务，接受以该设备为目标的 IO 事务。	RW
2	<b>总线主设备使能位</b> 对于端点设备来说为 0 表示不允许该设备发出存储或 IO 请求，但除存储或 IO 以外的请求，如 MSI、MSIX 不被禁止。为 1 表示允许发出存储或 IO 请求 对于根端口或 switch 端口来说，为 0 表示不允许传送存储或 IO 请求，如果收到存储或 IO 请求，则必须 UR 响应。但这一位不影响完成事务的传送。除存储或 IO 请求以外的请求如 MSI，MSIX 包不被禁止。为 1 表示允许传送存储器或 IO 请求。	RW
3	Special Cycle Enable – 不用于 PCIE，必须被硬连线为 0	RO
4	Memory Write and Invalidate – 不用于 PCIE，必须被硬连线为 0	RO
5	VGA Palette Snoop – 不用于 PCIE，必须被硬连线为 0	RO
6	<b>奇偶校验响应位</b> 若被置 1，则在收到中毒的 TLP 时会将状态寄存器的 Master Data Parity Error 位置 1，否则该状态位不会被置 1。缺省值为 0	RW
8	<b>SERR#使能位</b> 若被置为 1，则在检测到非致命错和致命错时能够报告给 RC。另外，对于拥有 TYPE1 类型配置空间的功能，这一位还控制源级端口向次级端口传输 ERR_NOFATAL（非致命错）和 ERR_FATAL（致命错）消息。这一位不控制 ERR_COR（可纠正错）消息的传送。缺省为 0。	RW
9	Fast-back-to-back Transaction Enable 位。不应用于 PCIE，必须硬连线为 0	RO
10	<b>中断禁止位</b> 控制 PCIE 功能产生 INTx 中断消息的能力。若置为 1，则禁止功能产生 INTx 中断，若置为 0，则允许产生 INTx 中断消息。该位置 1 的时候，已经发出的 assert_INTx 消息必须再发送相应的 Deassert_INTx 消息。对于自身产生中断的端点设备和 switch 端口及桥设备，本位起作用，对于从次级端口穿过的 INTx 包，本位不起作用。	RW

### Status Register (offset 06-07)

状态寄存器的 layout 如下



位	描述	属性
---	----	----

3	<b>中断状态位</b> 为 1 表明本功能有一个挂起的 INTx 中断请求，即已发出了一个中断消息，正在等待服务。 对于从 switch 中通过的中断消息，不受此位的影响。	RO
4	<b>能力链表位</b> 为 1 表明存在能力链表。由于 PCIE 功能要求必须实现能力链表，因此本为被硬连线为 1	RO
5	66MHZ 能力位。不应用与 PCIE，必须被硬连线为 0	RO
7	Fast-back-to-backTransaction 能力位 不用于 PCIE，必须被硬连线为 0	RO
8	<b>主设备数据奇偶校验错位</b> 如果命令寄存器的 Parity Error Response 为 1，则在下列两种情况发生时置 1： 》 请求者收到了中毒的完成 》 请求者使一个写请求中毒	RW1C 写 1 清除
10:9	DEVSEL TIMING:不应用于 PCIE，必须硬连线为 0	RO
11	<b>通知目标夭折位 (Signaled Target Abort)</b> 当功能作为完成者发出带有 Completer Abort Completion 状态的完成时，此位置 1	RW1C
12	<b>接收目标夭折位(Received Target Abort)</b> 当请求者接收到带有 Completer Abort Completion 状态的完成时，此位置 1	RW1C
13	<b>接收主设备夭折位(Received Master Abort)</b> 当请求者接收到带有 Unsupported Request Completion 状态的完成时，此位置 1。对于 type1 类型的功能，该位在收到 UR 完成的 Primary side 置 1	RW1C
14	<b>通知系统错(Signaled System Error)</b> 在命令寄存器的 SERR#位为 1 的条件下，当功能发出了 ERR_FATAL 或 ERR_NONFATAL 消息时，此位置 1	RW1C
15	<b>检测到奇偶校验错位(Detected Parity Error)</b> 不管命令寄存器中奇偶校验错响应位是否被置 1，只要功能收到一个中毒的 TLP，该位都被置 1	RW1C

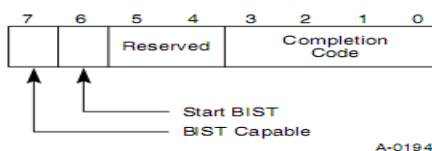
### Header Type Register (offset 0Eh)

头标类型寄存器（8 位）

位	描述	属性
7	Multi-Funtion Device 为 1 表示多功能设备，为 0 表示单功能设备	RO
6:0	Header Type0: 本功能为非桥功能 (Type0 设备) 1: 本功能为桥设备 (Type1 设备) 2: 本功能为 Card Bus 桥	RO

### BIST Register (offset 0F)

这是一个可选寄存器，自持内建自测试的功能必须支持这个寄存器，不支持 BIST 的功能可将这个寄存器视为保留寄存器。





位	描述	属性
7	为 1 表示多功能支持 BIST，为 0 表示不支持	RO
6	启动 BIST 为 向此位写 1 启动 BIST，BIST 完成后设备自动复位该位，2s 内 BIST 未完成，软件应该试这个设备失效。	RW
3:0	完成码 0 表示通过测试，非 0 值表示测试错误。设备可以自定义非 0 完成码。	RO

### IO Base Register (offset 1C)

位	描述	属性
3:0	IO 译码能力 0: 支持 16 位 IO 1: 支持 32 为 IO	RO
7:4	基地址[15:0]的[15:12]位，[11:0]为全 0 IO 空间最小为 4KB	RW

### IO Limit Register (offset 1D)

位	描述	属性
3:0	IO 译码能力 0: 支持 16 位 IO 1: 支持 32 为 IO	RO
7:4	界限地址[15:0]的[15:12]位，[11:0]为 FFFh	RW

### IO Base Uppre 16 bit Register (offset 30h ~ 31h)

32 位 IO 基地址的高 16 位

### IO Limit Uppre 16 bit Register (offset 32h ~ 33h)

32 位 IO 界限地址的高 16 位

### Memory Base Register (offset 20h~21h)

位	描述	属性
3:0	保留，缺省为全 0	RO
15:4	基地址[31:0]的[31:20]位，[19:0]为全 0 存储器空间最小为 1MB	RW

### Memory Limit Register (offset 22h~23h)

位	描述	属性
3:0	保留，缺省为全 0	RO
15:4	基地址[31:0]的[31:20]位，[19:0]为全 FFFFh	RW

### Prefetch Memory Base Register (offset 24h~25h)

位	描述	属性
3:0	可预取存储空间译码能力 0: 支持 32 位可预取空间 1: 支持 64 位可预取空间	RO
15:4	基地址[31:0]的[31:20]位, [19:0]为全 0 可预取空间最小为 4KB	RW

### Prefetch Memory Limit Register (offset 26h~27h)

位	描述	属性
3:0	可预取存储空间译码能力 0: 支持 32 位可预取空间 1: 支持 64 位可预取空间	RO
15:4	界限地址[31:0]的[31:20]位, [19:0]为全 FFFFh	RW

### Prefetch Memory Base Upper 32 bit Register (offset 28h ~ 2Bh)

64 位可预取基地址的高 32 位

### Prefetch Memory Limit Upper 32 bit Register (offset 2Ch ~ 2Fh)

64 位可预取界限地址的高 32 位

**Secondary Status Register (Offset 1Eh ~ 1Fh)** 这个状态寄存器的[4:0]为保留位, [15:5]

的定义与 Status Register 的定义完全相同, 只是这些位表明的是桥的次级端口的状态。状态说明详见 1.2.2.4

**Interrupt Pin Register (Offset 3Dh)** 中断引脚寄存器为

只读寄存器

位	描述	属性
7:0	0: 不支持 INTx 中断 1: 支持 INTA 中断 2: 支持 INTB 中断 3: 支持 INTC 中断 4: 支持 INTD 中断 5~FFh: 保留	RO

**Interrupt Line Register (Offset 3Ch)** 中断线寄存器的值表示该功能的中断引脚信号连

接到系统中断控制器的哪个

IRQ 输入上。配置软件在对系统进行初始化配置时把这个信息写入该寄存器。设备驱动程序读此寄存器可以获知该设备产生中断时所使用的向量号。

### Bridge Control Register (Offset 3Eh~3Fh)

位	描述	属性
---	----	----

0	奇偶校验响应使能 当此位置 1 时，如果桥在次级端口上收到或产生了一个中毒的 TLP，则将次级状态寄存器（Secondary Status Register）的 Master Data Parity Error 位置 1。否则不置该状态位。	RW
1	SERR#使能位 该位为 1 时，允许次级端口收到的 ERR_NONFATAL 和 ERR_FATAL 消息推向源级端口。否则不允许。	RW
2	ISA 使能位 ISA IO 地址是 PCI IO 地址空间头 64KB 中每 1KB 的最后 768B。该位为 1 时，桥会阻止对 ISA IO 地址访问的包从源级向次级移动。从次级向源级的 ISA IO 地址访问包不被阻止。	RW
3	VGA 使能位：用于改变桥对 VGA 兼容包的响应方式。VGA 兼容地址为： 存储器地址的 000A_0000h ~ 000B_FFFFh IO 地址：头 64KB 空间中的 3B0h~3BBh 或 3C0h~3DFh 该位为 1 时，只要控制寄存器中的 IO Enable 和 MEM Enable 有效，就允许桥从源级到次级传送 VGA 兼容包，不管桥中 IO Base/IO Limit 和 MEM Base/MEM Limit 所确定的地址范围是多少，也不管 ISA Enable 位的设置。	RW
4	保留位	RO
5	Master Abort Mode：不应用于 PCIE，硬连线为 0	RO
6	Secondary Bus Reset 次级总线复位 置该位为 1 将在次级端口产生热复位	RW
7~11	不应用于 PCIE，硬连线为 0	RO

### 3.1.1.2 PCIE 能力链表

PCI 能力寄存器以链表的形式组织，本 IP 的 PCI 能力链表指针结构如下

起始偏移地址	能力名称	能力 ID	下一个能力指针
0x00	PCI 兼容头标寄存器（类型 1）		0x44
0x44	PCI 电源管理能力	01h	0x4C
0x4C	PCIE 能力	10h	0x88
0x88	MSI 能力	05h	无

注意：US 端口和 DS5 端口没有 MSI 能力结构，能力链表到 PCIE 能力寄存器就结束了。只有 DS1,2,3,4 有 MSI 能力。

PCI/PCIE 的能力寄存器以链表的形式组织，下面是 PCIE 能力寄存器的链表结构：

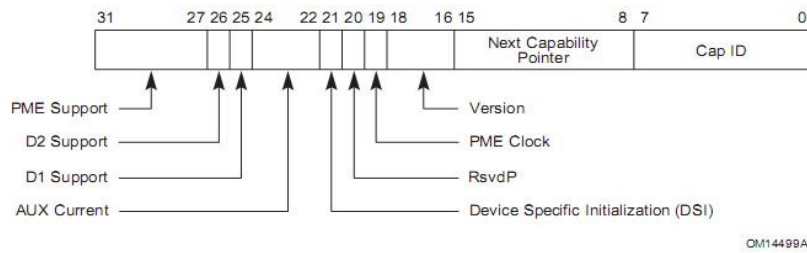
		31	23	15	7	0	Byte Offset	
Root Ports	Ports with Slots	PCI Express Capabilities Register		Next Cap Pointe	PCI Express Cap ID		00h	
		Device Capabilities						04h
		Device Status		Device Control				08h
		Link Capabilities						
	Device with Links	Link Status		Link Control				0Ch
		Slot Capabilities						10h
	Root Complex	Slot Status		Slot Control				14h
		Root Capabilities		Root Control				18h
	Event Collectors	Root Status						18h
		Device Capabilities 2						1Ch
		Device Status 2		Device Control 2				20h
		Link Capabilities 2						24h
		Link Status 2		Link Control 2				28h
		Slot Capabilities 2						2Ch
		Slot Status 2		Slot Control 2				30h
		Root Capabilities 2						34h
Ports with Slots	Device with Links	Root Status						38h
		Device Capabilities 2						
	Device Status 2		Device Control 2					
	Link Capabilities 2							
Device with Links	Link Status 2		Link Control 2					
	Slot Capabilities 2							
Slot Status 2		Slot Control 2						
Root Capabilities 2								

地址（字节地址）	寄存器名	缺省值	属性	备注
044h-045h	Power Management Capability Pointer	0x4c01	RO	电源管理能力指针。表示下一个能力寄存器地址为 4Ch
046h-047h	Power Management Capability Register	0xc803	RW/RO	电源管理能力寄存器
048h-04Ah	PM Control and Status Register	0x000008	RW/RO	电源管理控制/状态寄存器
04Bh	PM Data Register	0x00	RO	PM 数据寄存器，由于控制状态寄存器中的数据选择位无效，所以这个寄存器的值没有意义
04C-04Dh	PCIE Capability Pointer Register	0x0010 (US,DS5) 0x8810(DS1,2,3,4)	RO	PCIE 能力指针。US 和 DS5 端口没有其他能力寄存器了。DS1,2,3,4 端口下一个能力寄存器地址为 0x88H
04Eh-04Fh	PCIE Capability Register	0x0052(US) 0x0062(DS1,2,3,4,5)	RO	5 表示设备类型为 switch 上游端口，6 表示设备类型为 switch 下游端口
050h-053h	Device Capabilites Register	0x00008181	RO	设备能力寄存器缺省值表示 Max Payload Size 缺省能力为 256B
054h-055h	Device Control Register	0x2810	RW	设备控制寄存器缺省值表示缺省 MPS 为 128B，MRS 为 512B
056h-057h	Device Status Register	0x0000	RW1C	设备状态寄存器
058h-05Bh	Link Capability Register	0x0003ec82 (US) 0x0123ec82 (DS1) 0x0223ec82 (DS2) 0x0323ec82 (DS3) 0x0423ec82 (DS4) 0x0523ec82 (DS5)	RO	链路能力寄存器高 8 位表示端口号，下游端口 bit21 必须为 1
05Ch-005Dh	Link Control Register	0x0000	RW	链路控制寄存器缺省值表示未使能发送端进入 LOS 或 L1 状态
05Eh-05Fh	Link Status Register	0x0082	RO	链路状态寄存器主要状态有链路速度、协商后的链路宽度等

0060h-063h	Slot Capability Register	0x00000000(US,DS5) 0x0004787F(DS1) 0x000C787F(DS2) 0x0014787F(DS3) 0x001C787F(DS4)	RO	插槽能力寄存器 US 和 DS5 不出插槽 DS1,2,3,4 的插槽物 理 号分别为 0, 1, 2, 3
064h-065h	Slot Control Register	0x0000(US,DS5) 0x03c0(DS1,2,3,4)	RW	插槽控制寄存器 Power 和 attention 指 示灯缺省都为 off 状 态
066h-067h	Slot Status Register	0x0000	RO	插槽状态寄存器
068h-06Bh	Root Control/Capability Register	0x00000000	RO/RW	根能力寄存器 仅对 RC 有效, 对 switch 不起作用
06Ch-06Fh	Root Status Register	0x00000000	RO	根状态寄存器 仅对 RC 有效, 对 switch 不起作用
070h-073h	Device Capability2 Register	0x00000000	RO	不支持可编程的完成 超时设置
074h-077h	Device Control2/Status2 Register	0x00000000	RW	
078h-07Bh	Link Capability2 Register	0x00000000	RO	在 PCIE2.0 中, 这个 寄存器对于软件来说 视为保留寄存器, 不 起作用
07Ch-07Fh	Link Control2/Status2 Register	0x00000002	RO/RW	最高目标链路速率为 5GT/s
080h-083h	Slot Capability2 Register	0x00000000	RO	在 PCIE2.0 中, 这两 个寄存器对于软件来 说视为保留寄存器, 不起作用
084h-087h	Slot Status2/Control2 Register	0x00000000	RW/RO	
088h-089h	MSI Capability Register	0x0000(US,DS5) 0x0005(DS1,2,3,4)	RO	US 和 DS5 端口不支 持本端口产生 MSI 消 息, DS1,2,3,4 支持本 端口产生 MSI 消息 (热拔插消息) MSI 能力寄存器是能 力链表的最后一个, 后面不再有其他能力 寄存器了
08Ah-08Bh	MSI Control Register	0x0000(US,DS5) 0x0080(DS1,2,3,4)	RW	MSI 控制寄存器 缺省支持 64 位 MSI 地址, 不支持向量 Mask, 不支持多 MSI 消息
08Ch-08Fh	Message Address Low	0x00000000	RW	消息地址低 32 位
090h-093h	Message Address High	0x00000000	RW	消息地址高 32 位
094h-095h	Message Data Register	0x0000	RW	消息数据寄存器

### Power Management Capability Register ( Offset 46h~47h )

## 电源管理能力寄存器



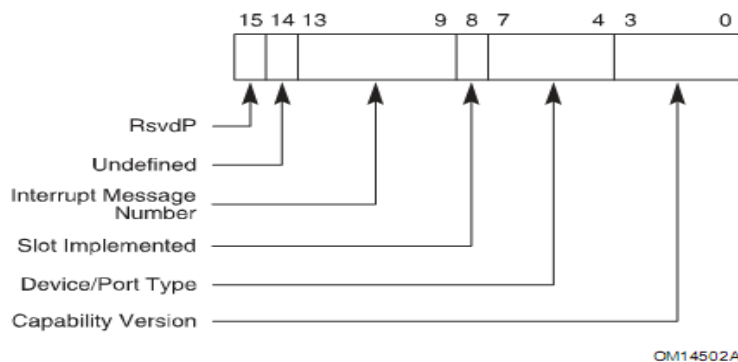
位	描述	属性	复位值
2:0	<b>版本号</b>	RO	011b
3	<b>PME 时钟</b> Pcie 不使用, 必须硬连线为 0	RO	0
5	设备特有的初始化位	RO	0
8:6	<b>辅助电源电流</b> 用于支持从 D3cold 唤醒时发送 PME 消息	RO	000: 本 switch IP 不支持辅助电源
9	<b>是否支持 D1 状态</b>	RO	0: 缺省不支持 D1 状态
10	<b>是否支持 D2 状态</b>	RO	0: 缺省不支持 D2 状态
15:11	在各位对应的状态下发送电源管理消息(PME)的能力	RO	11011: 表示在 D0,D1 和 D3hot, D3cold 状态下允许发送 PME 消息

**PM Control and Status Register and PM Data Register ( Offset 48h~4Bh )**

本 IP 不支持 PME 消息的发送, 这个寄存器可以不关心。

**PCIE Capability Register ( Offset 4Eh~4Fh )**

PCIE 能力寄存器



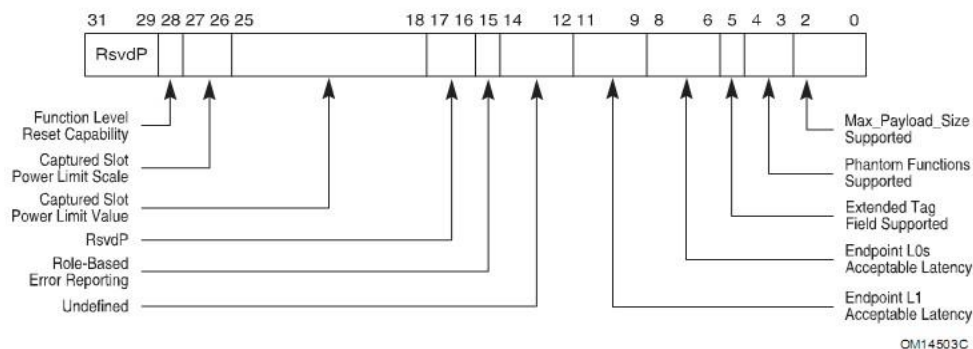
位	描述	属性	复位值
3:0	<b>版本号</b>	RO	010b: 表示该能力结构遵循 PCIE2.0 规范



7:4	<b>设备/端口类型</b> 0000b: PCIE Endpoint 0001b: Legacy PCI Endpoint 0100b: Root Port of PCIE Root Complex 0101b: PCIE switch 的上游端口 0110b: PCIE switch 的下游端口 0111b: PCIE 到 PCI/PCI-X 桥 1000b: PCI/PCI-X 到 PCIE 桥 1001b: Root Complex Integrated Endpoint 1010b: Root Complex Event Collector	RO	US 端口为 0101b: 表示是 switch 的上游端口 DS1,2,3,4,5 端口为 0110b: 表示是 switch 的下游端口
8	<b>是否连接插槽</b> 为 1 表示该链路连接插槽	Hwinit	所有端口都缺省为 0, 表示不连接插槽。该位为硬件初始化位, 连接插槽的端口可以在固件初始化的时候将这一位写为 1
13:9	<b>中断消息数量</b> 如果本功能支持多条 MSI 消息, 这个寄存器表示本功能产生的 MSI 消息相对于基本 MSI 消息数据的偏移	RO	所有端口缺省值都为 0, 表明该端口产生的 MSI 消息是第一号 MSI 消息

### Device Capabilites Register ( Offset 50h~53h )

设备能力寄存器

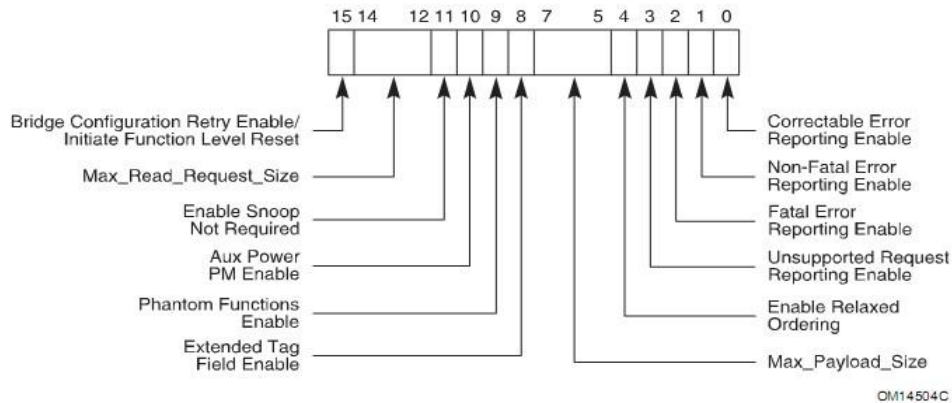


位	描述	属性	复位值
2:0	<b>支持的最大数据载荷</b> 000b: 128B 001b: 256B 010b: 512B 011b: 1024B 100b: 2048B 101b: 4096B 101b: 保留 101b: 保留	RO	001b: 表示本 IP 支持的最大数据载荷为 256B

4:3	<b>假冒功能支持 (Phantom Function Supported)</b> 如果一个功能能够挂起的请求数 (受 Tag 数量的限制) 不够用, 可以通过 RequestID 中功能号中不用的高位来进一步扩展	RO	00b: 不支持假冒功能
5	<b>扩展 TAG 域支持</b> 0: 支持 5 位 Tag 域, 只能挂起 32 个请求 1: 支持 8 位 Tag 域, 能挂起 256 个请求	RO	0: 支持 5 位 Tag 域
8:6	<b>端点可接受的 L0s 等待时间</b> 表示端点可承受的从 L0s 电源状态回到 L0 状态的总等待时间 000b: 最大 64ns 001b: 最大 128ns 010b: 最大 256ns 011b: 最大 512ns 100b: 最大 1us 101b: 最大 2us 110b: 最大 4us 111b: 无限长	RO	010b: 最大 256ns
11:9	<b>端点可接受的 L1 等待时间:</b> 表示端点可承受的从 L1 电源状态回到 L0 状态的总等待时间 000b: 最大 1us 001b: 最大 2us 010b: 最大 4us 011b: 最大 8us 100b: 最大 16us 101b: 最大 32us 110b: 最大 64us 111b: 无限长	RO	100b: 最大 16us
15	<b>遵循规则的报错</b>	RO	1: 表示遵循 PCIE1.0a, 1.1 及后续的 PCIE 规范中的错误报告规则
25:18	<b>Captured Slot Power Limit Value</b> 表示插槽所能提供的电源能力的上限 (瓦特数) 这个值由 Set_Slot_Power_Limit 消息设置, 或者硬连线为 0	RO	00b
27:26	<b>Captured Slot Power Limit Scale</b> (仅对上游端口有效) 表示插槽电源能力的系数值 00b = 1.0x 01b = 0.1x 10b = 0.01x 11b = 0.001x	RO	00b
28	<b>Function Level Reset Capability</b> 功能级复位能力, 仅对 EP 有效	RO	0b

### Device Control Register ( Offset 54h~55h )

设备控制寄存器

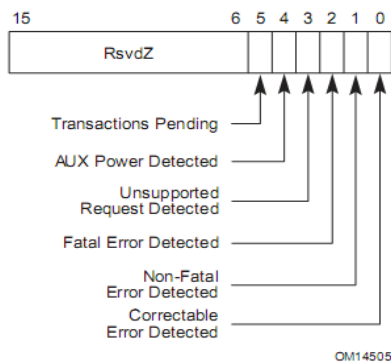


位	描述	属性	复位值
0	<b>可纠正错报错使能。</b> 控制 ERR_COR 消息的发送	RW	0b: 不使能可纠正错报错
1	<b>非致命错报错使能</b> 控制 ERR_NON_FATAL 消息的发送	RW	0b: 不使能非致命错报错
2	<b>致命错报错使能</b> 控制 ERR_FATAL 消息的发送	RW	0b: 不使能致命错报错
3	<b>不支持的请求 (UR Request) 报错使能</b> 如果被使能, 则在收到 UR 请求的时候能够产生错误消息	RW	0b: 不使能 UR 报错
4	<b>松散序使能。</b> 如果该位使能, 则本功能所产生的 TLP 头中的 Relax Order 域可以置为‘1’, 使这个 TLP 不必遵循 PCIE 包的强序规则	RW	1b: 支持松散序
7:5	<b>最大数据净荷 (MPS)</b> 作为接受者, 必须按照这个最大数据净荷来接收 TLP。作为发送者, 产生的 TLP 必须小于这个值。这个值可以在设备能力寄存器支持的 MPS 范围能设置: 000b: 128B 001b: 256B 010b: 512B 011b: 1024B 100b: 2048B 101b: 4096B 101b: 保留 101b: 保留	RW	000b: 缺省最大数据载荷为 128B
8	<b>扩展 TAG 域使能</b> 如果该位为 1, 则本功能的请求者可以使用 8 位 Tag 域, 否则只能使用 5 位 Tag 域	RW	0b: 不使能扩展 TAG 域, 只能使用 5 位 TAG
9	<b>假冒功能 (Phantom Function) 使能</b> 如果该位使能, 允许使用假冒功能来扩展 TAG	RW	0b: 不使能假冒功能
10	<b>辅助电源 PM 使能</b>	RW	0b: 不支持辅助电

	该位使能表示设备需要辅助电源		源
11	<b>非监听 (No Snoop) 使能</b> 当这一位被使能, 允许本功能产生的 TLP 中的 No Snoop 域为 1, 表示不要求硬件保证 cache 一致性, 但只能是地址不落在系统可 cache 空间的 TLP 才能将其 No Snoop 位置为 1。	RW	1b: 使能非监听
14:12	<b>最大读数据量</b> 定义本功能作为请求者时产生的读请求所要求的最大数据量 000b: 128B 001b: 256B 010b: 512B 011b: 1024B 100b: 2048B 101b: 4096B 101b: 保留 101b: 保留	RW	010b: 本功能支持的最大读数据量为 512B
15	对于 PCIE-PCIX 桥设备来说, 该位是桥配置重传使能。允许对桥下设备的配置访问返回“配置访问重试状态”(Configuration Request Retry Status-CRS) 对端点设备来说, 该位为‘1’则发起功能级复位	RW	Switch 是桥设备, 该位的含义为第一个。0b: 不使能配置重传

### Device Status Register ( 56h~57h )

设备状态寄存器



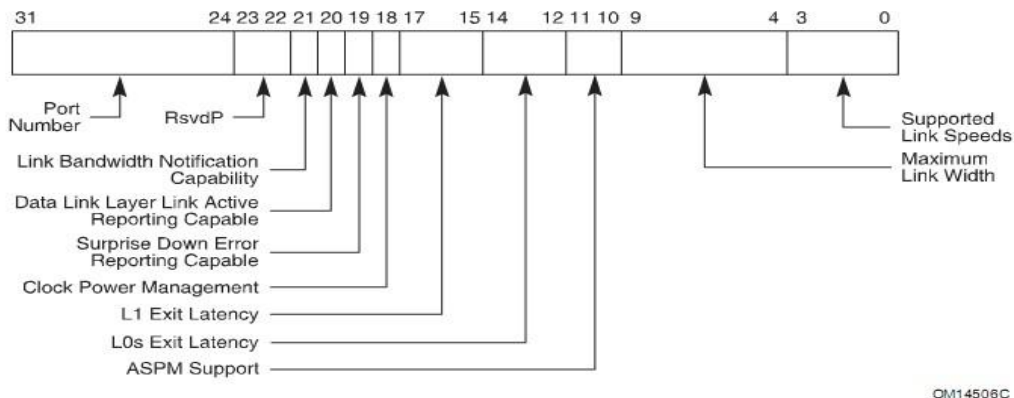
RW1C 属性代表可读写并且写 1 清除。

位	描述	属性	复位值
0	<b>检测到可纠正错</b> 该位为 1 表示检测到可纠正错, 不论设备控制寄存器中的错误报告位是否被使能, 检测到的可纠正错都必须记录在这一位里	RW1C	0
1	<b>检测到非致命错</b> 该位为 1 表示检测到非致命错, 不论设备控制寄存器中的错误报告位是否被使能, 检测到的非	RW1C	0

	致命错都必须记录在这一位里		
2	<b>检测到致命错</b> 该位为 1 表示检测到致命错，不论设备控制寄存器中的错误报告位是否被使能，检测到的致命错都必须记录在这一位里	RW1C	0
3	<b>检测到不支持的请求 (UR)</b> 该位为 1 表示收到了不支持的请求 (UR)。不论设备控制寄存器中的错误报告位是否被使能，检测到的 UR 错都必须记录在这一位中	RW1C	0
4	<b>检测到辅助电源</b> 对于需要辅助电源的功能来说，检测到辅助电源则将该位置 1	RO	0
5	<b>事务挂起状态</b> 端点设备： 当该位为 1 时表明功能发出的 Non Posted 请求还没有全部完成。当所有挂起的 NP 请求都收到完成或超时，该位清除根或 switch 端口： 当该位为 1 时表明该端口本身（用该端口本身的 RequestID）产生的 Non Posted 请求还没有全部完成。当所有这样的挂起 NP 请求都收到完成或超时，该位清除。不支持产生 NP 请求的根或 switch 端口可以将该位硬连线为‘1’。	RO	0

### Link Capability Register ( 58h~5Bh )

链路能力寄存器



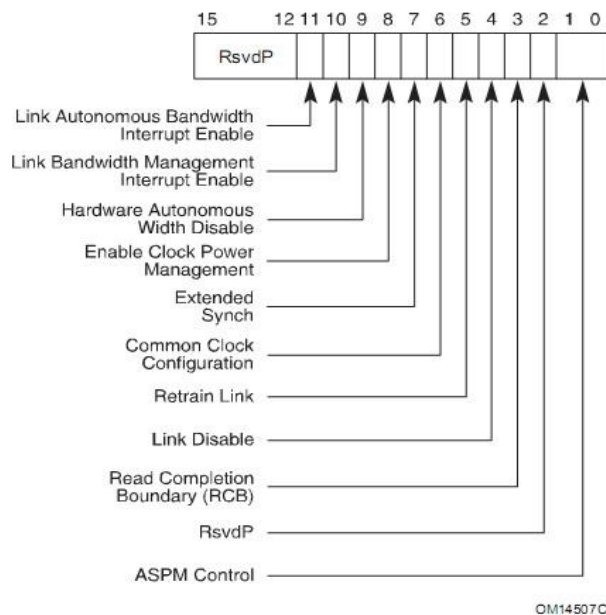
位	描述	属性	复位值
3:0	<b>支持的链路速率</b> 该位定义了相应端口支持的链路速率 0001b: 支持 2.5GT/s 链路速率 0010b: 支持 5GT/s 链路速率 其他编码均保留	RO	0010b: 支持 5GT/s 链路速率
9:4	<b>支持的最大链路宽度</b> 00000b: 保留 00001b: 1x 00010b: 2x	RO	00100b: 支持的最大链路宽度为 8x

	00100b: 4x 01000b: 8x 01100b: 12x 01000b: 16x 10000b: 32x		
11:10	<b>支持“活动状态电源管理”（ASPM）的等级</b> 00b: 保留 01b: 支持链路进入 L0s 状态 10b: 保留 11b: 支持链路进入 L0s 和 L1 状态	RO	11b: 支持链路进入 L0s 和 L1 状态
14:12	<b>L0s 退出延时</b> 该域表示一个链路从 L0s 状态退出到达 L0 状态必须在这个时间内完成 000b: 小于 64ns 001b: 64ns ~ 128ns 010b: 128ns ~ 256ns 011b: 256ns ~ 512ns 100b: 512ns ~ 1us 101b: 1us ~ 2us 110b: 2us ~ 4us 111b: 4us 以上	RO	110b: 2us~4us
17:15	<b>L1 退出延时</b> 该域表示一个链路从 L1 状态退出到达 L0 状态必须在这个时间内完成 000b: 小于 1us 001b: 1us ~ 2us 010b: 2us ~ 4us 011b: 4us ~ 8us 100b: 8us ~ 16us 101b: 16us ~ 32us 110b: 32us ~ 64us 111b: 64us 以上	RO	111b: 64us 以上
18	<b>时钟电源管理</b> 对于上游端口，该位为 1 表示链路在 L1 或 I23Ready 状态下可以关掉参考时钟	RO	0b: 不能关掉参考时钟
19	<b>Surprise Down Error Reporting Capable</b> 对于下游端口，如果支持检测和报出 Surprise Down Error 功能（可选功能），则必须置该位为 1，否则置为 0。对于上游端口和不支持该可选功能的必须硬连线为 0。	RO	0b: 不支持该功能
20	<b>数据链路层链路活跃报告能力</b> 对于下游端口，如果支持报出“数据链路控制与管理状态机”的 DL_Active 状态的功能（可选），则该位必须硬连线为 1，支持热拔插的端口也必须硬连线为 1。对于上游端口以及不支持该可选功能的，都硬连线为 0	RO	0b: 不支持数据链路层链路活跃报告
21	<b>链路带宽通知及中断机制。</b>		上游端口 US

	当该位为 1 时，当链路宽度发生变化时，允许状态位发生变化且生成中断通知软件。 根端口及 switch 下游端口，如果链路宽度大于 1x 或者支持多种链路速率，都必须支持该功能。 该功能不应用于端点设备、PCIE/PCIX 桥及 switch 上游端口	0b: 不支持 下游端口 DS1,2,3,4,5 1b: 支持链路带宽通知
31:24	<b>端口号</b> 表明给定 PCIE 链路所对应的 PCIE 端口号	上游端口 US 8'h0: 上游端口号为 0 下游端口 DS1 8'h1: 端口号为 1 下游端口 DS2 8'h2: 的端口号为 2 下游端口 DS3 8'h3: 端口号为 3 下游端口 DS4 8'h4: 下游端口 1 的端口号为 1 下游端口 DS5 8'h5: 端口号为 5

### Link Control Register ( 5Ch ~ 5Dh )

链路控制寄存器



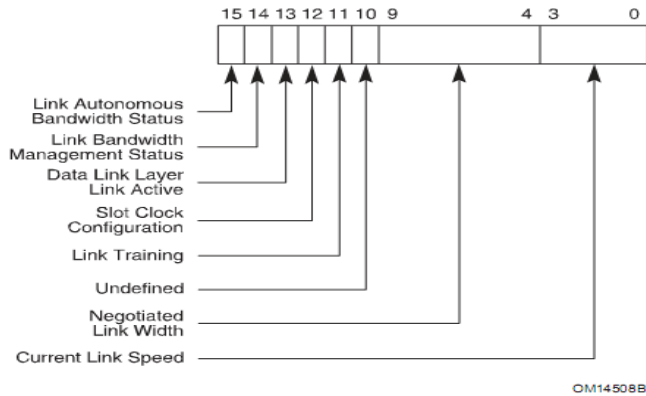
位	描述	属性	复位值
1:0	活跃状态电源管理 (ASPM) 控制 00b: 不使能	RW	00b: 不使能



	01b: 使能链路进入 L0s 状态 10b: 使能链路进入 L1 状态 11b: 使能链路进入 L0s 和 L1 状态 L0s 使能是指使能发送链路进入 L0s 装填, 即使这两位为 0, 接收链路必须能够进入 L0s 状态。 软件对上游端口的 L1 使能必须早于对下游端口的 L1 使能		
3	对于 switch 来说, 该位不用, 必须硬连线为 0	RO	0b: 不用
4	<b>Link Disable</b> 置该位为 1 直接使链路训练状态机 LTSSM 进入 Disable 状态 对于 EP, PCIE/PCIX 桥和 switch 上游端口来说该位为保留位。	RW	0b
5	<b>链路重训练 (Retrain Link)</b> 该位写为 1 将使链路训练状态机 LTSSM 直接进入 Recovery 状态 对于 EP, PCIE/PCIX 桥和 switch 上游端口来说该位为保留位。 读该位的返回值始终为 0	RW	0b
6	<b>共用时钟配置 (Common Clock Configuration)</b> 该位为 1 表明链路两端的单元用的是同一个参考时钟。为 0 表示链路两端用的是异步的参考时钟。在链路两端改变这一位的值, 软件必须写 Retrain Link 位使链路两端重新进行训练。	RW	0b
7	<b>扩展同步 (Extended Synch)</b> 本位置 1, 强制在退出 L0s 和 Recovery 状态时发送更多的有序集, 如 NFS。该模式可以支持外部设备 (如逻辑分析仪) 监测链路到达位及符号锁定的时间	RW	0b
8	<b>使能时钟电源管理</b> 0b: CLKREQ#信号必须保持为低 1b: 允许用 CLKREQ#来管理链路参考时钟	RW	0b
9	<b>不使能硬件自治链路宽度 (Hardware Autonomous Width Disable)</b> 该位为 1 时, 除了在链路不可靠时降低链路宽度这种情况, 硬件不能改变链路的宽度	RW	0b
10	<b>链路带宽管理中断使能</b> 该位被置 1 时, 将使能“链路带宽管理状态”(Link Bandwidth Management Status bit)为 1 时产生中断的功能。 该位对 EP, PCIE/PCIX 桥及 switch 上游端口来说无效, 是保留位。	RO	0b
11	<b>链路自动带宽中断使能</b> 该位为 1 时, 使能“链路自动带宽状态”(Link Autonomous Bandwidth Status bit)为 1 时产生中断。 该位对 EP, PCIE/PCIX 桥及 switch 上游端口来说无效, 是保留位。	RO	0b

### Link Status Register ( 5Eh~5Fh )

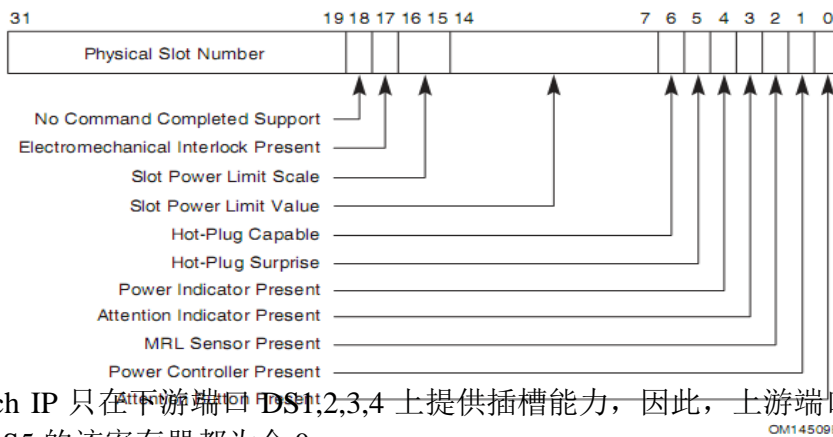
链路状态寄存器



位	描述	属性	复位值
3:0	<b>当前链路速率</b> 这个域表明当前链路已协商好的链路速率 001b: 2.5GT/s PCIE 链路 010b: 5.0GT/s PCIE 链路 其他编码保留。当链路还未 Linkup 之前, 这个值是不确定的。	RO	2h: 缺省状态下链路速率为 5.0GT/s
9:4	<b>协商后的链路宽度</b> 这个域表明当前链路已协商好的链路宽度 00 0001b: 1x 00 0010b: 2x 00 0100b: 4x 00 1000b: 8x 00 1100b: 12x 01 0000b: 16x 10 0000b: 32x 其他编码都保留。当链路还未 Linkup 之前, 这个值是不确定的。	RO	
11	<b>链路正在训练</b> 置该位为 1 表明链路训练状态机 LTSSM 处在 Configuration 或 Recovery 状态或者 Retrain Link 位被写为 1 但重训练还未开始。当 LTSSM 退出 Configuration 或 Recovery 状态时, 硬件会将这位清零。 对于 EP, PCIE/PCIX 桥和 swithc 上游端口来说该位为保留位。	RO	0b
12	<b>插槽时钟配置</b> 该位为 1 表明本单元用的参考时钟和插槽上提供的参考时钟是同一个时钟。如果设备用单独参考时钟, 则该位必须清零。	Hwinit	0b
13	<b>数据链路层链路活跃</b> 如果链路控制寄存器中的 Data Link Layer Link Active Reporting Capability 被使能, 则在数据链路控制管理状态机的状态为 DL_Active 时, 该位置 1, 否则为 0。如果上述能力未被使能, 则该位必须硬连线为 0。	RO	0b
14	<b>链路带宽管理状态</b> 该位由硬件置位, 表明以下情况之一发生并且不经过	RW1C	0b

	<p><b>DL_Down 状态</b>                  在 Retrain Link 写入 1 以后，链路重训练已经完成 注意：任何对 Retrain Link 的写 1 操作都会使该位置一，包括链路由于其他原因正在重训练的过程中。由于链路不可靠或者 LTSSM 超时或这上层的操作，硬件改变了链路的速率或宽度。                  对于 EP, PCIE/PCIX 桥和 swithc 上游端口来说该位为保留位。不实现“链路带宽通知能力”的功能，这一位必须硬连线为 0</p>		
15	<p><b>链路自治带宽状态 (Link Autonomous Bandwidth Status)</b>                  该位硬件自动置位，为 1 表明链路因为可靠性以外的原因改变了速率或带宽。                  不实现“链路带宽通知能力”的设备该位保留</p>	RWIC	0b

### Slot Capabilities Register ( 060h~063h ) 插槽能力寄存器



Switch IP 只在下游端口 DS1,2,3,4 上提供插槽能力，因此，上游端口 US 和内部下游端口 DS5 的该寄存器都为全 0。

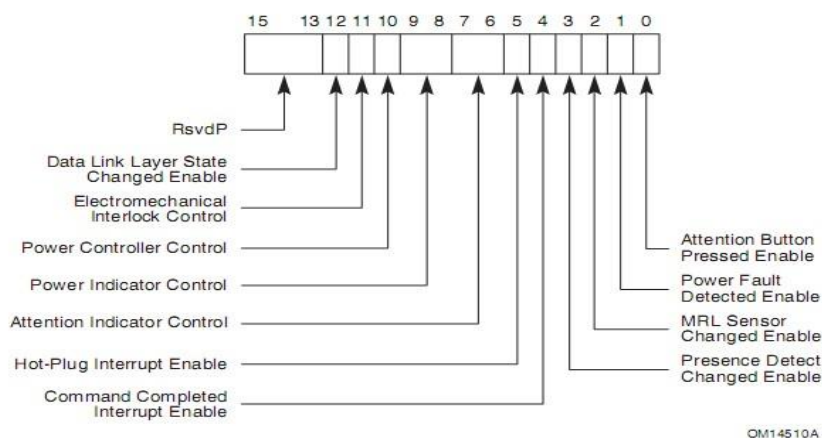
位	描述	属性	复位值
0	<b>注意按钮存在</b> 为 1 表明本插槽存在底板控制的 Attention 按钮	Hwinit	1b
1	<b>电源控制存在</b> 为 1 表明本插槽实现了软件可编程的电源控制。	Hwinit	1b
2	<b>手动锁扣传感器 (MRL) 存在</b> 为 1 表明本插槽支持手动锁扣传感器	Hwinit	1b
3	<b>注意指示灯存在</b> 为 1 表明本插槽存在底板控制的注意指示灯	Hwinit	1b
4	<b>电源指示灯存在</b> 为 1 表明本插槽存在底板控制的电源指示灯	Hwinit	1b
5	<b>意外热拔插 (Hot-plug Surprise)</b> 为 1 表明该插槽上的适配器可以在未事先通知系统的情况下进行热拔插。这一位使操作系统能够在发生意外热拔插的时候能够不影响软件操作。	Hwinit	1b
6	<b>热拔插能力</b> 为 1 表明本插槽支持热拔插	Hwinit	1b

14:7	<b>插槽电源上限值</b> 与电源系数共同决定本插槽所能提供的功率，编码如下： F0h = 250W F1h = 275W F2h = 300W F3h to FFh = 保留 对这个寄存器的写会导致该端口产生 Set_Slot_Power_Limit 消息	Hwinit	F0h: 缺省插槽功率为 250W
16:15	<b>插槽电源系数</b> 这个系数与上述插槽电源上限相乘得到真正的功率值，编码如下： 00b = 1.0 x 01b = 0.1x 10b = 0.01x 11b = 0.001x 对这个寄存器的写会导致该端口产生 Set_Slot_Power_Limit 消息	Hwinit	00b: 缺省为 1.0x
17	<b>机电互锁存在</b> 为 1 表明该插槽存在底板供电的机电互锁装置。	Hwinit	0b
18	<b>No Command Completed Supported</b> 该位为 1 表明当热拔插控制器发出的命令完成后本插槽不产生软件通知。	Hwinit	1b
31:19	<b>物理插槽号</b> 该域定义了与本端口相连的物理插槽号	Hwinit	DS1: 000h DS2: 001h DS3: 002h DS4: 003h

### Slot Control Register (64h~65h)

插槽控制寄存器。该寄存器只在支持插槽的 DS1,2,3,4 端口有效，对于不支持插槽的 US, DS5 端口，该寄存器无效，为全 0。

对于支持热拔插能力的下游端口，对这个寄存器的写操作将会引起相应的热拔插命令产生。



位	描述	属性	复位值
0	<b>注意按钮按下使能</b> 该位为 1，将在注意按钮按下事件发生后向软件发出通知。	RW	0b

1	<b>电源错误检查使能</b> 该位为 1，将在电源错误发生后向软件发出通知。	RW	0b
2	<b>手动锁扣传感器（MRL）状态变化使能</b> 该位为 1，将在 MRL 状态发生变化时向软件发出通知。	RW	0b
3	<b>在位检测变化使能</b> 该位为 1，当检测到在位检测状态发生变化时向软件发出通知。	RW	0b
4	<b>命令完成中断使能</b> 如果插槽能力寄存器的 bit18 为 0， 该位为 1 时，当热拔插控制器完成一条热拔插命令后向软件发出通知。	RW	0b
5	<b>热拔插中断使能</b> 该位为 1，使能本端口发生热拔插事件时产生中断。	RW	0b
7:6	<b>注意指示灯控制</b> 如果实现了注意指示灯，则对这两位的写将改变注意指示灯的状态。编码如下： 00b: 保留 01b: 点亮 10b: 闪烁 11b: 关闭	RW	11b: 缺省注意指示灯为关闭
9:8	<b>电源指示灯</b> 如果实现了电源指示灯，则对这两位的写将改变注意指示灯的状态。编码如下： 00b: 保留 01b: 点亮 10b: 闪烁 11b: 关闭	RW	11b: 缺省电源指示灯为关闭
10	<b>电源控制器控制</b> 如果实现了电源控制器，则对该位的写将改变插槽电源状态。状态编码如下： 0b: Power On 1b: Power Off 如果插槽能力寄存器中的电源控制位（bit1）为 0，则该位不起作用	RW	0b: 缺省为关电状态
11	<b>机电互锁控制</b> 如果实现了机电互锁，该位写 1 使机电互锁状态变为锁紧。对该位写 0 不起作用，读该位总返回 0。	RW	0b
12	<b>数据链路层状态变化使能</b> 如果链路能力寄存器中实现了“数据链路活跃能力”，该位置 1 时，如果链路状态寄存器中的“数据链路活跃报告”位发生变化，则向软件报告。	RW	0b

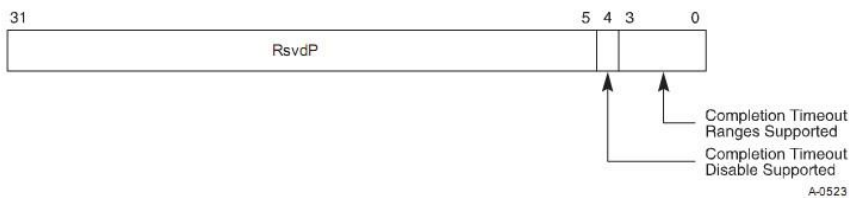
### Slot Status Register (66h~67h)

位	描述	属性	复位值
0	<b>注意按钮已按下</b> 该位为 1，表明注意按钮已按下	RW1C	0b
1	<b>检测到电源错误</b> 该位为 1，表明检测到电源错误	RW1C	0b
2	<b>手动锁扣传感器（MRL）状态变化</b> 该位为 1，表明 MRL 传感器的状态发生了变化。	RW1C	0b

3	<b>在位检测状态 (Present Detect State) 位变化</b> 该位为 1, 表明”Present Detect State”位 (本寄存器的 bit6) 发生了变化	RW1C	0b
4	<b>命令已完成</b> 如果支持“命令完成通知能力”, 该位为 1 时, 向软件表明热拔插控制器已完成前一条命令, 可以接收下一条命令了。	RW1C	0b
5	<b>MRL 传感器状态</b> 该位代表 MRL 传感器的状态: 0b: MRL 关闭 01: MRL 打开	RO	0b
6	<b>在位检测状态</b> 该位表明插槽上是否有卡插入。这一在位信息是由物理层的带内在位检测和插槽的带外检测机制逻辑或的结果。带外检测需要外部供电和在位检测引脚的支持。 0b : 插槽为空 1b : 插槽上有插卡	RO	0b
7	<b>机电互锁状态</b> 如果实现了机电互锁, 这一位表示机电互锁的状态 0b: 机电互锁解锁 1b: 机电互锁锁定	RO	0b
8	<b>数据链路层状态变化</b> 该位置 1 表明链路状态寄存器中的“数据链路层链路活跃状态”发生过变化。	RW1C	0b

### Device Capability2 Register(70h ~7Ch)

设备能力寄存器 2。



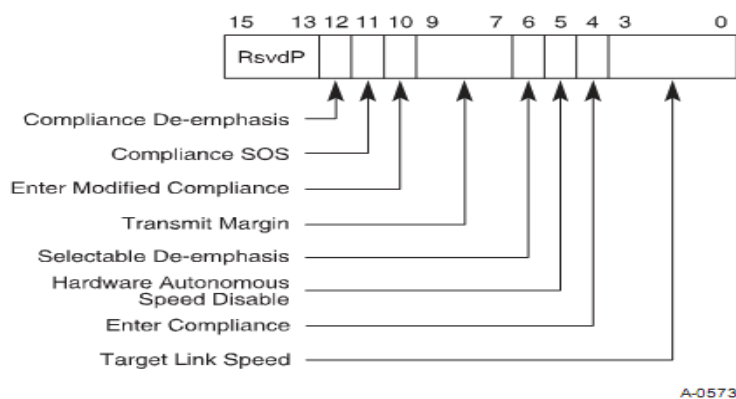
位	描述	属性	复位值
---	----	----	-----

3:0	<b>支持的完成超时范围</b> 该域表明本功能支持的系统软件可变成的完成超时时间范围（可选功能）。只应用与根端口和端点设备及PCIE/PCIX桥自身发出请求的情况。超时时间范围为： Range A：50us ~ 10ms Range B：10ms ~ 250ms Range C：250ms ~ 4s Range D：4s ~ 64s 范围 编码如下 0000b：不支持可编程的完成超时范围，完成超时时间固定在 50us ~ 50ms 之间 0001b： Range A 0010b：Range A and Range B 0011b：Range A and Range B 0100b：Range B and Range C 0101b：Range B and Range C 0110b：Range A,B and C 0111b：Range A,B and C 1000b：Range B,C and D 1001b：Range B,C and D 1010b：Range A,B,C and D 1011b：Range A,B,C and D 1100b：Range A,B,C and D 1101b：Range A,B,C and D 1110b：Range A,B,C and D 1111b：Range A,B,C and D 其他所有编码均保留	Hwinit	0000b：不支持可编程的完成超时范围
4	<b>不使能完成超时（Completion Timeout Disable Supported）</b> 该位为 1 时，完成超时检测机制不被使能。 当该位为 0 时，如果有悬挂的请求，允许（但不要求）硬件对这些请求进行完成超时检查。	RO	0b

### Device Control2/Status2 Register ( 74h ~ 77h )

由于 Device Capability2 Register 中的相应能力位都无效，因此控制和状态寄存器的相应控制位与状态位也都没有意义。

### Link Control2 Register (7Ch ~ 7Dh) 链路控制寄存器 2



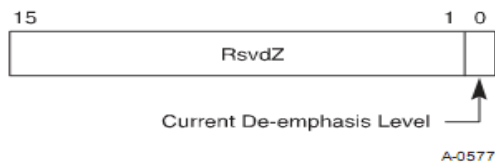
位	描述	属性	复位值
---	----	----	-----



3:0	<b>目标链路速率 (Target Link Speed)</b> 规定了链路的最高速率，编码如下： 0001b: 2.5GT/s 目标链路速率 0010b: 5.0GT/s 目标链路速率 其他编码为保留。 如果这个域中写入的值不包含在链路能力寄存器的 Supported Link Speeds 中，结果将是不确定的。	RWS/RsvdP	0010b
4	<b>进入 Compliance 状态 (Enter Compliance)</b> 软件将链路两端的该位写 1，再置热复位，就可以强制链路两端以 Target Link Speed 进入 Compliance 状态。	RWS/RsvdP	0b
5	<b>禁止硬件自动调整链路速率 (Hardware Autonomous Speed Disable)</b> 置该位为 1，则禁止硬件在可靠性以外的其他原因下改变链路速率。	RWS/RsvdP	0b
6	<b>选定的预减重值 (Selected De-emphasis)</b> 当链路工作在 5.0GT/s 时，这一位可以选择不同的预减重值： 1b: -3.5db 0b: -6db 当链路工作在 2.5GT/s 时，这一位没有影响。这一位不应用于 EP, PCIE-PCI/PCIX 桥以及 switch 上游端口，必须硬连线为 0	Hwinit	0b
9:7	<b>发送摆幅 (Transmit Margin)</b> 该域可以控制发送引脚的摆幅。该域在 LTSSM 进入 Polling.Configuration 状态时被复位为 000b。编码如下： 000b: 正常操作范围 001b: 800~1200mv for full swing, 400~700mv for half swing 010b – (n-1) : n 必须大于 3 小于 7 n – 111b: 保留 该寄存器仅用于调试过程中的 Compliance test。系统和软件只能在这种情况下改变该寄存器的值。其他状态都必须保持缺省值	RW1C	000b
10	<b>进入 Modified Compliance 状态</b> 该位置为 1 时，如果 LTSSM 进入 Polling.Compliance 状态，则发送端发送 Modified Compliance Pattern。该寄存器仅用于调试过程中的 Compliance test。系统和软件只能在这种情况下改变该寄存器的值。其他状态都必须保持缺省值	RWS/RsvdP	0b
11	<b>Compliance SOS</b> 该位被置为 1 时，要求 LTSSM 在 Polling.Compliance 状态下发送 (Modified) Compliance Pattern 时周期性的插入 SKP 有序集。	RWS/RsvdP	0b

12	<b>Compliance De-emphasis</b> 这一位设置了 Polling.Compliance 状态下的预减轻重值，如果这个状态的进入是由 Enter Compliance 位置 1 引用的。 1b: -3.5db 0b: -6db 当链路工作在 2.5GT/s 时，这一位没有影响。该寄存器仅用于调试过程中的 Compliance test。系统和软件只能在这种情况下改变该寄存器的值。其他状态都必须保持缺省值	RWS/RsvdP	0b
----	--	-----------	----

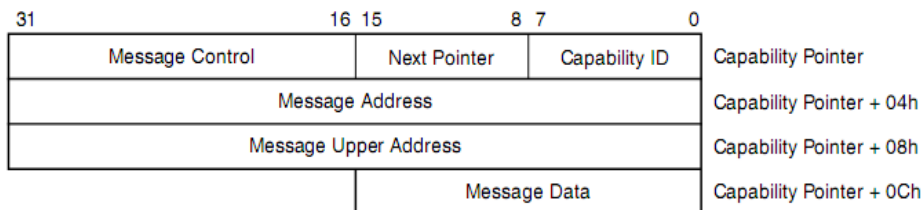
### Link Status2 Register ( 7Eh~7Fh )



位	描述	属性	复位值
3:0	<b>链路预减轻重值</b> 当链路工作在 5GT/s 时，该位反映出链路的预减轻重值： 1b: -3.5db 0b: -6db 当链路工作在 2.5GT/s 时，这一位没有意义。	RO	0b

### MSI 能力指针寄存器 ( 88h ~ 89h )

MSI 能力指针寄存器



Capability Structure for 64-bit Message Address and Per-vector Masking

上游端口 US 和内部下游端口 DS5 不支持产生 MSI 消息，因此 MSI 能力结构中的所有寄存器都为 0。下面有关 MSI 寄存器的说明都是针对下游端口 DS1,2,3,4 的。

位	描述	属性	复位值
7:0	<b>MSI 能力 ID</b> 05h 代表该能力结构为 MSI 能力	RO	05h
15:8	<b>下一能力结构指针</b>	RO	00h: 该值为 0 代表没有其他能力链表了

### Message Control Register ( 8Ah ~ 8Bh )

消息控制寄存器

位	描述	属性	复位值
0	<b>MSI 使能</b> 1b: 允许使用 MSI 产生中断而不允许用 INTx 0b: 不允许使用 MSI 系统配置软件可以对该位进行读写, 设备驱动 程序不允许写这一位。	RW	0b: 缺省状态为不允许使用 MSI
3:1	<b>多消息能力 (Multiple Message Capability)</b> 该域定义了功能支持的 MSI 消息个数 编码                      多 MSI 数 000b:                      1 001b:                      2 010b:                      4 011b:                      8 100b:                      16 101b:                      32 110b:                      保留 111b:                      保留	RO	000b: 只支持一条 MSI 消息, 不支持多 MSI
6:4	<b>多消息使能 (Multiple Message Enable)</b> 软件可以通过写该域在多消息能力定义的范围 内使能多个 MSI 消息 编码                      多 MSI 数 000b:                      1 001b:                      2 010b:                      4 011b:                      8	RW	000b: 仅使能一条 MSI 消息
	100b:                      16 101b:                      32 110b:                      保留 111b:                      保留		
7	<b>64 位地址能力 (64bit Address Capability)</b> 1: 支持 64 位消息地址 0: 不支持 64 位消息地址	RO	1b: MSI 消息地址为 64 位
8	<b>向量屏蔽能力 (Per-vector Masking Capability)</b> 1: 支持对每个 MSI 向量的屏蔽, 需要屏蔽位和悬挂位寄存器存在 0: 不支持对每个 MSI 向量的屏蔽, 不需要屏蔽位和悬挂位寄存器的存在	RO	0b: 不支持 MSI 向量屏蔽
15:9	保留	RO	00h

### Message Address Register ( 8Ch ~ 8Fh )

MSI 消息地址寄存器

位	描述	属性	复位值
1:0	保留 对这两位的读总返回 0, 对这两位的写不起作用	RO	00b: MSI 消息地址为双字对界

31:2	<b>系统确定的消息地址</b> 如果被 MSI 使能, 则该地址即为产生 MSI 消息事务时的存储器写地址的低 32 位	RW	00000000h
------	--	----	-----------

### Message Upper Address Register ( 90h ~ 93h )

高位 MSI 消息地址寄存器

位	描述	属性	复位值
31:0	<b>消息地址的高 32 位</b> 如果被 MSI 使能, 并且消息地址是 64 位的, 则该地址即为产生 MSI 消息事务时的存储器写地址的高 32 位	RW	00000000h

### Message Data Register ( 94h ~ 95h )

位	描述	属性	复位值
15:0	<b>系统指定的 MSI 消息数据</b> 如果被 MSI 使能, 则该域为 MSI 消息事务的数据域。如果多 MSI 消息使能, 则产生的 MSI 消息事务中允许改变消息事务的低位。如果未使能多 MSI 消息, 则 MSI 消息事务中的数据域只能是该寄存器的值。	RW	0000h

### 3.1.1.3 PCIE 扩展能力寄存器

本 switch 支持 PCIE 扩展能力结构, 组织方式仍然为能力链表方式, 共支持三种能力结构, 分别高级错误报告能力、虚通道能力和 VSEC (Vendor-Specific Extended Capability) 能力, 链表组织结构如下:

起始偏移地址	能力名称	能力 ID	下一个能力指针
0x100	高级错误报告能力	0001h	0x140
0x138	虚通道能力	0002h	03F8
0x3f8	VSEC 能力	000bh	无

高级错误报告能力寄存器结构如下:

字节偏移	字节 3	字节 2	字节 1	字节 0
0x100	PCI-E 扩展能力头			
+0x4	不可纠正错状态寄存器			
+0x8	不可纠正错屏蔽寄存器			
+0xC	不可纠正错严重性寄存器			
+0x10	可纠正错状态寄存器			
+0x14	可纠正错屏蔽寄存器			
+0x18	高级错能力和控制寄存器			
+0x1C ~ +0x28	头记录寄存器			
+0x2C	根错误命令寄存器			

+0x30	根错误状态寄存器
+0x34	错误源标志寄存器

虚通道能力寄存器结构如下

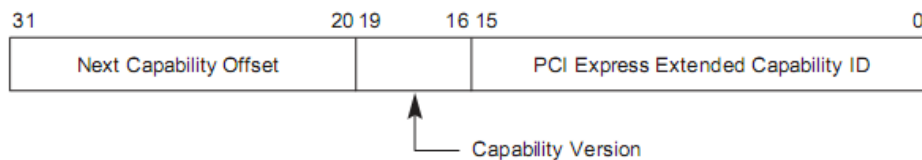
字节偏移	字节 3	字节 2	字节 1	字节 0
0x138	PCI-E 扩展能力头			
+x04	端口 VC 能力寄存器 1			

本 switch 仅支持 VC0 虚通道，因此虚通道能力寄存器没有意义。

VSEC (Vendor Specific Enhance Capability) 能力结构如下：

字节偏移	字节 3	字节 2	字节 1	字节 0
0x3f8	PCI-E 扩展能力头			
+x04	VSEC 能力头			

### 高级报错能力头寄存器 (Offset 100h)



位	描述	属性	默认值
15:0	能力 ID	RO	0001h: 表示该能力结构为高级错误能力
19:16	能力版本	RO	0x1
31:20	下一能力偏移	RO	138h: 指向下一能力结构, 即虚通道能力

### 不可纠正错误状态寄存器 (Offset 104h)

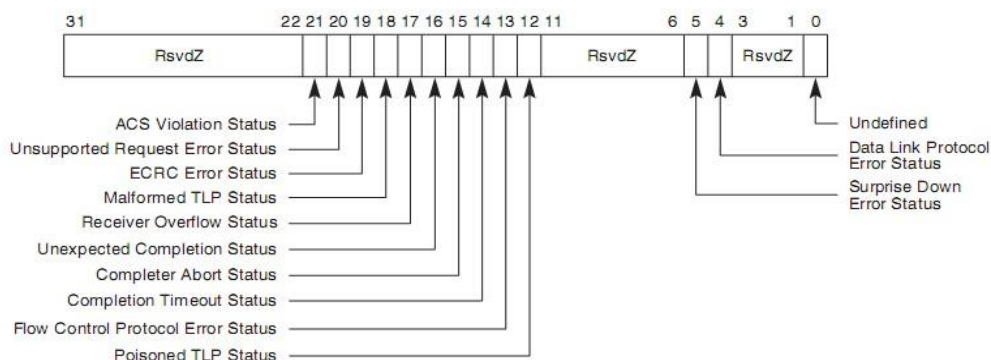
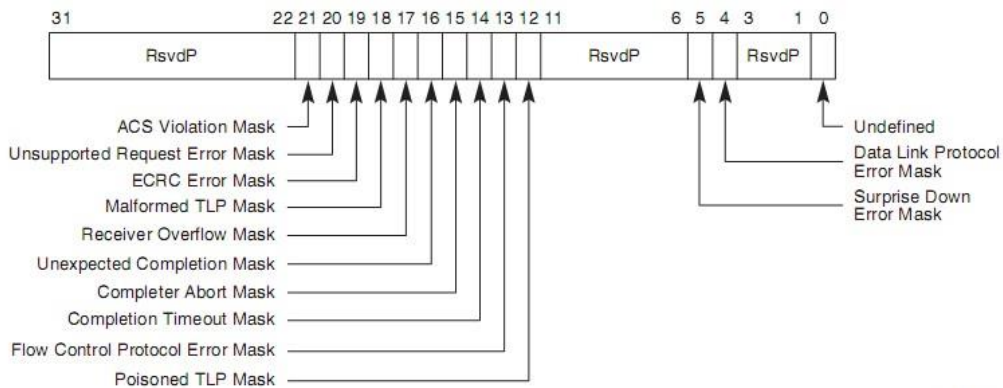


Figure 7-32: Uncorrectable Error Status Register

位	描述	属性	默认值
[21]	ACS 违反状态	RW1CS	0
[20]	不支持请求(UR)错误状态	RW1CS	0

[19]	ECRC 错误状态	RW1CS	0
[18]	畸形 TLP (Malformed TLP) 错误状态	RW1CS	0
[17]	接收溢出错误状态	RW1CS	0
[16]	非预期完成错误状态	RW1CS	0
[15]	响应端异常中止错误状态	RW1CS	0
[14]	响应超时错误状态	RW1CS	0
[13]	流控制协议错误状态	RW1CS	0
[12]	中毒 TLP (posioned TLP) 错误状态。	RW1CS	0
[4]	数据链路协议错误状态	RW1CS	0
其它	保留	—	

### 不可纠正错屏蔽寄存器 (Offset 108h)



OM14517C

Figure 7-33: Uncorrectable Error Mask Register

位	属性	默认值	描述
[21]	RWS	0	ACS 违反错误屏蔽
[20]	RWS	0	不支持请求(UR)错误屏蔽。
[19]	RWS	0	ECRC 错误屏蔽。
[18]	RWS	0	畸形 TLP 错误屏蔽。
[17]	RWS	0	接收溢出错误屏蔽。
[16]	RWS	0	非预期完成错误屏蔽。
[15]	RWS	0	响应端异常中止错误屏蔽。
[14]	RWS	0	响应超时错误屏蔽。
[13]	RWS	0	流控制协议错误屏蔽。
[12]	RWS	0	中毒 TLP 错误屏蔽。
[4]	RWS	0	数据链路协议错误屏蔽。
其它	—		保留。

### 不可纠正错严重性寄存器 (Offset 10Ch)

该寄存器对应的错误类型被置 1，则该错误为 Fatal Error，置 0 则该错误为 Non-Fatal Error

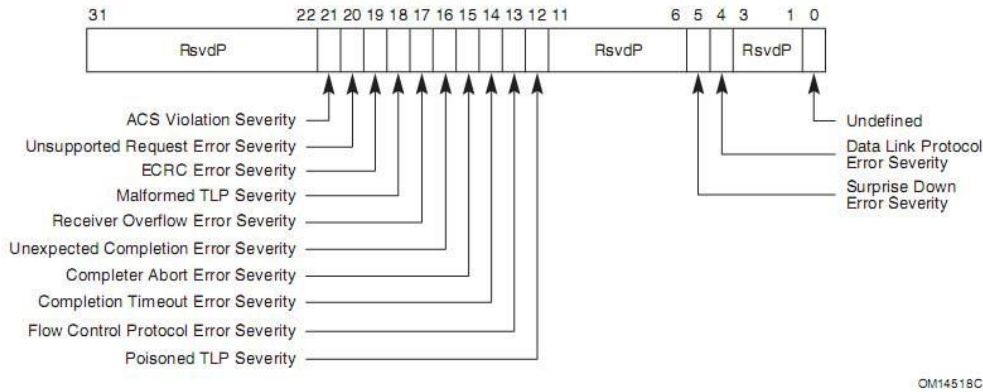


Figure 7-34: Uncorrectable Error Severity Register

位	属性	默认值	描述
[21]	RWS	0	ACS 违反错误严重性
[20]	RWS	0	不支持请求错误严重性。
[19]	RWS	0	ECRC 错误严重性。
[18]	RWS	1	畸形 TLP 错误严重性。
[17]	RWS	1	接收溢出错误严重性。
[16]	RWS	0	非预期完成错误严重性。
[15]	RWS	0	响应端异常中止错误严重性。
[14]	RWS	0	响应超时错误严重性。
[13]	RWS	1	流控制协议错误严重性。
[12]	RWS	0	中毒 TLP 错误严重性。
[4]	RWS	1	数据链路协议错误严重性。
其它	—		保留。

### 可纠正错误状态寄存器(Offset 110h)

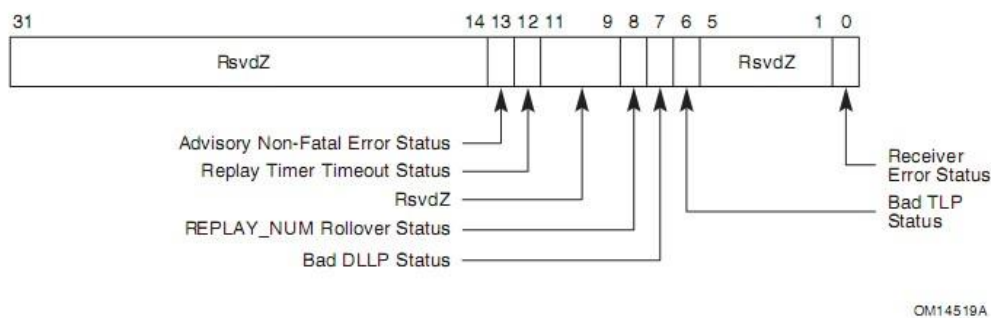
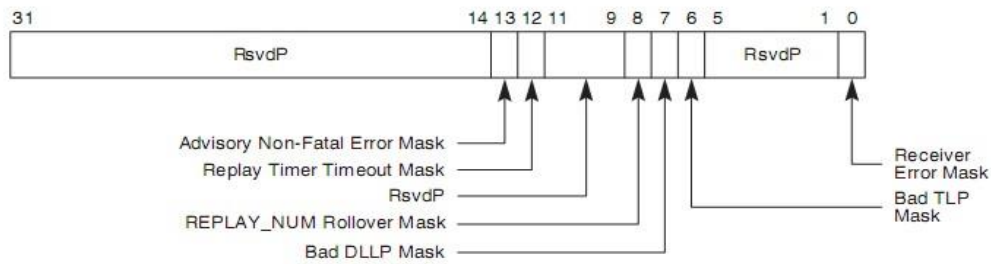


Figure 7-35: Correctable Error Status Register

位	属性	默认值	描述
[13]	RWICS	0	报告非致命错误状态。
[12]	RWICS	0	重发计时器超时状态。
[8]	RWICS	0	重发次数翻转状态。
[7]	RWICS	0	错误 DLLP (Data Link Layer Packet, 数据链路层数据包) 状态。
[6]	RWICS	0	错误 TLP (Transaction Layer Packet) 状态。
[0]	RWICS	0	接收端错误状态。
其它	—		保留。

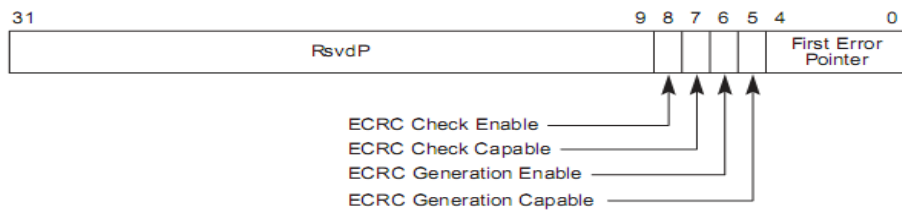


### 可纠正错误屏蔽寄存器 (Offset 114h)



Bit Location	Attribute	Default Value	描述
[13]	RWS	1	报告非致命错误屏蔽。
[12]	RWS	0	重发计时器超时屏蔽。
[8]	RWS	0	重发次数翻转屏蔽。
[7]	RWS	0	错误 DLLP 屏蔽。
[6]	RWS	0	错误 TLP 屏蔽。
[0]	RWS	0	接收端错误屏蔽。
其它	—		保留。

### 高级能力及控制寄存器 (Offset 118h)



OM14521

Figure 7-37: Advanced Error Capabilities and Control Register

位	属性	默认值	描述
[8]	RWS	0	ECRC 检查使能。
[7]	RO	0	ECRC 检查能力, 本功能没有实现 ECRC 的检查
[6]	RWS	0	ECRC 生成使能。
[5]	RO	0	ECRC 生成能力, 本功能没有实现 ECRC 的生成
[4:0]	ROS	0	第一个错误指针。
其它	—		保留。

### 头记录寄存器 (Offset 11Ch ~128h )

头记录寄存器记录检测到错误的 TLP 的包头, 并遵从 PCI-E 2.0 标准, 记录第一个不可纠正错 TLP。头记录寄存器都是 ROS 类型, 地址偏移为 0x11c~0x128

字节偏移	字节 3	字节 2	字节 1	字节 0
0x11C (1 <sup>st</sup> DW)	Header Byte0	Header Byte1	Header Byte2	Header Byte3

0x120 (2 <sup>nd</sup> DW)	Header Byte0	Header Byte1	Header Byte2	Header Byte3
0x124 (3 <sup>rd</sup> DW)	Header Byte0	Header Byte1	Header Byte2	Header Byte3
0x128 (4 <sup>th</sup> DW)	Header Byte0	Header Byte1	Header Byte2	Header Byte3

根错误命令寄存器 (Offset 12Ch) 只对

RC 有效, 对 switch 无效

根错误状态寄存器 (Offset 130h) 只对

RC 有效, 对 switch 无效

错误源标志寄存器 (Offset 134h) 只对

RC 有效, 对 switch 无效

### VSEC 能力头寄存器 (Offset 3F8h)

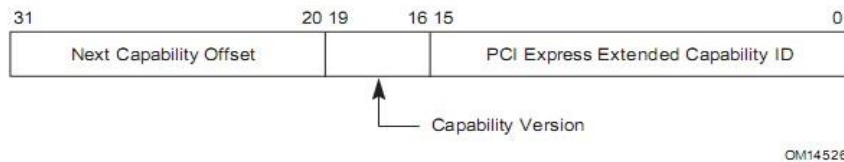


Figure 7-89: Vendor-Specific Enhanced Capability Header

位	属性	默认值	描述
[31:20]	RO	000h	下一能力指针, 为 0 说明 VSEC 是最后一个能力结构
[19:16]	RO	1h	对于 PCIE2.0, 该能力版本必须为 1
[15:0]	RO	000bh	VSEC 的能力 ID 为 000bh

### 厂商指定头寄存器 (Offset 3FCh)

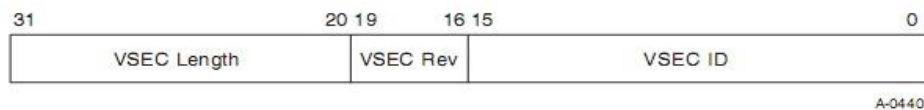


Figure 7-90: Vendor-Specific Header

位	属性	默认值	描述
[31:20]	RO	308h	VSEC 寄存器长度, 表示从 400h 地址开始到+308h 这块空间为厂商指定寄存器, 即 CSR 寄存器
[19:16]	RO	0h	保留
[15:0]	RO	0000h	厂商指定的 VSEC ID 为 0000h

## 3.1.2 Switch IP 的 CSR 寄存器

CSR 寄存器是 switch IP 提供的一组寄存器, 位于 PCIE 配置空间以上

(400h~600h), 可以用于软件对 switch 的编程, 也可用于对 IP 的调试和监控。

Offset[11:0]	名称描述	Default	Type
0x0400h	ltssm_state_control_register		
0x0404h	ltssm_state_status_register		
0x0408h	skip_freq_timer_register		
0x040Ch	lane_select_register		
0x0410h	lane_deskew_register		
0x0414h	receiver_error_register		
0x0418h	lane_number_control_register		
0x041Ch	n_fts_control_register		
0x0420h	link_status_register		
0x0428h	extended_recovery_control_register		
0x042Ch	sync_bypass_register		
0x0434h	init_fc_resend_timeout_register		
0x0438h	ack_replay_timeout_register		
0x043Ch	seq_num_status_register		
0x0440h	core_clock_ratio_register		
0x0450h	gpex_pm_timer_register		
0x0454h	pme_timeout_register		
0x0458h	aspm_l1_timer_register		
0x045Ch	aspm_request_timer_register		
0x0460h	aspm_l1_disable_register		
0x0468h	advisory_error_register		
0x046Ch	intx_control_register		
0x0470h	gpex_id_register	0x12005656	
0x0474h	gpex_classcode_register		
0x0478h	gpex_subsys_id_register		
0x047Ch	gpex_device_capability_register		
0x0480h	gpex_link_capability_register		
0x0484h	function_num_register		

0x0488h	gpex_pm_capability_register		
0x048Ch	function_select_register		
0x0490h	gpex_slot_capability_register		
0x0498h	gpex_pcie_capability_register		
0x049Ch	gpex_pcie_lnk_status_register		
0x04A0h	gpex_pwr_bgt_capability_register		
0x04A4h	vsec_header_register		
0x04A8h	legacy_endpoint_register		
0x04ACh	error_counter_register		
0x04B0h	cfg_rdy_register	0	
0x04B8h	fc_update_timeout_register		
0x04BCh	fc_update_timer_register		
0x04C8h	load_vc_buf_size_register		
0x04CCh	rx_vc_buf_register		
0x04D0h	rx_vc_buf_select_register		
0x04D4h	bar_enable_register		
0x04D8h	bar_size_ldw_register		
0x04DCh	bar_size_udw_register		
0x04E0h	bar_select_register		
0x04E4h	credit_cntr_select_reg		
0x04E8h	credit_cntr_status_register		
0x04ECh	tlp_hdr_select_register		
0x04F0h	tlp_hdr_log_dw0_register		
0x04F4h	tlp_hdr_log_dw1_register		
0x04F8h	tlp_hdr_log_dw2_register		
0x04FCh	tlp_hdr_log_dw3_register		
0x0500h	relaxed_ordering_control_register		
0x0504h	bar_prefetch_register		
0x0508h	fc_check_control_register		
0x050Ch	extended_vc_count_register		
0x0510h	cutthrough_control_register		
0x0514h	bar_type_register		
0x0518h	fc_update_timer_traffic_register		
0x053Ch	vendor_phy_control_register_0		
0x0540h	vendor_phy_status_register_0		
0x0544h	vendor_phy_control_register_1		
0x0548h	vendor_phy_status_register_1		
0x054Ch	vendor_phy_control_register_2		
0x0550h	vendor_phy_status_register_2		
0x0554h	vendor_phy_control_register_3		
0x0558h	vendor_phy_status_register_3		
0x055Ch	user_control_register_0		
0x0560h	user_status_register_0		
0x0564h -0x0588h	user_control_register_n (n = 1~5) user_status_register_n (n = 1~5)		
0x0590h	pme_to_ack_timeout_register		
0x0594h	pme-to_ack_status_register		
0x0598h	device_number_register		
0x059Ch	intx_mask_register		
0x05A0h	pci_intr_mask_register		
0x05B0h	switch_ds_port_disable_register		

0x05F0h	gpex_uncorrectable_error_status_register		
0x0600h	port_arbitration_field_select_register		
0x0604h	port_arbitration_priority_register		
0x0608h	port_arbitration_timeout_register		
0x060Ch	port_arbitration_vector_count_register		
0x0610h	port_arbitration_select_register		
0x0614h	vc_arbitration_timeout_register		
0x0618h	port_arbitration_req_pending_sts_register		
0x061Ch	clock_gating_control_register		
0x0620h	rx_completion_err_sts_register		
0x0624h	rx_completion_err_hdr_log_dw0_register		
0x0628h	rx_completion_err_hdr_log_dw1_register		
0x062Ch	rx_completion_err_hdr_log_dw2_register		
0x0630h	pab_software_reset_enable_register		
0x0640h	gen2_control_register		
0x0644h	sr_iov_tot_init_vf_register (for 16PFs)		
0x068Ch	sr_iov_vf_devid_fdl (for 16PFs)		
0x06C4h	sr_io_offset_stride (for 16PFs)		
0x0704h	sr_iov_supp_pg_sz(for 16PFs)		
0x0708h	ats_invalidate_q_depth		
0x06FCh	gpex_release_version_register		
Note: (a) Gen2 enabled device (b) downstream ports only			

### 3.1.2.1 ltssm\_state\_control\_register(offset 400h)

链路训练状态控制寄存器

该寄存器为调试时使用，用于控制 MAC 层的链路训练状态机的状态转换。在正常的操作中，该寄存器的所有位必须清零。

位	描述	属性	复位值
0	保留	RO	0
1	保留	RO	0
2	保留	RO	0
3	禁止 scramble request 位。 该位用于调试目的，若要使对该位的操作有效，需要在 GPEX 核心复位撤销之前进行操作。正常操作过程中，该位必须置为 0	RW	0
4	LTSSM 控制使能位。置位时，允许跳过链路训练。 该位用于调试目的，若要使对该位的操作有效，需要在 GPEX 核心复位撤销之前进行操作。正常操作过程中，该位必须置为 0	RW	0
5	旁路接收检测控制位。当置位时，接收逻辑探测 LTSSM 状态并跳过。在实际操作过程中，如果在 PHY 层的接收探测机制有问题，那么这一位将起到作用。若要使对该位的操作有效，需要在 GPEX 核心复位撤销之前进行操作。	RW	0
31:6	保留	RO	0

### 3.1.2.2 ltssm\_state\_status\_register(offset 404h)

链路训练状态机状态寄存器

位	描述	属性	复位值
6:0	LTSSM 状态编码	RO	0
31:7	保留	RO	0

### 3.1.2.3 skip\_freq\_timer\_register(offset 408h)

SKIP 频率计时器寄存器。该寄存器用于 MAC 层 SKP 符号发送的频率设置。

位	描述	属性	复位值
10:0	Skip_frequency_interval 该值应在 1180 到 1538 个符号时间之间。计算方法： $\text{Symbol\_time} * \text{PIPE\_CLK in MHz} / 250$ 例如设置为 125MHz PIPE clock 下的 1200 个符号时间，则计算值为 $1200 * 125 / 250 = 600$	RW	1250*PIPE_CLK/250
31:11	保留	RO	0

### 3.1.2.4 lane\_select\_register(offset 40Ch)

lane 选择寄存器，仅用于多 lane 设备。该寄存器用于选择需要获得补偿状态或者需要读取或清零接收错误状态的 lane。例如，获得了 lane3 的接收错误状态，那么首先该寄存器设置为 0x03，然后接收错误寄存器 (receiver\_error register) 反映 lane3 的错误状态，并读取或清除该状态。

位	描述	属性	复位值
3:0	选择 lane. 最大可能值 = GPEX_RTL_MAC_MAX_LW - 1. GPEX_RTL_MAC_MAX_LW 为 VPP 中的宏定义，表示核心所支持的 lane 总数。	RW	0 默认选 lane0
31:4	保留	RO	0

### 3.1.2.5 Lane\_deskew\_register(offset 410h)

Lane 补偿寄存器，仅用于多 lane 设备。

若要观察某一 lane 的补偿信息，第一步，通过 lane 选择寄存器 (lane\_select register) 选择要观察的 lane，第二步，从 Lane 补偿寄存器 (Lane\_deskew\_register) 中读取补偿信息。

位	描述	属性	复位值
9:0	通过 lane 选择寄存器 (lane_select_register) 选择的 lane 的补偿状态。 该域表示所选 lane 的补偿 FIFO 的读指针。采用的是独热码编码，每一位即 FIFO 的位置。例如，下面所给出的值 (16 进制) 表明 lane0 lane1 和 lane3 之间是没有偏斜的，而 lane2 和其他的 lane 之间有 7 个符号时间的偏斜。 lane0: 00000004 lane1: 00000004 lane2: 00000200 lane3: 00000004	RO	Deskew status of Lane0

31:11	保留	RO	0
-------	----	----	---

### 3.1.2.6 Receiver\_error\_register(offset 414h)

接收错误寄存器，用于调试目的。利用该寄存器，可观察所选择的 lane 的错误状态。该寄存器的用法同 Lane 补偿寄存器。

位	描述	属性	复位值
0	所选 lane 8/10b 译码错误	RW1C	0
1	所选 lane 不一致错误	RW1C	0
2	所选 lane 弹性缓冲上溢	RW1C	0
3	所选 lane 弹性缓冲下溢	RW1C	0
4	链路补偿错误（仅使用于 lane0）	RW1C	0
31: 5	保留	RO	0

### 3.1.2.7 lane\_number\_control\_register(offset 418h)

lane 号控制寄存器，适用与链路宽度大于 2 的情况下。

位	描述	属性	复位值
0	禁用宽度为中间值的链路。 例如，假设链路所支持的最大宽度为 16，如果将该位置 1，那么可用的链路宽度仅限于 x1 和 x16，中间的链路宽度 x2,x4,和 x8 将被禁用。 若要使对该位的操作有效，需在 GPEX 核心复位撤销之前进行操作。	RW	0
1	predetermin_x1 位。超时时，是否允许降为 lane0.	RW	1
31:1	保留	RO	0

### 3.1.2.8 N\_FTS\_control\_regitster(offset 41Ch)

N\_FTS 控制寄存器，需要在 GPEX 核心复位撤销之前进行操作。

位	描述	属性	复位值
7:0	N_FTS PHY 需要使能 Rx 接收逻辑，使用 N_FTS 个 FTS 序列去获得 Bit/Symbol Lock，并跳出 ASPM L0s link power 状态 N_FTS 的值是链路训练过程中 GPEX 和远程设备协商得来的。 该值的计算基于 L0s_exit latency。	RW	8'd150
15:8	N_FTS_common mode PHY 需要使能 Rx 接收逻辑，使用 N_FTS 个 FTS 序列去获得 Bit/Symbol Lock，并跳出 ASPM L0s link power 状态。其中设备在链路的两侧使用的是共同的参考时钟。	RW	8'd150
23:16	N_FTS_GEN2	RW	8'd150
31:24	N_FTS_GEN2_common mode	RW	8'd150

### 3.1.2.9 Link\_status\_register(offset 420h)

链路状态寄存器，用于调试目的。



位	描述	属性	复位值
0	Scramble disabled status	RO	0
1	Lane 反转状态	RO	0
2	Lane0 极性反转状态	RO	0
3	Lane1 极性反转状态	RO	0
4	Lane2 极性反转状态	RO	0
...	.....		
31: (LW+2)	保留 (LW = 链路宽度)	RO	0

### 3.1.2.10 Extended\_recovery\_control\_register(offset 428h)

扩展恢复控制寄存器，可选寄存器。

位	描述	属性	复位值
5:0	TS1/TS2 有序集个数	RW	6'd8
31:6	保留	RO	0

### 3.1.2.11 Sync Bypass register(offset 42Ch)

同步 Bypass 寄存器

位	描述	属性	复位值
0	同步模式选择 0 -> Bypass synchronization logic present between core-clk & pipe-clk 1 -> Bypass synchronization logic between core-clk & pipe-clk	RW	1
31:1	保留	RO	0

### 3.1.2.12 init\_fc\_resend\_timeout\_register(offset 434h)

Init\_FC 重发超时寄存器，仅适用于多 VC 通道的配置。

位	描述	属性	复位值
13:0	Init_FC_resend_timeout_value Init_FC 重发超时值。最大值为 17us。 计算方法：Time in microsec * PIPE_CLK in MHz 若要使对该位的操作有效，需在 GPEX 核心复位撤销之前进行操作	RW	16*PIPE_CLK
31:14	保留	RO	0

### 3.1.2.13 ack\_replay\_timeout\_register(offset 438h)

位	描述	属性	复位值
---	----	----	-----

12:0	Ack_latency_timeout_value Timeout value to force transmission of ACK DLLP by DLL after a TLP is received. Protocol specifies this value in symbol times for various combinations of max-payload size & negotiated linkwidth. Appropriate value should be chosen and programmed into this register. This value can be calculated as (Symbol_time * CORE_CLK in MHz /250 + Tx L0s adjustment offset in terms of core clk cycles).	RW	13'd48
27:13	Replay_timeout_value Timeout value to wait for reception of ACK DLLP from link side by DLL before re-transmitting TLPs. Protocol specifies this value in symbol times for various combinations of max-payload size & negotiated linkwidth . Appropriate value should be chosen and programmed into this register. This value can be calculated as (Symbol_time * CORE_CLK in MHz /250+ Rx L0s adjustment offset in terms of core clk cycles).	RW	15'd711
31:28	保留	RO	0

### 3.1.2.14 seq\_num\_status\_register(offset 43Ch)

位	描述	属性	复位值
11:0	Next_tx_seq_num NEXT_TRANSMIT_SEQ 计数器的当前值。用于调试目的。	RO	0
23:12	Next_rx_seq_num NEXT_RCV_SEQ 计数器的当前值。用于调试目的。	RO	0
31:28	保留	RO	0

### 3.1.2.15 core\_clk\_ratio\_register(offset 440h)

位	描述	属性	复位值
5:0	实际时钟与 RTL 指定的默认时钟之间的比例的分子。该比例的分母固定为 16。 例如默认的 RTL 中设计的 core clk 为 333MHz，而实际的 core clk 需为 250MHz。实际时钟/默认时钟=(3/4=12/16)。所以该寄存器需要设置为 12。	RW	16
31:6	保留	RO	0

### 3.1.2.16 gpex\_pm\_timer\_register(offset 450h)

GPEX PM 计时器寄存器。该寄存器用于设置进入 L0s 和 L1 电源管理状态的 time-in 值。并且提供调试选择去禁止进入 L1 和 ASPM L0s 状态。

位	描述	属性	复位值
---	----	----	-----

11:0	l0s_time_in (in terms of core-clock cycles) 在 l0s_time_in 的时间内，如果没有观测到 Tx 上的通信，那么将进入 L0s 状态。 最大值为 6us，计算方法： $\text{Time in microsec} * \text{CORE\_CLK in MHz}$ 例如，125 MHz core clock 下，设置时间为 2us，那么计算值为 $2*125 = 250$	RW	6*CORE_CLK
23:12	l1_wait_period (in terms of core-clock cycles) 上游端口：在所有功能都处在非 D0 电源状态后，如果在 l1_wait_period 时间内还没观测到 Tx 上的通信，那么将进入 L1 状态。 下游端口：在接收到 PCI-PM L1 进入请求后，如果在 l1_wait_period 时间内还没观测到 Tx 上的通信，那么 ack 将响应请求。 最大值小于 2us，计算方法： $\text{Time in microsec} * \text{CORE\_CLK in MHz}$ 例如，125 MHz core clock 下，设置时间为 2us，那么计算值为 $2*125 = 250$	RO	1*CORE_CLK
29:24	保留	RO	0
30	禁止 L0s 状态进入	RW	0
31	禁止通过 PCI-PM 进入 L1 状态	RW	0

### 3.1.2.17 Pme\_timeout\_register(offset 454h)

PME 超时寄存器，仅适用于上游端口。

位	描述	属性	复位值
25:0	PME 超时值 最小值为 100ms。 计算方法： $\text{Time in microsec} * \text{CORE\_CLK in MHz}$ 例如，core clock 为 125Mz，设置超时值为 2us，那么计算值为 $2*125=250$ 。 该寄存器仅用于上游端口（下游设备）	RW	100000*CORE_CLK
31:26	保留	RO	0

### 3.1.2.18 aspm\_l1\_timer\_register (Offset 458h)

位	描述	属性	复位值
11:0	ASPM L1 计数器超时值 该值为进入 ASPM L1 之前，GPEX 在空闲状态等待的时间。例如，在 125MHz 的 core clock 下，设置超时时间为 2us。那么该寄存器的值为 $2*125=250$ 该寄存器仅适用于上游端口（下游设备）	RW	1*CORE_CLK
31:12	保留	RO	0

### 3.1.2.19 aspm\_request\_timer\_register(Offset 45Ch)

位	描述	属性	复位值
12:0	<p>ASPM L1 请求计数器值。</p> <p>对于下游端口/RC: 发出 NAK 消息后, 从下游设备而来的新的 ASPM L1 请求之前的这段时间为超时间隔, 即该计数器的值。例如, 如果上游设备拒绝来自下游设备的 ASPM L1 进入请求并返回 ASPM NAK 消息, 那么只有经过了超时间隔之后或下游端口 Rx 链路进入 L0s 状态后, 下一个来自下游设备的 ASPM L1 进入请求才会被接收。</p> <p>对于上游端口/EP: 在接收到响应 ASPM L1 进入请求的 NAK 消息后, 新的 ASPM L1 请求发出之前的这段时间为超时间隔, 即该计数器的值。例如, 如果上游设备拒绝 ASPM L1 进入请求, 那么只有经过了超时间隔后或 Tx 链路进入 L0s 状态后, 下一个 ASPM L1 进入请求才会发出。</p> <p>最小值为 9.5us, 计算方法: Time in microsec * CORE_CLK in MHz</p>	RW	9.5*CORE_CLK
31:13	保留	RO	0

### 3.1.2.20 aspm\_l1\_disable\_register (offset 460h)

位	描述	属性	复位值
15:0	<p>禁止进入 ASPM L1 状态。</p> <p>对于上游端口 (下游设备), 该寄存器用于禁止正从上游端口发送的 ASPM L1 进入请求。对于下游端口和 RC, 该寄存器用于拒绝来自下游设备的 ASPM L1 进入请求。</p>	RW	0
31:1	保留	RO	0

### 3.1.2.21 advisory\_error\_control\_register(offset 468h)

位	描述	属性	复位值
0	<p>Poisoned TLP 错被认为是 advisory non-fatal error。编码</p> <p>0 - 非致命错误</p> <p>1 - advisory non-fatal error/可纠错 该位的置位基于错误对应用逻辑所产生的影响。如果错误是可恢复的且不会产生严重的影响, 那么该错被认为是 advisory non-fatal。</p>	RW	0
1	<p>ECRC 错被认为是 advisory non-fatal error。编码</p> <p>0 - 非致命错误</p> <p>1 - advisory non-fatal error/可纠错 该位的置位基于错误对应用逻辑所产生的影响。如果错误是可恢复的且不会产生严重的影响, 那么该错被认为是 advisory non-fatal。</p>	RW	0

31:2	保留	RW	0
------	----	----	---

### 3.1.2.22 intx\_control\_register(offset 46Ch)

INTX 控制寄存器。

位	描述	属性	复位值
1:0	用于所选功能的中断引脚。 编码为：0- INTA, 1- INTB, 2- INTC, 3- INTD	RW	INTER RUPT_ PIN_F UNC0
31:2	保留	RO	0

### 3.1.2.23 Gpex\_id\_register(offset 470h)

GPEX ID 寄存器。

位	描述	属性	复位值
15:0	厂商 ID 号	RW	16'd6242
31:16	设备 ID 号	RW	16'd9266

### 3.1.2.24 Gpex\_classcode\_register(offset 474h)

位	描述	属性	复位值
7:0	修订版本号 若要使对该位的操作有效，需要在 Config Ready Register 的 cfg-ready 位置 1 前，进行操作。	RW	8'd0
15:8	编程接口 若要使对该位的操作有效，需要在 Config Ready Register 的 cfg-ready 位置 1 前，进行操作。	RW	8'd0
23:16	Sub_class_code 若要使对该位的操作有效，需要在 Config Ready Register 的 cfg-ready 位置 1 前，进行操作。	RW	8'd4
31:24	Base_class_code 若要使对该位的操作有效，需要在 Config Ready Register 的 cfg-ready 位置 1 前，进行操作。	RW	8'd6

### 3.1.2.25 Gpex\_subsystem\_id\_register(offset 478h)

位	描述	属性	复位值
15:0	子系统厂商 ID。 若要使对该位的操作有效，需要在 Config Ready Register 的 cfg-ready 位置 1 前，进行操作。	RW	
31:16	子系统 ID 若要使对该位的操作有效，需要在 Config Ready Register 的 cfg-ready 位置 1 前，进行操作。	RW	

### 3.1.2.26 Gpex\_dev\_capability\_register(offset 47Ch)

位	描述	属性	复位值
2:0	支持的最大数据载荷 (Max_Payload_Size) 。 000b 128bytes 001b 256bytes 010b 512bytes 011b 1024bytes 100b 2048bytes 101b 4096bytes 110b, 111b Reserved 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	3'd1
4:3	假冒功能支持 (Phantom Function Supported) 如果一个功能能够 挂起的请求数 (受 Tag 数量的限制) 不够用, 可以通过 RequestID 中功能号中不用的高位来进一步扩展 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	2'b0
5	扩展 TAG 域支持 0: 支持 5 位 Tag 域, 只能挂起 32 个请求 1: 支持 8 位 Tag 域, 能挂起 256 个请求 若要使对该位的操 作有效, 需要在 Config Ready Register 的cfg-ready 位置 1 前, 进行操作。	RW	1'b0
8:6	端点可接受的 L0s 等待时间 表示端点可承受的从 L0s 电源状态回到 L0 状态的总等待时间 000b: 最大 64ns 001b: 最大 128ns 010b: 最大 256ns 011b: 最大 512ns 100b: 最大 1us 101b: 最大 2us 110b: 最大 4us 111b: 无限长 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	3'd6
11: 9	端点可接受的 L1 等待时间: 表示端点可承受的从 L1 电源状态回 到 L0 状态的总等待时间 000b: 最大 1us 001b: 最 大 2us 010b: 最大 4us 011b: 最大 8us 100b: 最 大 16us 101b: 最大 32us 110b: 最大 64us 111b: 无限长 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	3'd0
12	警告按钮 (Attention Button) 在位 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	0

13	警告指示灯 (Attention Indicator) 在位 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	0
14	电源指示灯 (Power Indicator) 在位 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	0
31: 15	保留	RO	0

### 3.1.2.27 Gpex\_link\_capability\_register(offset 480h)

位	描述	属性	复位值
5:0	支持的最大链路宽度 00000b: 保留 00001b: 1x 00010b: 2x 00100b: 4x 01000b: 8x 01100b: 12x 01000b: 16x 10000b: 32x – 不支持 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	6'd8
7:6	支持“活动状态电源管理” (ASPM) 的等级 00b: 保留 01b: 支持链路进入 L0s 状态 10b: 保留	RW	2'b11
	11b: 支持链路进入 L0s 和 L1 状态 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。		
10:8	L0s 退出延时 该域表示一个链路从 L0s 状态退出到达 L0 状态必须在这个时间内完成 000b: 小于 64ns 001b: 64ns ~ 128ns 010b: 128ns ~ 256ns 011b: 256ns ~ 512ns 100b: 512ns ~ 1us 101b: 1us ~ 2us 110b: 2us ~ 4us 111b: 4us 以上 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	3'd6



13:11	<b>L1 退出延时</b> 该域表示一个链路从 L1 状态退出到达 L0 状态必须在这个时间内完成 000b: 小于 1us 001b: 1us ~ 2us 010b: 2us ~ 4us 011b: 4us ~ 8us 100b: 8us ~ 16us 101b: 16us ~ 32us 110b: 32us ~ 64us 111b: 64us 以上 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前, 进行操作。	RW	3'd7
-------	---	----	------

### 3.1.2.28 Function\_num\_register(offset 484h)

功能数量寄存器, 仅适用于多功能设备。

位	描述	属性	复位值
2:0	该域表示设备的实际功能数量。 例如, 如果设备的 5 个功能被使能, 那么该域应设置为 3'h4。 最大可能值 = GPEX_RTL_CFG_FUNC_NUM - 1。 GPEX_RTL_CFG_FUNC_NUM 为核心所能支持的功能总数。 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 前进行操作。	RW	GPEX_RTL_CFG_FUNC_NUM - 1.
31:3	保留	RO	0

### 3.1.2.29 Gpex\_pm\_capability\_register(offset 488h)

GPEX 电源管理能力寄存器

位	描述	属性	复位值
0	特定设备的初始化(DSI)需求 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 之前进行操作。	RW	0
3:1	辅助电流支持	RW	3'd0
4	D1 电源状态支持 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 之前进行操作。	RW	0
5	D2 电源状态支持 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 之前进行操作。	RW	0
10:6	PME 支持 若要使对该位的操作有效, 需要在 Config Ready Register 的 cfg-ready 位置 1 之前进行操作。	RW	5'd25
11	no_soft_reset_0	RW	1
31:12	保留		

### 3.1.2.30 Function\_select\_register(offset 48Ch)

功能选择寄存器，仅适用于多功能设备。

位	描述	属性	复位值
2:0	Function number of the function whose subsystem id register or PM capability register has to be programmed/ displayed. 最大可能值 = GPEX_RTL_CFG_FUNC_NUM - 1. GPEX_RTL_CFG_FUNC_NUM 是 VPP 中的宏定义，表示核心所支持的功能总数。	RW	0
31:3	保留	RO	0

### 3.1.2.31 Gpex\_slot\_capability\_register(offset 490h)

GPEX 插槽能力寄存器。仅适用于下游端口。

位	描述	属性	复位值
0	警告按钮在位——设置时，表示警告按钮在位	RW	1
1	电源控制在位——设置时，表示该插槽有一个电源控制器	RW	1
2	MRL 传感器在位——设置时，表示插槽上有一个 MRL 传感器	RW	1
3	警号指示灯在位（仅热拔插支持）——设置时，表示警告指示灯位于插槽附近的机箱上	RW	1
4	电源指示灯在位（仅热拔插支持）——设置时，表示电源指示灯位于插槽附近的机箱上	RW	1
5	意外热拔插（Hot-plug Surprise） 为 1 表明该插槽上的适配器可以在未事先通知系统的情况下进行热拔插。这一位使操作系统能够在发生意外热拔插的时候能够不影响软件操作。	RW	1
6	热拔插能力（仅热拔插支持）——设置时，表示插槽支持热拔插操作	RW	1
14: 7	插槽功率极限值——规定该插槽可提供的最大功率	RW	8'hF0
16:15	插槽功率系数——规定插槽功率极限值的倍乘因子编码如下： 00b = 1.0 x 01b = 0.1x 10b = 0.01x 11b = 0.001x	RW	0
29:17	物理插槽号——表示与该端口关联的物理插槽号	RW	DS1: 13'd0 DS2: 13'd2 DS3: 13'd4 DS4: 13'd6 DS5: 13'd8
31:30	保留	RO	0

### 3.1.2.32 Gpex\_pcie\_capability\_register(offset 498h)

GPEX PCI 能力寄存器，可选。

位	描述	属性	复位值
23:0	保留	RO	0

24	是否连接插槽——为 1 表示该链路连接插槽 若要使对该位的操作有效，需要在枚举之前进行操作。	RW	0
31:25	保留	RO	0

### 3.1.2.33 Gpex\_pcie\_link\_status\_control\_register(offset 49Ch)

GPEX PCIE 链路状态控制寄存器，可选。

位	描述	属性	复位值
0	PCIE 能力链表里 Link Status register 的 ASPM L0s control 位(bit0)的默认值。 该位置 1，则输入给 GPEX 核心的'sens_aspm_control'不再有用。 若要使对该位的操作有效，需要在枚举之前进行操作。 可选域	RW	0
27:1	保留		
28	插槽时钟配置。参考 Link Status 寄存器。 该位置 1，表示设备需要相同的参考时钟，该时钟由连接器上的平台提供。若要使对该位的操作有效，需要在枚举之前进行操作。 可选域。	RW	0
31:29	保留		

### 3.1.2.34 Gpex\_power\_bgt\_capability\_register(offset 4A0h)

GPEX 功率预算能力计数器，可选。

位	描述	属性	复位值
0	功率预算能力寄存器的系统分配位。 若要使对该位的操作有效，需要在枚举之前进行操作。	RW	0
31:1	保留		

### 3.1.2.35 Vsec\_header\_register(offset 4A4h)

vsec\_header 寄存器，可选。

位	描述	属性	复位值
15:0	VSEC(厂商指定扩展能力) ID	RW	16'd0
19:16	VSEC 版本号	RW	4'd1
31:20	VSEC 长度	RW	12'd776

### 3.1.2.36 Legacy\_endpoint\_control\_register(offset 4A8h)

传统 EP 控制寄存器，可选。

位	描述	属性	复位值
---	----	----	-----

0	传统 EP 类型。 编码： 1 – 传统类型 (legacy type) 0 – 本地设备 (native device) 若要使对该位的操作有效，需要在枚举之前进行操作。	RW	0
31:1	保留		

### 3.1.2.37 Gpex\_uncorrectable\_error\_status\_register(offset 5F0h)

GPEX 不可纠错状态寄存器，适用与 1.1/2.0 兼容配置。该寄存器通过事务层和数据链路层来捕捉不可纠错信息。由于 PCIE 1.1/2.0 规范中要求错误优先列出，因此该寄存器不会漏掉任何错误信息。每个功能的错误状态都会被该寄存器捕捉到。它的行为类似与 PCIE 配置空间里的不可纠错状态寄存器。所有的错误信息都会被存储下来，除非被软件或用户清零。该寄存器和 header log、first error pointer register 的信息无关。

位	描述	属性	复位值
3:0	保留	RO	0
4	数据链路协议错误状态	RW1C for func-0 RO for other functions	0
11:5	保留	RO	0
12	Poisoned TLP 状态	RW1C	0
13	流控制协议错误状态	RW1C for func-0 RO for other functions	0
14	完成超时错误状态	RW1C	0
15	完成者异常中止状态	RW1C	0
16	非预期的完成状态	RW1C	0
17	接收者上溢错误状态	RW1C for func-0 RO for other functions	0
18	畸形 TLP 包状态	RW1C for func-0 RO for other functions	0
19	ECRC 错误状态	RW1C	0
20	UR 错误状态	RW1C	
31:21	保留	RO	0

### 3.1.2.38 Error\_counter\_register(offset 4ACh)

错误计数器寄存器。该寄存器根据可纠错和非致命错的数量来监测链路可靠性。

位	描述	属性	复位值
0	复位可纠错计数器 对该位写 1，将复位 Bit[12:1]的非致命错计数器。读该位返回值为 0。	WO(Strobe)	0
12: 1	可纠错计数器 每发生一次可纠错，该计数器加 1。	RO	0
13	复位非致命错计数器。 对该位写 1，将复位 Bit[25:14]的非致命错计数器。读该位返回值为 0。	WO(Strobe)	0

25:14	非致命错计数器 每发生一次非致命错, 该计数器加 1。	RO	0
31:26	保留		0

### 3.1.2.39 Cfg\_ready\_register(offset 4B0h)

位	描述	属性	复位值
0	Config_ready 位。 该位用于说明配置空间已经被用户逻辑编程。 如果用户接收所有 CSR 寄存器的默认值, 不需更改其值, 那么用户逻辑无需对该位置 1。 只有 Config_ready 位被置 1, 事务层才会响应来自主机的配置请求。对于 Switch 的各个端口, 只有该位置 1, 配置请求才会去往上游和下游端口。否则, 配置请求将一直处于重发状态。	RW	0
31:1	保留		

### 3.1.2.40 Tl\_loopback\_control\_register(offset 4B4h)

事务层自环控制寄存器, 目前该寄存器的功能并未实现。

位	描述	属性	复位值
0	Loopback_req_tl(目前不支持)	RO	0
31:1	保留	RO	0

### 3.1.2.41 Fc\_update\_timeout\_register(offset 4B8h)

FC 更新超时寄存器。

位	描述	属性	复位值
17:0	FC 更新超时值。 例如, 在 125MHz 的 core clock 下, 设置超时时间为 2us。那么该寄存器的值为 $2 * 125 = 250$	RW	200 * CORE_ CLK
30:18	保留	RO	0
31	禁止 FC 更新超时错误后链路重新训练。 在超时时间内远程设备未接收到 FC 更新, 协议允许链路重新训练。由于链路错误的原因使 FC 更新丢失, 那么重训练将帮助恢复正常操作。 链路重新训练默认是被禁止的。	RW	1

### 3.1.2.42 Fc\_update\_timer\_register(offset 4BCh)

FC 更新计时器寄存器。

位	描述	属性	复位值
16:0	空闲通信(idle traffic)时的 FC 更新间隔 Timer to decide the interval between FC-update DLLPs when there is	RW	25 * CORE_

	no change in credit counter values between successive FC update DLLP transmissions. 正常情况下，最大值为 25us；若配置空间的 Extended sync header 位置 1，那么最大值为 115us。 计算方法：Time in microsec * CORE_CLK in MHz 例如，125MHz 的 core clock 下，设置更新间隔为 2us，那么计算值为 2*125=250		CLK
30:17	保留	RO	0
31	禁用 FC 更新计时器。 该位用于调试目的。如果该位置 1，FC 更新计时器将被禁用。当没有 Rx 通信时，可防止 DUT 发送 FC 更新。如果 Tx 链路长时间保持在 L0s 状态时，禁用 FC 更新计时器将起到作用。正常情况下，当 DUT 发送 FC 更新时，Tx L0s 将自动退出。	RW	0

### 3.1.2.43 Fc\_update\_timer\_traffic\_register(offset 518h)

位	描述	属性	复位值
16:0	正常通信(norma traffic)时的 FC 更新间隔 硬件根据 max-payload size 的值和协商好的链路宽度，可以自动计算出更新间隔。不建议更改该寄存器的值。如果用户想更改更新间隔，那么硬件的自动更新将停止，而载入用户设置好的更新间隔。 正常情况下，最大值为 25us；若配置空间的 Extended sync header 位置 1，那么最大值为 115us。 计算方法：Time in microsec * CORE_CLK in MHz 例如，125MHz 的 core clock 下，设置更新间隔为 2us，那么计算值为 2*125=250	RW	17'd48
31:17	保留	RO	0

### 3.1.2.44 Load\_vc\_buf\_size\_register(offset 4C8h)

Present only if Rx VC buffer is part of GPEX core)

位	描述	属性	复位值
0	载入新的 VC 缓冲大小 若要改变 VC 缓冲大小，用户需要将该位置位，这样改变才会有效。一个时钟周期后，该位将自动复位。 对该位写 0 没有任何效果。	WO	0
1	载入 VC 缓冲大小的状态。该位用于说明新的 VC 缓冲大小的值是否被事务层接收。 当该寄存器的 Bit0 位置 1 时，该位将被硬件复位。新的缓冲大小值被事务层锁存后并接收到来自事务层的响应，则该位置 1。该状态位置 1 后，有可能需要等待一定的时间，缓冲大小的变化才有效。	RO	0
31:2	保留	RO	0

### 3.1.2.45 Rx\_vc\_buf\_select\_register(offset 4D0h)

位	描述	属性	复位值
2:0	选择 VC通道	RW	0
4:3	选择 VC类型 1 – posted 2 – non-posted 10 – cpl 11 – invalid	RW	0
31:5	保留	RO	0

### 3.1.2.46 Rx\_vc\_buf\_register(offset 4CCh)

位	描述	属性	复位值
7:0	实际的 Rx VC 头缓冲大小	RW	8'd8
19:8	实际的 Rx VC 数据缓冲大小	RW	12'd128
23:20	Rx VC 头缓冲的 FC 触发极限	RW	4'd4
31:24	Rx VC 数据缓冲的 FC 触发极限	RW	8'd64

### 3.1.2.47 bar\_enable\_register(offset 4D4h)

位	描述	属性	复位值
N-1:0	GPEX 中所有 BAR 的使能。BAR 的使能需要该寄存器相应的位使能。Bit0 对应 BAR0, Bit1 对应 BAR1, 依此类推。例如, 如果该域为 0000101011, 那么仅有 BAR 0,1,3 和 5 是使能的。	RW	默认所有的 BAR 是使能的
31:N	保留	RO	0

### 3.1.2.48 bar\_select\_register(offset 4E0h)

位	描述	属性	复位值
4:0	选择 BAR号	RW	0
31:5	保留	RO	0

### 3.1.2.49 bar\_size\_ldw\_register without software bar-type programmability support (offset 4D8h)

位	描述	属性	复位值
---	----	----	-----



31:0	BAR 的大小（低双字） 例如，如果 BAR 需要 256KB( $2^{18}$ )的地址空间，那么 BAR 的大小为 18。该寄存器的低 18 位都置为 0，其他位为 1。 若要对该位的操作有效，需要在 CSR 中的 Config Ready Register 的 cfg-ready 位置 1 前进行操作。	RW	FFF80000h
------	--	----	-----------

### 3.1.2.50 bar\_size\_register with software bar-type-programmability support(offset 4D8h)

位	描述	属性	复位值
31:0	If software configurable bar-type is supported, then this field indicates the size of the 32-bit BAR location selected using bar_select register. The 32-bit wide BAR-size signal will act like a	RW	FFF80000h
	mask signal for the actual BAR. If any bit of the BAR size signal is zero, that bit will be masked in the BAR. The bit m(m=0~32) of the address in received request is used in address decoding if bit m in this BAR size signal is 1. E.g.: If a BAR needs an address space of 218, BAR size is 18 and the lower 18 bits of bar_size signal is set to '0'. Remaining bits [31:18] are '1'. Note 1: This register field is present only if software configurable bar-size support is present. Note 2: This field has to be programmed (if required), before setting cfg-ready bit in Config Ready Register of CSR		

### 3.1.2.51 Bar\_size\_udw\_register(offset 4DCh)

位	描述	属性	复位值
31:0	BAR 的大小（高双字） 若要对该位的操作有效，需要在 CSR 中的 Config Ready Register 的 cfg-ready 位置 1 前进行操作。	RW	FFFFFFFFh

### 3.1.2.52 Credit\_counter\_select\_register(offset 4ECh)

位	描述	属性	复位值
7:0	选择 VC 通道。Bit 0 代表 VC0, Bit 1 代表 VC1, 依次类推	RX	0x01
10:8	选择 FC 类型 001 - posted 010 - non-posted 100 - cpl Others - invalid	RX	0x1
12:11	选择计数器类型 00 - 信用消费 01 - 信用限额 10 - 信用分配 11 - 信用接收	RW	0x0
31:13	保留	RO	0

### 3.1.2.53 Credit\_counter\_status\_register(offset 4E8h)

信用计数器状态寄存器。

位	描述	属性	复位值
7:0	头缓冲的信用计数器值	RO	0
19:8	数据缓冲的信用计数器值	RO	0
31:20	保留	RO	0

### 3.1.2.54 tlp\_header\_select\_register(offset 4ECh)

位	描述	属性	复位值
0	用于选择 tlp_hdr_log_dwn registers 的显示信息。 如果该位置 1, 那么 tlp_hdr_log_dwn registers 将显示 Rx TLP header log, 否则显示 Tx TLP log。	RW	0
31:1	保留	RO	0

### 3.1.2.55 tlp\_header\_log\_dwn\_register (n=0~3) (offset 4F0h + 4\*n)

位	描述	属性	复位值
31:0	最近发送或接收到的 TLP header 的第 n 个双字 (n=0~3)。该寄存器的内容为发送 tlp header 还是接收 tlp header, 由 Tlp_header_select_register 的 bit0 决定。	RO	最近接收到的 TLP header 的第 n 个双字(n=0~3)

### 3.1.2.56 relaxed\_ordering\_control\_register(offset 500h)

位	描述	属性	复位值
0	强制 Tx 方向上的 NP 包为松散序 (Relaxed ordering)	RW	0
1	强制 Rx 方向上的 NP 包为松散序	RW	0
2	强制 Tx 方向上的 CPL 包为松散序	RW	0
3	强制 Rx 方向上的 CPL 包为松散序	RW	0 (1 if specifically requested)
4	禁止 Tx 方向上的 NP 包为松散序 如果该位置位, 即使 gpi_tx_vector 的 relaxed ordering 位置位或者 Tx 包的 RO 位置位, 在 Tx 方向上 NP 包也绝不会超越 P/CPL 包。	RW	0
5	禁止 Tx 方向上的 CPL 包为松散序 如果该位置位, 即使 gpi_tx_vector 的 relaxed ordering 位置位或者 Tx 包的 RO 位置位, 在 Tx 方向上 CPL 包也绝不会超越 P/NP 包。	RW	0
31:6	保留	RO	0

### 3.1.2.57 Bar\_prefetch\_register(offset 504h)

位	描述	属性	复位值
N-1:0	BAR prefetch attribute for all the BARs in GPEX. Each bit will decide the prefetch attribute of the corresponding bar. Bit0 corresponds to BAR0, bit1 to BAR1 etc. E.g.: if this field is 0000101011, only BARs 0,1,3 &5 have their pre-fetch bit set. Note: Prefetch attribute is meaningful only for Memory bars, but register writes will not take care of Bar type. The Prefetch input given for other Bars will not be used by GPEX.	RW	0
31:N	保留	RO	0

### 3.1.2.58 fc\_check\_control\_register(offset 508h)

FC 检查控制寄存器。

位	描述	属性	复位值
0	禁止 P 请求在 Tx 方向上的流控信用检查 该位的置位仅适用于调试 PCS 中的 Tx-Rx 自环调试（8b/10b 编码器的输出到 10b/8b 的输入自环）。自环模式需要禁用信用检查。正常的操作中，该位需置为 0。	RW	0
1	禁止 NP 请求在 Tx 方向上的流控信用检查 该位的置位仅适用于调试 PCS 中的 Tx-Rx 自环调试（8b/10b 编码器的输出到 10b/8b 的输入自环）。自环模式需要禁用信用检查。正常的操作中，该位需置为 0。	RW	0
2	禁止 CPL 请求在 Tx 方向上的流控信用检查 该位的置位仅适用于调试 PCS 中的 Tx-Rx 自环调试（8b/10b 编码器的输出到 10b/8b 的输入自环）。自环模式需要禁用信用检查。正常的操作中，该位需置为 0。	RW	0
31:3	保留	RO	0

### 3.1.2.59 Extended\_vc\_count\_register(offset 50Ch)

扩展 VC 计算寄存器

位	描述	属性	复位值
2:0	低优先级的扩展 VC 计数 最小值=0；最大值=（VC 通道总数-1）	RW	RST_LOW_PRIORITY_EXT_VC_CNT
31:3	保留	RO	

### 3.1.2.60 Cutthrough\_control\_register(offset 510h)

位	描述	属性	复位值
---	----	----	-----

0	Cut-through 使能位。 GPEX 的 Rx 路径默认采用存储转发方式(SNF), Rx TLP 包存储在 SNF 缓冲里, 只有 LCRC 检查通过后, 才会被转发。如果 cut-through 模式使能, 那么 SNF 缓冲将被旁路, Rx 上的包直接传递给用户逻辑。	RW	0
31:1	保留	RO	0

### 3.1.2.61 bar\_type\_register(offset 514h)

位	描述	属性	复位值
4:0	通过 PCI 配置头包选择的 bar 的类型。 编码如下: 00000 – 不可预取的 32 位存储器 bar 00001 - IO 00100 – 低 32 位的不可预取的 64 位存储器 bar 01000 - 可预取的 32 位存储器 bar 01100 - 低双字的可预取的 64 位存储器 bar 10000 –高双字的可预取的 64 位存储器 bar 11111 - No bar implemented 其他 – 保留	RW	0
31:4	保留		

### 3.1.2.62 vendor\_phy\_control\_register\_n(n=0~3)

厂商 PHY 控制寄存器, 可选。

位	描述	属性	复位值
31:0	可用的厂商指定的 PHY 控制功能	RW	0

### 3.1.2.63 vendor\_phy\_status\_register\_n(n=0~3)

厂商 PHY 状态寄存器, 可选。

位	描述	属性	复位值
31:0	可用的厂商指定的 PHY 状态功能	RO	0

### 3.1.2.64 user\_control\_register\_n(n=0~5)

用户控制寄存器, 可选。

位	描述	属性	复位值
31:0	可用的用户逻辑控制功能	RW	0

### 3.1.2.65 user\_status\_register\_n(n=0~5)

用户状态寄存器, 可选。

位	描述	属性	复位值
31:0	可用的用户逻辑状态功能	RO	0

### 3.1.2.66 pme\_to\_ack\_timeout\_register(offset 590h)

位	描述	属性	复位值
21:0	<p>PME_To_Ack 超时值。</p> <p>当 Root Port 广播 PME_Turn_Off 消息后，PM 模块等待来自下游设备的 PME_To_Ack 消息。在这个等待时间内，如果 ACK msg 没有接收到(即发生超时)，那么 PM 表明 User Logic/PM 软件关闭电源是安全的。</p> <p>例如，在 125MHz 的 core clock 下设置超时值为 2us，那么计算值为 <math>2 * 125 = 250</math>。</p> <p>该超时值的建议值为 1ms 到 10ms，保证下游设备有足够的时间准备关闭电源条件。</p>	RW	RST_PME_ACK_TIMEOUT

### 3.1.2.67 pme\_to\_ack\_status\_register(offset 594h)

位	描述	属性	复位值
0	<p>PME_To_Ack 消息接收。</p> <p>当 Root Port 接收到来自下游设备的 PME_To_Ack 消息后，该位由硬件置位。置位后，关掉下游设备的电源才是安全的。一旦置位后，该位将保持置位状态，直到软件去写 1 清 0。</p>	RW1C	0
1	<p>进入 L2/L3 ready 状态。</p> <p>当当前电源管理状态为 L2/L3 Ready 时，该位由硬件置位。置位后的 100ns，关掉下游设备的电源才是安全的。</p>	RW1C	0
2	<p>PME_To_Ack 超时发生。</p> <p>当 Root Port 接收来自下游设备的 PME_To_Ack 消息超时（从 PME_To_Ack_timeout register 中可知接收超时），该位由硬件置位。置位后，关掉下游设备的电源才是安全的。一旦置位后，该位将保持置位状态，直到软件去写 1 清 0。</p>	RW1C	0
31:3	保留	RO	0

### 3.1.2.68 device\_number\_register(offset 598h)

位	描述	属性	复位值
4:0	设备号	RW for RC RO for switch DS port	RST_DEV_NUM for RC (port_number-1) for SW DS port
31:5	保留		

### 3.1.2.69 intx\_mask\_register(offset 59Ch)

intx 屏蔽寄存器

位	描述	属性	复位值
0	INTA 中断屏蔽 当接收到来自下游设备的 Assert INTA 报文时，该位用于屏蔽中断的产生。如果该位置 1，则 GPEX 将丢弃 INTA 报文。	RW	0
1	INTB 中断屏蔽 当接收到来自下游设备的 Assert INTB 报文时，该位用于屏蔽中断的产生。如果该位置 1，则 GPEX 将丢弃 INTB 报文。	RW	0
2	INTC 中断屏蔽 当接收到来自下游设备的 Assert INTC 报文时，该位用于屏蔽中断的产生。如果该位置 1，则 GPEX 将丢弃 INTC 报文。	RW	0
3	INTD 中断屏蔽 当接收到来自下游设备的 Assert INTD 报文时，该位用于屏蔽中断的产生。如果该位置 1，则 GPEX 将丢弃 INTD 报文。	RW	0
31:4	保留	RO	0

### 3.1.2.70 pci\_intr\_mask\_register(offset 5A0h)

位	描述	属性	复位值
0	主设备数据奇偶校验错中断屏蔽位(Master Data Parity error interrupt mask) 当 PCI Secondary status register 中的 Master data Parity error 位置 1 时，该屏蔽位通过“msg_rcvd_err_det_intr”信号来屏蔽边带中断的产生。这类中断默认是屏蔽的	RW	1
1	通知目标夭折中断屏蔽位(Signaled Target Abort interrupt mask) 当 PCI Secondary status register 中的 Signaled Target Abort 位置 1 时，该屏蔽位通过“msg_rcvd_err_det_intr”信号来屏蔽边带中断的产生。这类中断默认是屏蔽的	RW	1
2	接收目标夭折中断屏蔽位(Received Target Abort interrupt mask) 当 PCI Secondary status register 中的 Received Target Abort 位置 1 时，该屏蔽位通过“msg_rcvd_err_det_intr”信号来屏蔽边带中断的产生。中断的产生默认是被禁止的	RW	1
3	接收主设备夭折中断屏蔽位(Received Master Abort interrupt mask) 当 PCI Secondary status register 中的 Received Master Abort 位置 1 时，该屏蔽位通过“msg_rcvd_err_det_intr”信号来屏蔽边带中断的产生。中断的产生默认是被禁止的	RW	1
4	接收系统错误中断屏蔽位(Received System Error interrupt mask) 当 PCI Secondary status register 中的 Received System Error 位置 1 时，该屏蔽位通过“msg_rcvd_err_det_intr”信号来屏蔽边带中断的产生。中断的产生默认是被禁止的	RW	1
5	检测到奇偶校验错中断屏蔽位(Detected Parity Error interrupt mask) 当 PCI Secondary status register 中的 Detected Parity Error 位置 1 时，该屏蔽位通过“msg_rcvd_err_det_intr”信号来屏蔽边带中断的产生。中断的产生默认是被禁止的	RW	1
31:6	保留	RO	0

### 3.1.2.71 switch\_ds\_port\_disable\_register(offset 5B0h)

位	描述	属性	复位值
0	禁用 DS port 1 Switch 的所有下游端口默认是使能的。各个下游端口有可能被禁用，比如说在置 config_ready 位之前。	RW	0
1	禁用 DS port 2	RW	0
2	禁用 DS port 3	RW	0
(N-2):3	同上。Bit-n 表示禁用 DS port#(n+1)	RW	0
31:(N-1)	保留	RO	0

### 3.1.2.72 Port Arbitration Field Select register(offset 600h)

端口仲裁域选择寄存器

位	描述	属性	复位值
N-1:0	端口仲裁域选择。 =switch 的所有端口总数。 仲裁域的值 0，表示为最高优先级的端口。仲裁域的值 1，表示为第二高优先级的端口。仲裁域的值 2，表示为第三高优先级的端口。依此类推。	RW	0
7:N	保留	RO	0
10:8	端口仲裁 VC 选择	RW	0
31:11	保留	RO	0

### 3.1.2.73 Port Arbitration Priority register(offset 604h)

端口仲裁优先权寄存器，仅用于 Switch 端口的优先权仲裁。

位	描述	属性	复位值
N-1:0	端口仲裁优先权选择。 =switch 的所有端口总数。 优先权为 0，表示优先级最高的端口；优先权为 1，表示优先级第二高的端口；优先权为 2，表示优先级第三高的端口。	RW	DS: 0 US: 1
31:N	保留	RO	

### 3.1.2.74 Port Arbitration Timeout register(offset 608h)

端口仲裁超时寄存器，仅用于 Switch 端口的优先权仲裁。

位	描述	属性	复位值
7:0	通过优先权域选择寄存器(priority field select register)选择的仲裁	RW	8'd50



	优先权的超时向量值。 例如，要设置第二优先级端口的超时值，那么第一步将‘Priority field select’ register 设置为 1。第二步对该寄存器(Port Arbitration Timeout register)设置成相应的超时值		
31:8	保留	RO	0

### 3.1.2.75 Port Arbitration Vector Count register(offset 60Ch)

端口仲裁向量计数寄存器，仅用于 Switch 端口的优先权仲裁。

位	描述	属性	复位值
3:0	通过优先权域选择寄存器(priority field select register)选择的仲裁优先权(arbitration priority field)的向量计数值。即在服务下一个最高优先级的 ingress port 前，被饿死的 ingress port 能够发送的 packets/vectors 的数量。例如，设置第二高优先级端口的向量计数值。第一步，将‘Priority field select’ register 设置为 1；第二步，对该寄存器操作，设置相应的向量计数值。	RW	4'd1
31:4	保留	RO	0

### 3.1.2.76 Port Arbitration Select register(offset 610h)

位	描述	属性	复位值
0	VC egress port 的仲裁模式选择 0 -> RR port arbitration 1 -> Priority port arbitration	RW	0
31:1	保留	RO	0

### 3.1.2.77 VC Arbitration Timeout register(offset 614h)

VC 仲裁超时寄存器，仅用于有 VC 优先权仲裁的端口。

位	描述	属性	复位值
7:0	VC 超时向量值。即经过多少个 packets/vectors 后，所选低优先级 VC 会饿死。 例如，设置 VC2 的超时值。第一步，设置‘RX VC select’ register 为 2，即选择 VC2 通道。第二步，对 VC arb timeout register 操作，设置相应的 VC 超时向量值。	RW	‘RST_VA VC_A RB_TI MEOU T_VC0
31:8	保留	RO	

### 3.1.2.78 Port Arbitration Request pending status register(offset 618h)

位	描述	属性	复位值
---	----	----	-----

0	所选 VC 的端口仲裁向量请求悬挂状态。VC 通道通过 VC 选择寄存器 (VC select register, offset 4D0h) 来选择	RO	0
31:1	保留	RO	0

### 3.1.2.79 Clock gating control register(offset 61Ch)

门控时钟控制寄存器

位	描述	属性	复位值
0	在 L0 状态下的事务层门控时钟使能	RW	0
1	在 L0 状态下的数据链路层门控时钟使能	RW	0
2	在 L0 状态下的物理层门控时钟使能	RW	0
3	在 L0 状态下的物理层不可用的 lane 的门控时钟使能	RW	0
4	在 L1 状态下的事务层门控时钟使能	RW	0
5	在 L1 状态下的数据链路层门控时钟使能	RW	0
6	在 L1 状态下的物理层门控时钟使能	RW	0
7	在 L2 状态下的事务层门控时钟使能	RW	0
8	在 L2 状态下的数据链路层门控时钟使能	RW	0
9	在 L2 状态下的物理层门控时钟使能	RW	0
31:10	保留	RO	0

### 3.1.2.80 Rx Completion Error status register(offset 620h)

位	描述	属性	复位值
0	Rx 完成包为不支持的错误状态	RWIC	0
1	Rx 完成包为完成中止错误状态	RWIC	0
2	完成超时错误状态	RWIC	0
3	Rx 完成包为配置请求重试(Config request retry)的错误状态	RWIC	0
31:4	保留	RO	0

注: RWIC 为写 1 清 0。

### 3.1.2.81 RxCompletion\_header\_log\_dwn\_register(n=0~2) (offset 624h + 4\*n)

位	描述	属性	复位值
31:0	Rx 的错误完成包的第 n 个双字的头信息(header log). Completion header 共有 3 个双字。每当 RX 完成错误状态寄存器(Rx completion error status register)中捕捉到一个新错误时, 头信息将被更新。	RO	最近接收到的错误完成包的第 n 个双字 (n=0~2)

### 3.1.2.82 PAB Software Reset enable register(offset 630h)

位	描述	属性	复位值
---	----	----	-----

0	PAB 软件复位使能。高有效。 作用是帮住 EP 从热复位和 link down 中恢复回来。	RW	0
31:1	保留	RO	0

### 3.1.2.83 GPEX Gen2 control register(offset 640h)

GPEX Gen2 控制寄存器。该寄存器提供 GEN2 设备 MAC 层的额外控制。

位	描述	属性	复位值
0	Transmit Swing	RW	0b
1	Link Width Upconfiguration Enable	RW	0b
2	Select De-emphasis Preferred	RW	0b
3	Select De-emphasis Forced (downstream ports only)	RW	0b
7:4	Supported Link Speeds	RW	2h
8	RxEI Inferring Enable	RW	1b
14:9	RxEI Filter Width Low	RW	0h
20:15	RxEI Filter Width High	RW	0h
22:21	tx_fts_prep_num	RO	0
31:21	保留	RO	0

### 3.1.2.84 GPEX Release Version register(offset 6FCh)

GPEX 发布版本寄存器。

位	描述	属性	复位值
7:0	子版本	RO	8'd0
10:8	主版本	RO	3'd2
31:11	保留	RO	0

### 3.1.2.85 SR\_IOV TotalVFs and InitialVfs Register(offset 591h)

该寄存器仅适用于 SR\_IOV。

位	描述	属性	复位值
15:0	InitialVFs	RW	8
31:16	Total VFs	RW	8

### 3.1.2.86 Function Dependency Link and Device ID(offset 5A1h)

该寄存器仅适用于 SR\_IOV。

位	描述	属性	复位值
15:0	Device ID	RO	0
31:16	Functional dependency Link	RW	0

### 3.1.2.87 VF Offset and Stride Register(offset 5B1h)

该寄存器仅适用于 SR\_IOV。

位	描述	属性	复位值
15:0	First Vf Offset	RW	1
31:16	VF Stride	RW	1

### 3.1.2.88 Supported Page Size Register(offset 5C1h)

该寄存器仅适用于 SR\_IOV。

位	描述	属性	复位值
31:0	Supported page Size	RW	32'h000_07ff

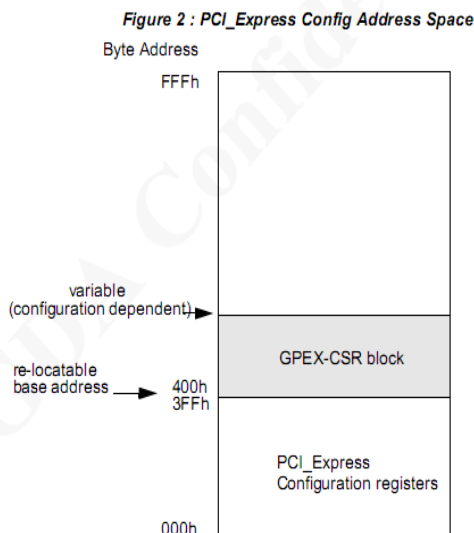
### 3.1.2.89 ATS Invalidate Q Depth Register(offset 5D1h)

该寄存器仅适用于 ATS。

位	描述	属性	复位值
4:0	Invalidate Q Depth	RW	0

## 3.1.3 用户自定义寄存器

用户自定义寄存器主要是 PCIE PHY 的一些配置参数和用于调试观测的内部寄存器状态。这类寄存器软件不可见，主要用于硬件的维护，通过维护通路（APB 总线）访问。



根据整个 IO 套片的维护地址分配方案，为 PCIE switch 分配的地址空间为 512KB，PCIE switch 的 6 个端口，IP 为每个端口的配置寄存器和 CSR 寄存器分配 4KB 空间，在整个芯片的维护

地址分配中，为每个端口分配 4KB 空间，另外，为用户逻辑分配 4KB 空间，地址划分如下

PADDR[21:19]	PADDR[18:12]	说明	备注
3'h2	7'h00	US port	
	7'h01	DS port1	
	7'h02	DS port2	
	7'h03	DS port3	
	7'h04	DS port4	
	7'h05	DS port5	
	7'h06	用户空间	

由上可见，switch 用户空间的 APB 地址高位都是 0x6016。用户自定义寄存器全都是 32 位寄存器，不支持字节访问，因此低 12 位地址都是双字对界地址。

下表为用户自定义寄存器的详细说明。地址都是每个寄存器的低 12 位地址【11: 0】。寄存器的有效位数都是从最低位 bit0 开始。

### 3.1.3.1 读写寄存器

地址【11: 0】	寄存器名	有效位	复位缺省值	说明
000h	Port13_sel[1:0]	[1:0]	2'b01	保留，不使用
004h	Port24_sel[1:0]	[1:0]	2'b01	
008h	Us_pcs_en_gen2	[0]	1'b1	为 1 表示本链路可以工作在 PCIE Gen2 或 Gen1 模式，为 0 表示本链路只能工作在 Gen1 模式，缺省情况为所有端口都可以工作在 GEN2 模式。 这三个信号分别连接到 US,DS13 和 DS24 的 PCS 的 en_gen2 输入信号上。
00Ch	Ds13_pcs_en_gen2	[0]	1'b1	
010h	Ds24_pcs_en_gen2	[0]	1'b1	
014h	Us_pipe_pcs_loopbk	[0]	1'b0	为 1 表示使 PCS 生成使能信号，指示 PHY 将串行 tx 数据环回到 rx 数据。缺省为不环回。 主要用于链路的 Bist 测试
018h	Ds13_pipe0_pcs_loopbk	[0]	1'b0	
01Ch	Ds13_pipe1_pcs_loopbk	[0]	1'b0	
020h	Ds24_pipe0_pcs_loopbk	[0]	1'b0	
024h	Ds24_pipe1_pcs_loopbk	[0]	1'b0	
028h	Us_phy_res_req_in	[0]	1'b0	为 0 表示是 US PHY 公共输入电阻仲裁链的起始端。当前只有 US PHY0 和 PHY1 串成的链起始端由维护控制。DS13,DS24 PHY 的链固定。
02Ch	Us_pcs_clk_req	[0]	1'b1	PHY mpll_dword_clk Required by External Logic <b>Function:</b> When asserted, indicates that external logic requires the PHY's mpll_dword_clk (connected to the clock input of the PCS) output to remain active, preventing the PIPE PCS from powering off that clock while in the P2 state. <b>Note:</b> Even when this signal is asserted, the pipeP_pclk output of the PIPE PCS is still disabled when the PIPE interface is placed in the P2 state. <b>Active State:</b> High 为 1 表明外部逻辑需要 mpll_dword_clk 一直保持有效，以防止 PCS 在 P2 电源状态的时候关掉这个时钟
030h	Ds13_pcs_clk_req	[0]	1'b1	
034h	Ds24_pcs_clk_req	[0]	1'b1	
038h	Us_pcs_mac_clkreq_n	[0]	1'b0	

03Ch	Ds13_pcs_mac_clkreq_n	[0]	1'b0	MAC 层对参考时钟的需求。为‘0’表示 MAC 层或上层需要参考时钟一直保持，为‘1’表示可以在 P2 状态的时候关掉参考时钟。
040h	Ds24_pcs_mac_clkreq_n	[0]	1'b0	
044h	Us_pcs_pipe0_en	[0]	1'b1	Us 端口 Pipe0 pcs 的使能信号，缺省为使能
下面与 PHY 相关的信号都是一推三连接到三个 PHY 的同样信号上				
080h	Phy_rtune_req	[0]	1'b0	为 1 表示请求 PHY 调整内部端接电阻
084h	Phy_acjt_level	[4:0]	5'h13	1149.6 接收电平控制，参考 SW-F，缺省设置为 5'h13
088h	Phy_los_level	[4:0]	5'h9	丢失信号检测电平控制，手册推荐缺省值为 0x9
08Ch	Phy_vp_is_1p2	[0]	1'b0	Digital Core 的电源，1V 为 0，1.2V 为 1，PCIE 的数字部分电源为 1V，即缺省值为 0
090h	Phy_ref_is_fast	[0]	1'b0	为 1 表示 PHY 的参考时钟高于 200Mhz。当前 PHY 的参考时钟为 100Mhz，缺省值为 0
094h	Phy_mpll_multiplier	[6:0]	7'h19	Mpll 的倍频参数控制。缺省值根据手册中给出的公式计算得出。 $HSSMPLLMULT = \frac{500 \times maxspeed \times refclockdivider}{refclockfrequency}$
098h	Phy_test_powedown	[0]	1'b0	为 1 使所有电路都 PowerDown，用于 IDDQ testing（裸片和封装时测试漏电流）
09Ch	Phy_test_burmin	[0]	1'b0	为 1 使所有电路都 Active，用于芯片的 burnin test
0A0h	Phy_test_bypass	[0]	1'b0	为 1 表示将所有输入信号连接到输出信号，用于 ATPG 测试
100h	Sens_slot_present_port	[3:0]	4'b0	相应位为‘1’表示该下游端口连接了插槽，否则未连接插槽， Bit[3:0]分别代表 ds4~ds1 端口是否连接了插槽
104h	Set_pme_status	[5:0]	6'b0	对应 ds5~ds1 和 Usport 的 set_pme_status 信号
108h	Rdy_to_enter_aspm_l1	[5:0]	6'b0	相应位为‘1’表示该端口准备好进入 L1 电源管理状态 Bit[5:0]分别代表 ds4~ds1 和 US port
10Ch	Exit_l2_port	[3:0]	4'b0	相应位为‘1’指示该下游端口可以退出 L2 电源管理状态 Bit[3:0]分别代表 ds4~ds1 下游端口

### 3.1.3.2 只读寄存器

地址 【11: 0】	寄存器名	有效位	说明
<b>PHY 相关状态</b>			
400h	Link_up_status	[5:0]	每个端口的 linkup 状态，为 1 表示本端口已经 linkup Bit5: DS5 端口 Bit4: DS4 端口 Bit3: DS3 端口 Bit2: DS2 端口 Bit1: DS1 端口 Bit0: US 端口
404h	phy_rtune_ack_out	[2:0]	每个 PHY 的端接电阻调整值，为 1 表示端接电阻调整正在进行，从 1 变成 0 表示端接电阻调整完成。 Bit2: US_PHY Bit1: DS13_PHY Bit0: DS24_PHY
408h	US_pcs_mpll_ctl	[2:0]	各个端口 PHY 内关于 MPLL 的控制信号的状态 Bit2: mpll_pwron, 正常工作状态下为 1 Bit1: mpll_slow, 正常工作状态下为 0 Bit0: mpll_state, 正常工作状态下为 1
40Ch	Ds13_pcs_mpll_ctl	[2:0]	
410h	Ds24_pcs_mpll_ctl	[2:0]	
414h	Us_phy_res_ack_out	[0]	US PHY 的 res_ack_out 信号，是 res 链的末端输出信号
<b>电源管理相关状态</b>			
440h	Entered_123_state	[4:0]	各个端口的 123_ready 电源管理状态，为‘1’表示相应下游端口进入了 123_ready 状态 Bit4: DS5 端口 Bit3: DS4 端口 Bit2: DS3 端口 Bit1: DS2 端口 Bit0: DS1 端口
444h	Exited_123_state	[4:0]	各个端口退出 123_ready 电源管理状态的指示。为‘1’表示下游端口退出了 123_ready 电源管理状态 Bit4: DS5 端口 Bit3: DS4 端口 Bit2: DS3 端口 Bit1: DS2 端口 Bit0: DS1 端口



448h	Pm_status	[11:0]	各个端口的电源管理状态，每个端口两位 00b: D0 active 状态 01b: D1 状态 10b: D2 状态 11b: D3-hot 状态 其中 [11:10]: DS5 端口 [9:8]: DS4 端口 [7:6]: DS3 端口 [5:4]: DS2 端口 [3:2]: DS1 端口 [1:0]: US 端口
PIPE 接口相关状态			
480h	Us_pipe_common_ctl	[9:0]	Us 端口 PIPE 接口的公共控制信号， Bit9: tx_deemph Bit8: tx_swing Bit7~Bit5: tx_margin[2:0] Bit4: phy_status Bit3: tx_detectrx Bit2~Bit1: powerdown[1:0] Bit0: rate
484h	Us_pipe_lane0_ctl	[7:0]	Us 端口 lane0~lane7 的 PIPE 接口控制信号 Bit7: rx_polarity Bit6: tx_compliance Bit5: tx_elecidle, Bit4: rx_valid Bit3: rx_elecidle Bit2~Bit0: rx_status[2:0]
488h	Us_pipe_lane1_ctl	[7:0]	
48Ch	Us_pipe_lane2_ctl	[7:0]	
490h	Us_pipe_lane3_ctl	[7:0]	
494h	Us_pipe_lane4_ctl	[7:0]	
498h	Us_pipe_lane5_ctl	[7:0]	
49Ch	Us_pipe_lane6_ctl	[7:0]	
4A0h	Us_pipe_lane7_ctl	[7:0]	
4A4h	Ds13_pipe0_common_ctl	[9:0]	Ds13 端口 PIPE0 接口的公共控制信号， Bit9: tx_deemph Bit8: tx_swing Bit7~Bit5: tx_margin[2:0] Bit4: phy_status Bit3: tx_detectrx Bit2~Bit1: powerdown[1:0] Bit0: rate
4A8h	Ds13_pipe0_lane0_ctl	[7:0]	Ds13 端口 pipe0 接口 lane0~lane7 的控制信号 Bit7: rx_polarity Bit6: tx_compliance Bit5: tx_elecidle, Bit4: rx_valid Bit3: rx_elecidle Bit2~Bit0: rx_status[2:0]
4ACh	Ds13_pipe0_lane1_ctl	[7:0]	
4B0h	Ds13_pipe0_lane2_ctl	[7:0]	
4B4h	Ds13_pipe0_lane3_ctl	[7:0]	
4B8h	Ds13_pipe0_lane4_ctl	[7:0]	
4BCh	Ds13_pipe0_lane5_ctl	[7:0]	
4C0h	Ds13_pipe0_lane6_ctl	[7:0]	
4C4h	Ds13_pipe0_lane7_ctl	[7:0]	
4C8h	Ds13_pipe1_common_ctl	[9:0]	Ds13 端口 PIPE1 接口的公共控制信号， Bit9: tx_deemph Bit8: tx_swing Bit7~Bit5: tx_margin[2:0] Bit4: phy_status Bit3: tx_detectrx Bit2~Bit1: powerdown[1:0] Bit0: rate

4CCh	Ds13_pipe1_lane0_ctl	[7:0]	Ds13 端口 pipe1 接口 lane0~lane3 的控制信号 Bit7: rx_polarity Bit6: tx_compliance Bit5: tx_elecidle, Bit4: rx_valid Bit3: rx_elecidle Bit2~Bit0: rx_status[2:0]
4D0h	Ds13_pipe1_lane1_ctl	[7:0]	
4D4h	Ds13_pipe1_lane2_ctl	[7:0]	
4D8h	Ds13_pipe1_lane3_ctl	[7:0]	
4DCh	Ds24_pipe0_common_ctl	[9:0]	Ds24 端口 PIPE0 接口的公共控制信号, Bit9: tx_deemph Bit8: tx_swing Bit7~Bit5: tx_margin[2:0] Bit4: phy_status Bit3: tx_detectrx Bit2~Bit1: powerdown[1:0] Bit0: rate
4E0h	Ds24_pipe0_lane0_ctl	[7:0]	Ds24 端口 pipe0 接口 lane0~lane7 的控制信号 Bit7: rx_polarity Bit6: tx_compliance Bit5: tx_elecidle, Bit4: rx_valid Bit3: rx_elecidle Bit2~Bit0: rx_status[2:0]
4E4h	Ds24_pipe0_lane1_ctl	[7:0]	
4E8h	Ds24_pipe0_lane2_ctl	[7:0]	
4ECh	Ds24_pipe0_lane3_ctl	[7:0]	
4F0h	Ds24_pipe0_lane4_ctl	[7:0]	
4F4h	Ds24_pipe0_lane5_ctl	[7:0]	
4F8h	Ds24_pipe0_lane6_ctl	[7:0]	
4FCh	Ds24_pipe0_lane7_ctl	[7:0]	
500h	Ds24_pipe1_common_ctl	[9:0]	Ds24 端口 PIPE1 接口的公共控制信号, Bit9: tx_deemph Bit8: tx_swing Bit7~Bit5: tx_margin[2:0] Bit4: phy_status Bit3: tx_detectrx Bit2~Bit1: powerdown[1:0] Bit0: rate
504h	Ds24_pipe1_lane0_ctl	[7:0]	Ds24 端口 pipe1 接口 lane0~lane3 的控制信号 Bit7: rx_polarity Bit6: tx_compliance Bit5: tx_elecidle, Bit4: rx_valid Bit3: rx_elecidle Bit2~Bit0: rx_status[2:0]
508h	Ds24_pipe1_lane1_ctl	[7:0]	
50Ch	Ds24_pipe1_lane2_ctl	[7:0]	
510h	Ds24_pipe1_lane3_ctl	[7:0]	
<b>链路训练状态机状态</b>			
800h~8FCh	US_ltssm_fifo 的 64 个条目	[6:0]	US 端口的链路训练状态 FIFO 中的状态值 bit[6:0] 为对应条目的链路训练状态机状态
900h~9FCh	DS1_ltssm_fifo 的 64 个条目	[6:0]	DS1 端口的链路训练状态 FIFO 中的状态值 bit[6:0] 为对应条目的链路训练状态机状态
A00h~AFCh	DS2_ltssm_fifo 的 64 个条目	[6:0]	DS2 端口的链路训练状态 FIFO 中的状态值 bit[6:0] 为对应条目的链路训练状态机状态
B00h~BFCh	DS3_ltssm_fifo 的 64 个条目	[6:0]	DS3 端口的链路训练状态 FIFO 中的状态值 bit[6:0] 为对应条目的链路训练状态机状态
C00h~CFCh	DS4_ltssm_fifo 的 64 个条目	[6:0]	DS4 端口的链路训练状态 FIFO 中的状态值 bit[6:0] 为对应条目的链路训练状态机状态

D00h~DFCh	DS5_ltssm_fifo 的 64 个条目	[6:0]	DS5 端口的链路训练状态 FIFO 中的状态值 bit[6:0] 为对应条目的链路训练状态机状态
E00h	US_ltssm_waddr[5:0]	[5:0]	US_ltssm_fifo 的当前写地址
E04h	DS1_ltssm_waddr[5:0]	[5:0]	DS1_ltssm_fifo 的当前写地址
E08h	DS2_ltssm_waddr[5:0]	[5:0]	DS2_ltssm_fifo 的当前写地址
E0Ch	DS3_ltssm_waddr[5:0]	[5:0]	DS3_ltssm_fifo 的当前写地址
E10h	DS4_ltssm_waddr[5:0]	[5:0]	DS4_ltssm_fifo 的当前写地址
E14h	DS5_ltssm_waddr[5:0]	[5:0]	DS5_ltssm_fifo 的当前写地址

## 3.2 PCIe-AMBA 桥

### 3.2.1 PCIe-AMBA 维护可见寄存器总览

PCIe-AMBA 桥的所有寄存器都对维护总线开放，包括内部寄存器组、sIP 和 DVn-CFG，实现一个 APB Slave 接口，地址过滤至以上三个部件，维护地址划分需要统一制定。

PADDR[31:16]	PADDR[15:13]	说明
16'h6018	3'b000	sIP 寄存器
	3'b001	桥自定义寄存器
	3'b010	桥 PCI 配置寄存器
	3'b011	设备配置寄存器
	3'b100	维护加载寄存器

### 3.2.2 PCIe-AMBA 维护可见寄存器详细定义

#### 3.2.2.1 sIP 寄存器定义

维护地址：0x6018,0000 + offset[11:0]

Offset[11:0]	名称描述	Default	Type
0x0h	PCI Configuration ID register	32'h12005656	RO
0x04h	PCI Command and Status register	0x10 0000h	RO,RW
0x08h	PCI Revision ID and Class code register	0x6040000h	RO
0x0Ch	PCI Cache Line,Latency Timer, Header Type Register	0x10000h	RO
0x10h	PCI memory/IO base address Registers		RO,RW
0x18h	Bus number Register	32'h0	RW
0x1Ch	IO Base Limit and secondary status Register		RO,RW
0x20h	Memory Base Limit Register	32'h0	RO,RW
0x24h	Prefetchable Memory Base Limit Register	0x10001h	RO,RW
0x28h	Prefetchable Base Upper DWord Register	32'h0	RW
0x2Ch	Prefetchable Limit Upper DWord Register	32'h0	RW
0x30h	IO Base Limit Upper Word Register	32'h0	RW
0x34h	PCI Capabilities Register Description		RO

0x3Ch	PCI Interrupt Line, Interrupt Pin, MIN_GNT,MAX_LAT		RO
0X44h	PCI PM Capability Register		RO
0X48h	PCI PM Control/Status Register	32'h0	RO,RW
0X4Ch	PCI Express Capability register		RO
0X50h	PCI Express Device Capability		RO
0X54h	PCI-Express Device control & status register	32'h2810	RO,RW
0X58h	Link Capabilities Register		RO
0X5Ch	Link control & Status register		RO,RW
0X60h	Slot Capability register		RO
0X64h	Slot Status/Control register		RO,RW
0X68h	Root Control Register	32'h0	RW
0X6Ch	Root Status Register	32'h0	RO
0X7Ch	Link Control 2 Register(a)	16'h2	RW & HwInit
0X7Eh	Link Status 2 Register(a)	16'h0	RO
0X100	Advanced Error Reporting Enhanced Capability Header		RO
0X104h	Uncorrectable Error Status Register	32'h0	RO/RW1C
0X108h	Uncorrectable Error Mask Register	32'h0	RO & RW
0X10Ch	Uncorrectable Error Severity Register	32'h62011	RO & RW
0X110h	Correctable Error Status Register	32'h0	RO/RW1C
0X114h	Correctable Error Mask Register	32'h0	RO & RW
0X118h	Advanced Error Capabilities and Control Register		RO & RW
0X11Ch~0X128h	Header Log Register	128'h0	RO
0X12Ch	Root Error Command Register	32'h0	RW
0X130h	Root Error Status Register	32'h0	RO/RW1C
0X134h	Error Source Identification Register	32'h0	RO
0X138h	Virtual Channel Enhanced Capability Header		RO
0X13Ch	Port VC Capability Register 1		RO
0X140h	Port VC Capability Register 2		RO
0X144h	Port VC Control & Status Register	32'h0	RO & RW
0X148h	VC Resource Capability Register_0		RO
0X14Ch	VC resource Control Register_0	32'h80000001	RO & RW
0X150h	VC resource Status Register_0	32'h0	RO
VC_OFFSET*4	VC Arbitration Table(WRR-32,64,128 entries). Currently vc_arb_table_wrr32 is implemented, which contains 32 entries of 4bits.	32'h0	RO & RW
VC_OFFSET*4+04h	VC Arbitration Table	32'h0	RO & RW
VC_OFFSET*4+08h	VC Arbitration Table	32'h0	RO & RW
VC_OFFSET*4+0Ch	VC Arbitration Table	32'h0	RO & RW
0x0400h	ltssm_state_control_register		
0x0404h	ltssm_state_status_register		
0x0408h	skip_freq_timer_register		
0x040Ch	lane_select_register		
0x0410h	lane_deskew_register		
0x0414h	receiver_error_register		

0x0418h	lane_number_control_register		
0x041Ch	n_fts_control_register		
0x0420h	link_status_register		
0x0428h	extended_recovery_control_register		
0x042Ch	sync_bypass_register		
0x0434h	init_fc_resend_timeout_register		
0x0438h	ack_replay_timeout_register		
0x043Ch	seq_num_status_register		
0x0440h	core_clock_ratio_register		
0x0450h	gpex_pm_timer_register		
0x0454h	pme_timeout_register		
0x0458h	aspm_l1_timer_register		
0x045Ch	aspm_request_timer_register		
0x0460h	aspm_l1_disable_register		
0x0468h	advisory_error_register		
0x046Ch	intx_control_register		
0x0470h	gpex_id_register	0x12005656	
0x0474h	gpex_classcode_register		
0x0478h	gpex_subsys_id_register		
0x047Ch	gpex_device_capability_register		
0x0480h	gpex_link_capability_register		
0x0484h	function_num_register		
0x0488h	gpex_pm_capability_register		
0x048Ch	function_select_register		
0x0490h	gpex_slot_capability_register		
0x0498h	gpex_pcie_capability_register		
0x049Ch	gpex_pcie_lnk_status_register		
0x04A0h	gpex_pwr_bgt_capability_register		
0x04A4h	vsec_header_register		
0x04A8h	legacy_endpoint_register		
0x04ACh	error_counter_register		
0x04B0h	cfg_rdy_register	0	
0x04B8h	fc_update_timeout_register		
0x04BCh	fc_update_timer_register		
0x04C8h	load_vc_buf_size_register		
0x04CCh	rx_vc_buf_register		
0x04D0h	rx_vc_buf_select_register		
0x04D4h	bar_enable_register		
0x04D8h	bar_size_ldw_register		
0x04DCh	bar_size_udw_register		
0x04E0h	bar_select_register		
0x04E4h	credit_cntr_select_reg		
0x04E8h	credit_cntr_status_register		
0x04ECh	tlp_hdr_select_register		
0x04F0h	tlp_hdr_log_dw0_register		
0x04F4h	tlp_hdr_log_dw1_register		
0x04F8h	tlp_hdr_log_dw2_register		
0x04FCh	tlp_hdr_log_dw3_register		
0x0500h	relaxed_ordering_control_register		
0x0504h	bar_prefetch_register		
0x0508h	fc_check_control_register		
0x050Ch	extended_vc_count_register		
0x0510h	cutthrough_control_register		
0x0514h	bar_type_register		
0x0518h	fc_update_timer_traffic_register		
0x053Ch	vendor_phy_control_register_0		

0x0540h	vendor_phy_status_register_0		
0x0544h	vendor_phy_control_register_1		
0x0548h	vendor_phy_status_register_1		
0x054Ch	vendor_phy_control_register_2		
0x0550h	vendor_phy_status_register_2		
0x0554h	vendor_phy_control_register_3		
0x0558h	vendor_phy_status_register_3		
0x055Ch	user_control_register_0		
0x0560h	user_status_register_0		
0x0564h -0x0588h	user_control_register_n (n = 1~5) user_status_register_n (n = 1~5)		
0x0590h	pme_to_ack_timeout_register		
0x0594h	pme-to_ack_status_register		
0x0598h	device_number_register		
0x059Ch	intx_mask_register		
0x05A0h	pci_intr_mask_register		
0x05B0h	switch_ds_port_disable_register		
0x05F0h	gpex_uncorrectable_error_status_register		
0x0600h	port_arbitration_field_select_register		
0x0604h	port_arbitration_priority_register		
0x0608h	port_arbitration_timeout_register		
0x060Ch	port_arbitration_vector_count_register		
0x0610h	port_arbitration_select_register		
0x0614h	vc_arbitration_timeout_register		
0x0618h	port_arbitration_req_pending_sts_register		
0x061Ch	clock_gating_control_register		
0x0620h	rx_completion_err_sts_register		
0x0624h	rx_completion_err_hdr_log_dw0_register		
0x0628h	rx_completion_err_hdr_log_dw1_register		
0x062Ch	rx_completion_err_hdr_log_dw2_register		
0x0630h	pab_software_reset_enable_register		
0x0640h	gen2_control_register		
0x0644h	sr_iov_tot_init_vf_register (for 16PFs)		
0x068Ch	sr_iov_vf_devid_fdl (for 16PFs)		
0x06C4h	sr_io_offset_stride (for 16PFs)		
0x0704h	sr_iov_supp_pg_sz(for 16PFs)		
0x0708h	ats_invalidate_q_depth		
0x0744h	gpex_release_version_register		
Note: (a) Gen2 enabled device (b) downstream ports only			

### 3.2.2.2 桥自定义寄存器定义

维护地址: 0x6018,2000 + offset[11:0]

Offset[7:0]	Mnemonic	Register Name	Default	Type
0x00h	tcmmsisw	TCM 的 MSI 提交开关寄存器, 硬件置 1, 软件写 0 清, 如果同时有效则置 1, 下同	0	R/W
0x04h	ps2kbmsisw	PS2 键盘的 MSI 提交开关寄存器	0	R/W
0x08h	ps2mosmsisw	PS2 鼠标的 MSI 提交开关寄存器	0	R/W
0x0Ch	uart0msisw	UART0 的 MSI 提交开关寄存器	0	R/W

0x10h	uart1msisw	UART1 的 MSI 提交开关寄存器	0	R/W
0x14h	kcsmsisw	KCS 的 MSI 提交开关寄存器	0	R/W
0x18h	btmsisw	BT 的 MSI 提交开关寄存器	0	R/W
0x1Ch	pmdebugmsisw	PMDEBUG 的 MSI 提交开关寄存器	0	R/W
0x20h			0	R/W
0x24h	i2cmsisw	I2C 的 MSI 提交开关寄存器	0	R/W
0x28h	gmac0msisw	GMAC0 的 MSI 提交开关寄存器	0	R/W
0x2Ch	gmac1msisw	GMAC1 的 MSI 提交开关寄存器	0	R/W
0x30h	satamsisw	SATA 的 MSI 提交开关寄存器	0	R/W
0x34h	gpumsisw	GPU 控制器 MSI 提交开关寄存器	0	R/W
0x38h	vpumsisw	VPU 控制器 MSI 提交开关寄存器	0	R/W
0x3Ch	dcmsisw	DC 的 MSI 提交开关寄存器	0	R/W
0x40h	dmamsisw	DMA 引擎的 MSI 提交开关寄存器	0	R/W
0x44h	ac97msisw	AC97 的 MSI 提交开关寄存器	0	R/W
0x48h	usbehcimsisw	USB ehci 的 MSI 提交开关寄存器	0	R/W
0x4Ch	usbhci0msisw	USB ohci0 的 MSI 提交开关寄存器	0	R/W
0x50h	usbhci1msisw	USB ohci1 的 MSI 提交开关寄存器	0	R/W
0x54h	brmsisw	桥的 MSI 提交开关寄存器	0	R/W
0x70h	pbinst0	PCIe 桥接口状态寄存器 0		RO
0x74h	pbinst1	PCIe 桥接口状态寄存器 1		RO
0x78h	pbinst2	PCIe 桥接口状态寄存器 2		RO
0x7Ch	Pbinst3	PCIe 桥接口状态寄存器 3		RO
0x80h	pcqpakst0	PCQ_PAK 状态寄存器 0		RO
0x84h	pcqpakst1	PCQ_PAK 状态寄存器 1		RO
0x88h	pcqpakst2	PCQ_PAK 状态寄存器 2		RO
0x8Ch	pcqpakst3	保留		RO
0x90h	acqaakst0	ACQ_AAK 状态寄存器 0		RO
0x94h	acqaakst1	ACQ_AAK 状态寄存器 1		RO
0x98h	acqaakst2	ACQ_AAK 状态寄存器 2		RO
0xA0h	pmbugintpricfg	pmbug 中断优先级配置寄存器,下同	0	R/W
0xA4h	keyintpricfg		1	R/W
0xA8h	ohci0intpricfg		2	R/W
0xACh	ohci1intpricfg		3	R/W
0xB0h	mouseintpricfg		4	R/W
0xB4h	uart0intpricfg		5	R/W
0xB8h	uart1intpricfg		6	R/W
0xBCh	kcsintpricfg		7	R/W
0xC0h	btintpricfg		8	R/W
0xC4h	tcmintpricfg		9	R/W
0xC8h	i2cintpricfg		a	R/W
0xCCh	gpintpricfg	31:24 for DMA, 23:16 for VPU, 15:8 for GPU, 7:0 for DC	0e0d0c0b	R/W
0xD0h	brintpricfg		f	R/W
0xD4h	ac97intpricfg		10	R/W
0xD8h	ehciintpricfg		11	R/W
0xDCh	sataintpricfg		12	R/W
0xE0h	gmac0intpricfg		13	R/W
0xE4h	gmac1intpricfg		14	R/W



0xE8h	intricfgmask	中断优先级配置屏蔽寄存器	0	R/W
0xF0h	intst0	中断处理模块状态寄存器 0		RO
0xF4h	intst1	中断处理模块状态寄存器 1		RO
0xF8h	intst2	中断处理模块状态寄存器 2		RO
0x60h	pberr0	桥错误中断源寄存器 0, 硬件置 1, 软件写 0 清	0	R/WC
0x64h	pberr1	桥错误中断源寄存器 1, 硬件置 1, 软件写 0 清	0	R/WC
0x68h	pberrmask0	桥错误中断屏蔽寄存器 0, 高有效	1	R/W
0x6Ch	pberrmask1	桥错误中断屏蔽寄存器 1, 高有效	1	R/W
0xECh	pberr2	桥错误中断源寄存器 2, 硬件置 1, 软件写 0 清	0	R/WC
0xFCh	Pberrmask2	桥错误中断屏蔽寄存器 2, 高有效	1	R/W

tcmmssiw: 0x00h

Bit	Description
0	TCM 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

ps2kbmsiw: 0x04h

Bit	Description
0	ps2kb 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

ps2mosmsiw: 0x08h

Bit	Description
0	ps2mouse 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

uart0msiw: 0x0Ch

Bit	Description
0	uart0 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

uart1msiw: 0x10h

Bit	Description

0	uart1 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

kcsmsisw: 0x14h

Bit	Description
0	kcs 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

btmsisw: 0x18h

Bit	Description
0	bt 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

pmdebugmsisw: 0x1Ch

Bit	Description
0	pmdebug 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

xbusmsisw: 0x20h

Bit	Description
0	xbus 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

i2cmsisw: 0x24h

Bit	Description
0	i2c 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

gmac0msisw: 0x28h

Bit	Description
0	gmac0 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

gmac1msisw: 0x2Ch

Bit	Description
0	gmac1 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

satamsisw: 0x30h

Bit	Description
0	sata 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

gpumsisw: 0x34h

Bit	Description
0	gpu 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

vpumsisw: 0x038h

Bit	Description
0	VPU 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清; 在软件置 4 条 MSI 使能的情况下, 该开关对应 VPU 中断; 在软件置 2 条 MSI 使能的情况下, 该开关对应 VPU 和 DMA 中断
31:1	保留

dcmsisw: 0x03Ch

Bit	Description
0	DC 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清; 在软件置 4 条 MSI 使能的情况下, 该开关对应 DC 中断; 在软件置 1 条 MSI 使能的情况下, 该开关对应 GPU、VPU、DMA 和 DC 中断
31:1	保留

dmamsisw: 0x040h

Bit	Description
0	DMA 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清; 在软件置 4 条 MSI 使能的情况下, 该开关对应 DMA 中断;
31:1	保留

ac97msisw: 0x44h

Bit	Description
0	ac97 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

usbehcimsisw: 0x48h

Bit	Description
0	usbehci 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

usbhci0msisw: 0x4Ch

Bit	Description
0	usbhci0 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

usbohci1msisw: 0x50h

Bit	Description
0	usbohci1 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

usbohci1msisw: 0x50h

Bit	Description
0	usbohci1 的 MSI 提交开关状态位, 硬件置 1, 软件写 0 清
31:1	保留

pbinfst0: 0x70h

Bit	Description
3:0	ACQ2PB_rtlprq,ioack_rq,regacktlprq,dvacktlprq
6:4	memw_rq,INT2PB_tlprq,ACQ2PB_wtlprq
17:7	PB2DV_dvtlprq,regptlprq,regnptlprq,urtlprq,miowrq,miorrq, npfilter_st,pfilter_st
31:18	保留

pbinfst1: 0x74h

Bit	Description
1:0	cpl_pendingram_useflag
3:2	np_pendingram_useflag
5:4	p_pendingram_useflag
8:6	queue_full_p, queue_full_np, queue_full_cpl
29:9	gpi_tx_vector[23:3]
30	gpi_tx_vector_req
31	保留

pbinfst2: 0x78h

Bit	Description
24:0	whackfifo_empty,whackfifo_full,whrqfifo_empty,whrqfifo_full, mioackfifo_empty,mioackfifo_full,miorqfifo_empty, miorqfifo_full,miorqdatafifo_empty,miorqdatafifo_full, ionpfifo_empty,ionpfifo_nearlyfull,iopfifo_empty, iopfifo_nearlyfull,dmaackcfifo_empty,dmaackcfifo_nearlyfull, ionpvecfifo_empty, ionpvecfifo_full,iopvecfifo_empty, iopvecfifo_full,dmaackvecfifo_empty,dmaackvecfifo_full, dmawdfifo_empty, dmawdfifo_almostfull, dmawdfifo_full
31:25	保留

pbinfst3: 0x7Ch

Bit	Description
0	{gpi_rx_vector[23:0]}
31:24	保留

pcqst0: 0x80h

Bit	Description
[0]	io_wr_valid, IO 写有效
[4:1]	io_wr_firstdwbe, IO 写数据首个 DW 字节有效标志
[8:5]	io_wr_lastdwbe, IO 写数据最后的 DW 字节有效标志
[12:9]	io_wr_data_len, IO 写数据长度 (DW 为单位, 从 0 到 15)
[13]	iowdatafifo_rd, iowdatafifo 读数据使能
[14]	io_rd_valid, IO 读有效
[15]	io_resp_rd_valid, IO 读响应有效
[17:16]	io_resp_rd_complstatus, IO 读响应状态 (2'b00 为正常完成)
[18]	io_resp_wr_valid, IO 写响应有效
[20:19]	io_resp_wr_complstatus, IO 写响应状态
[22:21]	PAB2AHB_htrans, 发向 AHB 总线的控制信息
[25:23]	PAB2AHB_hsize, 发向 AHB 总线的粒度信息 (3'b000:8bit, 3'b001:16bit, 3'b010:32bit)
[28:26]	PAB2AHB_hburst, 发向 AHB 总线的数据传输方式 (3'b000:single, 3'b001:incr, 只支持两种方式)
[29]	PAB2AHB_hwwrite, 发向 AHB 的请求为读还是写, 1: 写; 0: 读
[30]	AHB2PAB_hready, AHB 总线发来的请求是否接收, 或响应是否有效
[31]	保留

pcqst1: 0x84h

Bit	Description
[2:0]	ahb_state, IO 请求发向 AHB 总线的发送控制状态机
[5:3]	state, MEM-IO 写向 iowdatafifo 写数据状态机
[6]	state_wr, PCQ 向 AHB 接口站台发送读写请求状态机
[7]	io_type, IO 读写请求类型, 0: 读; 1: 写
[8]	写类型, 1: mem-io 写; 0: io 写
[16:9]	tag, IO 读写请求的 tag 值
[17]	to_ddr, 是否为去显存的访问, 1: 去显存; 0: 去非显存
[18]	rq_head_add, 收到响应
[19]	ack_en, 是否允许接收新的请求
[20]	flag_split_over, 请求是否向 AHB 总线发送完毕, 去非显存的大于 4B 的 mem-io 写拆成多个请求, 也要全部发送完, 该标志会置为“1”
[31:21]	保留

pcqst2: 0x88h

Bit	Description
[31:0]	第一个超时请求对应的地址

pakst0: 0x8Ch

Bit	Description
[31:0]	保留

acqaakst0: 0x90h

Bit	Description
[0]	AXI2PAB_bready, AXI 总线的 DMA 写响应接收
[1]	AXI2PAB_rready, AXI 总线的 DMA 读响应接收
[2]	PAB2AXI_wready, 给 AXI 总线的 DMA 写控制接收
[3]	PAB2AXI_awready, 给 AXI 总线的 DMA 写数据接收
[4]	PAB2AXI_arready, 给 AXI 总线的 DMA 读接收
[6:5]	state_wr_response, AXI 接口 DMA 写响应状态机状态
[8:7]	state_rd_response, AXI 接口 DMA 读响应状态机状态
[11:9]	state_wr, AXI 接口 DMA 写状态机状态
[12]	state_rd[0], AXI 接口 DMA 读状态机状态[0]位
[31:13]	保留

acqaakst1: 0x94h

Bit	Description
[0]	state_rd[1], AXI 接口 DMA 读状态机状态[1]位
[1]	PB2AAK_tlpctlempty, DMA 读响应读控制非空
[2]	AAK2PB_tlpctlrld, DMA 读响应读控制有效
[3]	PB2AAK_tlpdatempty, DMA 读响应数据非空
[4]	AAK2PB_tlpdatrd, DMA 读响应读数据有效
[5]	DMA_Resp_Rd_last, DMA 读响应最后一拍数据
[6]	PB2AAK_wrack, DMA 写上 pcie 链路
[7]	DMA_Resp_Rd_data_valid, DMA 读响应数据有效
[8]	DMA_Resp_SendEn, DMA 读响应允许接收
[9]	DMA_Resp_Wr_valid, DMA 写响应有效
[13:10]	state_resp, DMA 读响应状态机状态
[18:14]	rd_tag_chos, DMA 读响应 tag
[20:19]	保留
[21]	ACQ2PB_wtlprq, DMA 写请求发送
[22]	PB2ACQ_wtlpack, DMA 写请求接收
[23]	ACQ2PB_wtlpdat[128], DMA 写最后一拍数据
[31:24]	保留

acqaakst2: 0x98h

Bit	Description
[0]	ACQ2PB_wtlpdat_dv, DMA 写数据有效
[1]	PB2ACQ_wtlpdat_disc, DMA 写数据中断传输
[2]	PB2ACQ_rtlpack, DMA 读请求接收
[3]	ACQ2PB_rtlprq, DMA 读请求发送
[4]	DMA_Rq_Rd_valid, DMA 读请求有效
[5]	DMA_Rd_SendEn, DMA 读发送使能

[6]	DMA_Wr_ctrl_SendEn, DMA 写控制发送使能
[7]	DMA_Wr_data_SendEn, DMA 写数据发送使能
[9:8]	state, DMA 写状态机状态
[14:10]	pcie_tag, DMA 读请求的 tag 值
[31:15]	保留

pmbugintpricfg: 0xA0h

Bit	Description
4:0	pmbug 的 5 位中断优先级, 0 最高, 31 最低
31:5	保留

keyintpricfg: 0xA4h

Bit	Description
4:0	key 的 5 位中断优先级
31:5	保留

ohci0intpricfg: 0xA8h

Bit	Description
4:0	ohci0 的 5 位中断优先级
31:5	保留

ohci1intpricfg: 0xACh

Bit	Description
4:0	ohci1 的 5 位中断优先级
31:5	保留

mouseintpricfg: 0xB0h

Bit	Description
4:0	mouse 的 5 位中断优先级
31:5	保留

uart0intpricfg: 0xB4h

Bit	Description
4:0	uart0 的 5 位中断优先级
31:5	保留

uart1intpricfg: 0xB8h

Bit	Description
4:0	uart1 的 5 位中断优先级
31:5	保留



kcsintpricfg: 0xBCh

Bit	Description
4:0	kcs 的 5 位中断优先级
31:5	保留

btintpricfg: 0xC0h

Bit	Description
4:0	bt 的 5 位中断优先级
31:5	保留

tcmintpricfg: 0xC4h

Bit	Description
4:0	tcm 的 5 位中断优先级
31:5	保留

i2cintpricfg: 0xC8h

Bit	Description
4:0	i2c 的 5 位中断优先级
31:5	保留

gpintpricfg: 0xCCh

Bit	Description
31:0	31:24 for DMA, 23:16 for VPU, 15:8 for GPU, 7:0 for DC

brintpricfg: 0xD0h

Bit	Description
4:0	br 的 5 位中断优先级
31:5	保留

ac97intpricfg: 0xD4h

Bit	Description
4:0	ac97 的 5 位中断优先级
31:5	保留

ehciintpricfg: 0xD8h

Bit	Description
4:0	ehci 的 5 位中断优先级
31:5	保留

sataintpricfg: 0xDCh

Bit	Description
4:0	sata 的 5 位中断优先级
31:5	保留

gmac0intpricfg: 0xE0h

Bit	Description
4:0	gmac0 的 5 位中断优先级
31:5	保留

gmac1intpricfg: 0xE4h

Bit	Description
4:0	gmac1 的 5 位中断优先级
31:5	保留

intpricfgmask: 0xE8h

Bit	Description
0	软件更改中断优先级时所有中断屏蔽位, 软件写 1 置, 写 0 清
31:1	保留

intst0: 0xF0h

Bit	Description
0	r_msi_st, MSI 发包状态机状态
1	INT2PB_tlprq, INT_CTL 模块输出给桥接口的 MSI 请求有效信号
17:2	INT2PB_tlpctl[47:32],INT 模块输出给桥接口的 96 位 MSI 请求控制包的[47:32]
19:18	INT2PB_tlpdat[9:8],INT 模块输出给桥接口的 129 位 MSI 请求数据包的[9:8]
20	PB2INT_tlpack,桥接口输出给 INT 模块的 MSI 请求接收信号
21	DV2INT_ehci_pmerq DV 模块接口输出给 INT 模块的 EHCIPME 请求信号
22	INT2DV_ehci_pmeack DV 模块接口输出给 INT 模块的 EHCIPME 请求接收信号
23	DV2INT_sata_pmerq DV 模块接口输出给 INT 模块的 SATAPME 请求信号
24	INT2DV_sata_pmeack DV 模块接口输出给 INT 模块的 SATAPME 请求接收信号
25	r_arb_st; 3 源仲裁器状态机状态
28:26	c_arb_ack[2:0]; 3 源仲裁器仲裁结果
31:29	保留

intst1: 0xF4h

Bit	Description
-----	-------------

0	pmbug MSI 中断优先级寄存器定义值相等异常，下同
1	key
2	ohci0
3	ohci1
4	mouse
5	uart0
6	uart1
7	kcs
8	bt
9	tcm
10	i2c
11	dc
12	gpu
13	vpu
14	dma
15	br
16	ac97
17	ehci
18	sata
19	gmac0
20	gmac1
31:21	保留

intst2: 0xF8h

Bit	Description
0	pmbug 无法发中断异常，下同
1	key
2	ohci0
3	ohci1
4	mouse
5	uart0
6	uart1
7	kcs
8	bt
9	tcm
10	i2c
11	gp
12	br
13	ac97
14	ehci
15	sata
16	gmac0
17	gmac1
21:18	send_set_intx_msg: assertd、assertc、assertb、asserta
25:22	send_clr_intx_msg: deassertd、eassertc、deassertb、deasserta
31:26	保留

pberr0: 0x60h

Bit	Description
-----	-------------

0	lockerr, 规则过滤接收到锁事务错误
1	outbarerr, 请求地址不在任意一个设备的 pre-BAR 范围
2	type1err, 接收到 Type1 配置事务
3	memiolentherr, MEM-IO 读事务数据长度>1DW
4	memiofstbeerr, MEM-IO 写事务=1DW 或者其它事务时, FstBE 不是以下值: 0001、0010、0100、1000、0011、1100、1111; MEM-IO 对显存以外设备写事务>1DW 时, FstBE 不是以下值: 1000、1100、1111, MEM-IO 对显存写事务>1DW 时, FstBE 不是 1111
5	memiolstbeerr, MEM-IO 写事务=1DW 或者其它事务时, LstBE 不是 0000; MEM-IO 对显存以外设备写事务>1DW 时, LstBE 不是以下值: 0001、0011、1111, MEM-IO 对显存写事务>1DW 时, LstBE 不是 1111
6	iowrdataecrcerr, IO 写数据 ecrcerr 即包头 Poison 位有效
7	miowrdataecrcerr, MEM-IO 写数据 ecrcerr 即包头 Poison 位有效
8	cfgwrdataecrcerr, CFG 写数据 ecrcerr 即包头 Poison 位有效
11	aaktgismatch, AAK 模块的 DMA 读响应 tag 不匹配
12	aakrqidmismatch, AAK 模块的 DMA 读响应 rqid 不匹配
13	aakbecmismatch, AAK 模块的 DMA 读响应 bytcount 不匹配
14	aakresur, AAK 模块的 DMA 读响应完成状态为 UR
15	aakresca, AAK 模块的 DMA 读响应完成状态为 CA
16	aakresmlf, AAK 模块的 DMA 读响应完成状态为 MLF
18	aakdataerr, AAK 模块的 DMA 读响应包头 poisoned 位有效
19	aakrestimeout, AAK 模块的 DMA 读响应完成超时
20	axirsize_err, AXI 的 DMA 读请求 arsize 编码错误
21	axirlock_err, AXI 的 DMA 读请求对应的设备或桥 Master_en 为 0
22	axiwsizer_err, AXI 的 DMA 写请求 awsize 编码错误
23	axiwllock_err, AXI 的 DMA 写请求对应的设备或桥 Master_en 为 0
25	axiwlaster_timeout, AXI 的 DMA 写请求计数器超时还没完成
26	ahbreserr, AHB 的 IO 响应完成状态为 error
27	ahbressplit, AHB 的 IO 响应完成状态为 retry/split
28	ahbrestimeout, AHB 的 IO 响应超时
29	brhwerr, 桥接口逻辑硬件错

pberr1: 0x64h

Bit	Description
0	msipriexcp, MSI 中断优先级寄存器定义值相等异常
1	intmodeexcp, INTx 中断方式时不能发出中断异常信号
2	
3	

4	
5	iobrenerr, IO 请求对应桥的 PCI 命令寄存器[0]位 I/O 空间访问使能为 0
6	iodvenerr, IO 请求对应相关 BMC 设备的 PCI 命令寄存器[0]位 I/O 空间访问使能为 0
7	miobrenerr, MEM-IO 请求对应桥的 PCI 命令寄存器[1]位 MEM 空间使能为 0
8	miodvenerr, MEM-IO 请求对应相关设备的 PCI 命令寄存器[1]位 MEM 空间使能为 0
11	内部寄存器在收到维护或者系统对某一设备的 MSI 提交开关写 0 清时, 收到中断部件来的对该设备提交开关置位脉冲
31:12	保留

pberr2: 0xECh

Bit	Description
0	
1	i2caddrerr, 系统对 I2C 的 IO 访问地址非法
2	gmac0addrerr, 系统对 GMAC0 的 IO 访问地址非法
3	gmac1addrerr, 系统对 GMAC1 的 IO 访问地址非法
4	sataaddrerr, 系统对 SATA 的 IO 访问地址非法
5	mcaddrerr, 系统对 MC 的 IO 访问地址非法
6	vpuaddrerr, 系统对 VPU 的 IO 访问地址非法
7	gpuaddrerr, 系统对 GPU 的 IO 访问地址非法
8	dcaddrerr, 系统对 DC 的 IO 访问地址非法
9	ac97addrerr, 系统对 AC97 的 IO 访问地址非法
10	usbehciaddrerr, 系统对 EHCI 的 IO 访问地址非法
11	usbohci0addrerr, 系统对 OHCI0 的 IO 访问地址非法
12	usbohci1addrerr, 系统对 OHCI1 的 IO 访问地址非法
13:31	保留

pberrmask0: 0x68h

Bit	Description
31:0	每位分别对应错误寄存器相应位的中断使能, 写 1 禁止; 写 0 允许, 缺省为 1

pberrmask1: 0x6Ch

Bit	Description
10:0	每位分别对应错误寄存器相应位的中断使能, 写 1 禁止; 写 0 允许, 缺省为 1
31:11	保留

pbermask2: 0xFCh

Bit	Description
12:0	每位分别对应错误寄存器相应位的中断使能，写 1 禁止；写 0 允许，缺省为 1
31:13	保留

### 3.2.2.3 桥 PCI 配置寄存器定义

				Byte Offset
31				
Device ID		Vendor ID		00h-04h
0	Status	Command		08h-0Ch
Class Code			Revision ID	
BIST	Header Type	Primary Latency Timer	Cache Line Size	10h-14h
Base Address Register 0				18h
Base Address Register 1				
Secondary Latency Timer	Subordinate Bus Number	Secondary Bus Number	Primary Bus Number	1Ch-20h
Secondary Status		I/O Limit	I/O Base	24h
Memory Limit		Memory Base		28h
Prefetchable Memory Limit		Prefetchable Memory Base		2Ch
Prefetchable Base Upper 32 Bits				30h
Prefetchable Limit Upper 32 Bits				34h
I/O Limit Upper 16 Bits		I/O Base Upper 16 Bits		38h
Reserved			Capability Pointer	3Ch
Expansion ROM Base				
Bridge Control		Interrupt Pin	Interrupt Line	

PCI I/O Base 基本配置空间格式

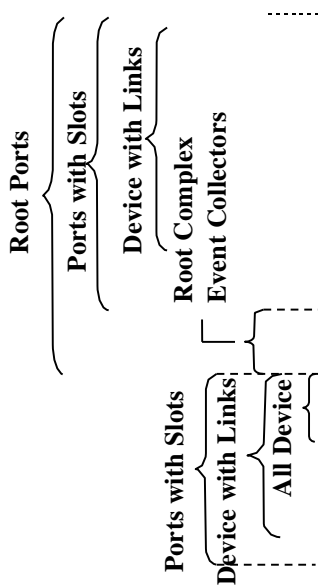
  

				Byte Offset
31				
PCI Express Capabilities Register		Next Cap Pointe	PCI Express Cap ID	00h
Device Capabilities				04h
Device Status	Device Control			08h
Link Capabilities	Link Control			0Ch-10h
Slot Capabilities				14h
Slot Status	Slot Control			18h
Root Capabilities		Root Control		1Ch
Root Status				20h
Device Capabilities 2				24h
Device Status 2	Device Control 2			28h
Link Capabilities 2				2Ch
Link Status 2	Link Control 2			30h
Slot Capabilities 2				34h
Slot Status 2	Slot Control 2			38h

PCIe 能力扩展配置空间格式

Root Ports

- Ports with Slots
- Device with Links
- Root Complex Event Collectors
- Ports with Slots
- Device with Links
- All Device



维护地址: 0x6018,4000 + offset[11:0]

Offset[11:0]	Mnemonic	Register Nme	Default	Type
000h-001h	VID	Vendor Identification	0x5656h	RO

002h-003h	DID	Device Identification	0x1314h	RO
004h-005h	PCICMD	PCI Command	0x0h (待定)	R/W, RO
006h-007h	PCISTS	PCI Status	0x10h	RO
008h	RID	Revision Identification	0x0h	RO
009-00Bh	CC	Class Code	0x60400h	RO
00Ch	CLS	Cache Line Size	0x0h	RO
00Dh	PLT	Primary Latency Timer	0x0h	RO
00Eh	HEADTYP	Header Type	0x1h	RO
010h-017h	MBARA	Memory Base AddressA	0x0h	RO
018h-01Ah	BNUM	Bus Number	0x0h	R/W
01Bh	SLT	Secondary Latency Timer	0x0h	RO
01Ch-01Dh	IOBL	I/O Base and Limit	0x101h	R/W, RO
01Eh-01Fh	SSTS	Secondary Status Register	0x0h	RO
020h-023h	MBL	Memory Base and Limit	0x0h	R/W, RO
024h-027h	PMBL	Prefetchable Memory Base and Limit	0x10001h	R/W, RO
028-02Bh	PMBU	Prefetchable Memory Base Upper 32 bits	0x0h	R/W
02C-02Fh	PMLU	Prefetchable Memory Limit Upper 32 bits	0x0h	R/W
030-031h	IOBU	I/O Base Upper 16 bits	0x0h	R/W
032-033h	IOLU	I/O Limit Upper 16 bits	0x0h	R/W
034h	CAPP	Capabilities List Pointer	0x40h	RO
03Ch-03Dh	INTR	Interrupt Information	0x100h	R/W, RO
03Eh-03Fh	BCTRL	Bridge Control Register	0x0h	R/W
040h-041h	CLIST1	Capabilities List1	0x8010h	RO
042h-043h	XCAP	PCI Express Capabilities	0x72h	RO
044h-047h	DCAP	Device Capabilities	0x1h	RO
048h-049h	DCTL	Device Control	0x1010h	R/W,RO
04Ah-04Bh	DSTS	Device Status	0x0h	RO
04Ch-063h	-	Reserved		
064h-067h	DCAP2	Device Capabilities 2 Register	0x0h	RO
068h-069h	DCTL2	Device Control 2 Register	0x0h	R/W, RO
070h-07Fh	-	Reserved		
080h-081h	MID	MSI Identifiers	0x9005h	RO
082h-083h	MCTL	Message Control	0x0h	R/W,RO
084h-087h	MADDL	Message Address Low	0x0h	R/W
088h-089h	MDAT	Message Data	0x0h	R/W
90h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
91h	CLIST0	Capabilities List0	0x0h	RO
92h-93h	PWR_CAP	Power Management Capabilities	0x8002h	RO
94h-95h	PWR_CNTL_STS	Power Management Control/Status	0x0h	RO



100-3FFh	-	Reserved		
----------	---	----------	--	--

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH PCIe-PCI Bridge controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated. This bit does not affect interrupt forwarding from devices.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 This bit controls forwarding of Memory or I/O Requests by the bridge in the Upstream direction. 0 = Memory and I/O Requests received at the secontry side of the bridge must be handled as Unsupported Requests (UR), and for Non-Posted Requests a Completion with UR completion status must be returned. 1 = Memory and I/O Requests received at the secontry side of the bridge will be forwarded
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Memory cycles within the range specified by the memory base and limit registers are master aborted on the backbone. 1 = Enable. Allows memory cycles within the range specified by the memory base and limit registers can be forwarded to the PCI device.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. I/O cycles within the range specified by the I/O base and limit registers are master aborted on the backbone. 1 = Enable. Allows I/O cycles within the range specified by the I/O base and limit registers can be forwarded to the PCI Express device.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 1 = Multi-function device.
6:0	Configuration Layout- RO.01h = Indicates a PCI-to-PCI bridge.

## MBARA-Memory Base AddressA Register: 10-17h

Bit	Description
63:4	Reserved
3	Prefetchable Memory (PM) - RO. Set to '0' indicate that the bridge not implement prefetchable memory
2:1	Memory Type (MT) - RO. Set to 0b indicating a 32 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

BNUM-Bus Number Register: 18–1Ah

Bit	Description
23:16	Subordinate Bus Number (SBBN) - R/W. 桥下接的最大总线号
15:8	Secondary Bus Number (SCBN) - R/W. 桥的下一级总线号
7:0	Primary Bus Number (PBN) - R/W. 桥所在的总线号

SLT-Secondary Latency Timer: 1Bh

Bit	Description
7:0	Secondary Latency Timer - Reserved.

IOBL-I/O Base and Limit Register: 1Ch–1Dh

Bit	Description
15:12	I/O Limit Address (IOLA) - R/W. I/O Limit bits corresponding to address lines 15:12 for 4-KB alignment. Bits 11:0 are assumed to be padded to FFFh. These bits are compared with bits 15:12 of the incoming address to determine the upper 4-KB aligned value of the range.
11:8	I/O Limit Address Capability (IOLC) - R/O. set to 1 indicates that the bridge support 32-bit I/O addressing.
7:4	I/O Base Address (IOBA) - R/W. I/O Base bits corresponding to address lines 15:12 for 4-KB alignment. Bits 11:0 are assumed to be padded to 000h. These bits are compared with bits 15:12 of the incoming address to determine the lower 4-KB aligned value of the range.
3:0	I/O Base Address Capability (IOBC) - R/O. Indicates that the bridge support 32-bit I/O addressing.

SSTS-Secondary Status Register: 1Eh–1Fh

Bit	Description
15	Detected Parity Error (DPE) - Not supported.
14	Received System Error (RSE) - Not supported.
13	Received Master Abort (RMA) - Not supported.
12	Received Target Abort (RTA) - Not supported.
11	Signaled Target Abort (STA) - Not supported.
10:9	Secondary DEVSEL# Timing Status (SDTS) - Not supported.
8	Data Parity Error Detected (DPD) - Not supported.
7	Secondary Fast Back to Back Capable (SFBC) - Not supported.
6	Reserved
5	Secondary 66 MHz Capable (SC66) - Not supported.

4:0	Reserved
-----	----------

**MBL-Memory Base and Limit Register: 20h–23h**

Bit	Description
31:20	Memory Limit (ML) - R/W. These bits are compared with bits 31:20 of the incoming address to determine the upper 1-MB aligned value of the range.
19:16	Reserved, Hardware to 0
15:4	Memory Base (MB) - R/W. These bits are compared with bits 31:20 of the incoming address to determine the lower 1-MB aligned value of the range.
3:0	Reserved, Hardware to 0

**PMBL-Prefetchable Memory Base and Limit Register: 24h–27h**

Bit	Description
31:20	Prefetchable Memory Limit (PML) - R/W. These bits are compared with bits 31:20 of the incoming address to determine the upper 1-MB aligned value of the range.
19:16	64-bit Indicator (I64L) - RO. Set to 1 indicates support for 64-bit addressing
15:4	Prefetchable Memory Base (PMB) - R/W. These bits are compared with bits 31:20 of the incoming address to determine the lower 1-MB aligned value of the range.
3:0	64-bit Indicator (I64B) - RO. Set to 1 indicates support for 64-bit addressing

**PMBU-Prefetchable Memory Base Upper 32 bits address: 28h–2Bh**

Bit	Description
31:0	Prefetchable Memory Base Upper 32 bits address - R/W. These bits are compared with bits 63:32 of the incoming address to determine the lower 1-MB aligned value of the range.

**PMLU-Prefetchable Memory Limit Upper 32 bits address: 2Ch–2Fh**

Bit	Description
31:0	Prefetchable Memory Limit Upper 32 bits address - R/W. These bits are compared with bits 63:32 of the incoming address to determine the upper 1-MB aligned value of the range.

**IOBU-IO Base Upper 16 bits address: 30h–31h**

Bit	Description
15:0	IO Base Base Upper 16 bits address - R/W. These bits are compared with bits 31:16 of the incoming address to determine the lower 4-KB aligned value of the range.

**IOLU- IO Limit Upper 16 bits address: 32h–33h**

Bit	Description
-----	-------------

15:0	IO Base Limit Upper 16 bits address - R/W. These bits are compared with bits 31:16 of the incoming address to determine the upper 4-KB aligned value of the range.
------	--

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space.

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the bridge is INTa#
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**BCTRL-Bridge Control Register: 3Eh–3Fh**

Bit	Description
15:12	Reserved
11	Discard Timer SERR# Enable (DTSE): Reserved per PCI Express Base Spec
10	Discard Timer Status (DTS): Reserved
9	Secondary Discard Timer (SDT): Reserved
8	Primary Discard Timer (PDT): Reserved
7	Fast Back to Back Enable (FBE): Reserved
6	Secondary Bus Reset (SBR) -R/W. Setting this bit, triggers a hot reset on the PCI Express bridge Secondary Bus. 0 - Do not force the assertion of the secondary interface RST#. 1 - Force the assertion of the secondary interface RST#. Default value of this field is 0.
5	Master Abort Mode (MAM): Reserved
4	VGA 16-Bit Decode (V16) - R/W.缺省为 0 This bit enables the bridge to provide 16-bit decoding of VGA I/O address precluding the decoding of alias addresses every 1 KB. This bit only has meaning if the VGA Enable bit in this register is also set to 1, enabling VGA I/O decoding and forwarding by the bridge. This read/write bit enables system configuration software to select between 10- and 16-bit I/O address decoding for all VGA I/O register accesses that are forwarded from primary to secondary whenever the VGA Enable bit is set to 1. 0 - Execute 10-bit address decodes on VGA I/O accesses. 1 - Execute 16-bit address decodes on VGA I/O accesses. Default value of this field is 0. This bit must be implemented if the VGA Enable bit is implemented. If this bit is not implemented, it must be read-only and return a value of 0 when read.

3	VGA Enable (VE)- R/W.缺省为 0 0 = The ranges below will not be claimed off the backbone by the bridge. 1 = The following ranges will be claimed off the backbone by the bridge: • Memory ranges A0000h-BFFFFh • I/O ranges 3B0h – 3BBh and 3C0h – 3DFh, and all aliases of bits 15:10 in any combination of 1s
2	ISA Enable (IE) - R/W. 缺省为 0 This bit only applies to I/O addresses that are enabled by the I/O Base and I/O Limit registers and are in the first 64 KB of PCI I/O space. 0 = the bridge must forward downstream all I/O addresses in the address range defined by the I/O Base and I/O Limit registers . 1 = If the ISA Enable bit is 1b, I/O transactions on the secondary bus in the top 768 bytes of any 1-KB address block within the first 64 KB of PCI I/O Space will be forwarded upstream to the primary bus, even if the address is between the I/O base and I/O limit addresses.
1	SERR# Enable (SE) - Reserved
0	Parity Error Response Enable (PERE) - Reserved

#### CLIST-Capabilities List Register

Address Offset: 40–41h Attribute: RO Default Value: 8010h Size: 16 bits

Bit	Description
15:8	Next Capability (NEXT) - RO. Value of 80h indicates the location of the next pointer.
7:0	Capability ID (CID) - RO. Value of 10h indicates this is a PCI Express capability.

#### XCAP-PCI Express Capabilities Register: 42h–43h

Bit	Description
15:14	Reserved
13:9	Interrupt Message Number (IMN) - RO. For MSI, the value in this field indicates the offset between the base Message Data and the interrupt message that is generated.
8	Slot Implemented (SI) - Not supported.
7:4	Device / Port Type (DT) - RO. Value of 0h indicates this is a PCI Express to PCI bridge.
3:0	Capability Version (CV) - RO. Value of 0010b indicates PCI Express 2.0.

Defined encodings are:

- 0000b PCI Express Endpoint
- 0001b Legacy PCI Express Endpoint
- 0100b Root Port of PCI Express Root Complex
- 0101b Upstream Port of PCI Express Switch

- 0110b Downstream Port of PCI Express Switch
- 0111b PCI Express to PCI/PCI-X Bridge 1000b
- PCI/PCI-X to PCI Express Bridge 1001b
- Root Complex Integrated Endpoint 1010b
- Root Complex Event Collector

**DCAP-Device Capabilities Register: 44h–47h**

Bit	Description
31:28	Reserved
27:26	Captured Slot Power Limit Scale (CSPS) - Not supported.
25:18	Captured Slot Power Limit Value (CSPV) - Not supported
17:16	Reserved
15	Role Based Error Reporting (RBER) - Not supported
14:12	Reserved
11:9	Endpoint L1 Acceptable Latency (E1AL) - Not supported
8:6	Endpoint L0s Acceptable Latency (E0AL) - Not supported
5	Extended Tag Field Supported (ETFS) - Not supported
4:3	Phantom Functions Supported (PFS) - Not supported
2:0	Max Payload Size Supported (MPS) - RO. Hardwired to 001b.桥下挂接的设备会发起最大 256B 的 MEM写请求

**DCTL-Device Control Register: 48h–49h**

Bit	Description
15	Reserved
14:12	Max Read Request Size (MRRS) – RO Default value is 001b.桥下挂接的设备会发起最大 256B 的读请求
11	Enable No Snoop (ENS) - Not supported.
10	Aux Power PM Enable (APME) - Not supported.
9	Phantom Functions Enable (PFE) - Not supported.
8	Extended Tag Field Enable (ETFE) - Not supported
7:5	Max Payload Size (MPS) - R/W. The OS can set this field as: 0:128B, 1:256B
4	Enable Relaxed Ordering (ERO) - R/W. 缺省为 1
3	Unsupported Request Reporting Enable (URE) - Not supported.
2	Fatal Error Reporting Enable (FEE) - Not supported.
1	Non-Fatal Error Reporting Enable (NFE) - Not supported.
0	Correctable Error Reporting Enable (CEE) - Not supported.

**DSTS-Device Status Register: 4Ah–4Bh**

Bit	Description
15:6	Reserved
5	Transactions Pending (TDP) - Not supported.
4	AUX Power Detected (APD) - Not supported.
3	Unsupported Request Detected (URD) - Not supported.
2	Fatal Error Detected (FED) - Not supported.
1	Non-Fatal Error Detected (NFED) - Not supported.

0	Correctable Error Detected (CED) - Not supported.
---	---

## DCAP2-Device Capabilities 2 Register: 64h–67h

Bit	Description
31:5	Reserved
4	Completion Timeout Disable Supported (CTDS) - Not supported.
3:0	Completion Timeout Ranges Supported (CTRS) –Not supported.

## DCTL2-Device Control 2 Register: 68h–69h

Bit	Description
15:5	Reserved
4	Completion Timeout Disable (CTD) - Not supported.
3:0	Completion Timeout Value (CTV) - Not supported.

## MID-Message Signaled Interrupt Identifiers Register: 80h–81h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 90h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 82–83h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility, but only one message is ever sent by the bridge.
3:1	Multiple Message Capable (MMC) - RO. Only one message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 84h–87h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

## MD-Message Signaled Interrupt Message Data Register 88h–89h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory



	write transaction.
--	--------------------

**PWR\_CAPID—PCI Power Management Capability ID: 90h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 91h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:92h–93h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D0 和 D3hot、D3cold 状态的 PME 消息，缺省为10000
10	D2_Support - RO.不支持 D2 状态，缺省为 0
9	D1_Support - RO.不支持 D1 状态，缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息，缺省为 000，对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 94h–95h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1.

	NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

### 3.2.2.4 设备配置寄存器(DVn-CFG)定义

**维护地址: 0x6018,6000 + offset[12:0]**

接收维护通路来的对所有设备配置寄存器的维护读写访问, 支持字节粒度的维护读写操作, DVn-CFG 的 32 位维护访问地址是: 0x6018,6xxxh~0x6018,7xxxh, 同时有维护写和系统写则报错, 以下是各设备地址[12:8]分配 ([7:0]地址划分见各设备寄存器定义):

Offset[12:8]	设备名称
00h	PS2 键盘控制器
01h	PS2 鼠标控制器
02h	Uart0 控制器
03h	Uart1 控制器
04h	KCS 控制器
05h	BT 控制器
06h	PMDebug 控制器
07h	XBUS 控制器
08h	SPI 控制器
0A	I2C 控制器
10h	TCM 模块
11h	千兆以太网控制器 0
12h	千兆以太网控制器 1
13h	SATA 硬盘控制器
14h	显示控制器
15h	AC97 音频控制器
16h	USB EHCI 控制器
17h	USB OHCI 控制器 0
18h	USB OHCI 控制器 1

#### 键盘控制器

**维护地址: 0x6018,6000 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0x1Fh	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO

06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0x90000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x80h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	0x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	0x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	0x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

## VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

## DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH PS/2 controller.

## PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported

7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W.缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

Base Class	Meaning
00h	Device was built before Class Code definitions were finalized
01h	Mass storage controller
02h	Network controller
03h	Display controller
04h	Multimedia device
05h	Memory controller
06h	Bridge device
07h	Simple communication controllers
08h	Base system peripherals
09h	Input devices
0Ah	Docking stations
0Bh	Processors
0Ch	Serial bus controllers
0Dh	Wireless controller
0Eh	Intelligent I/O controllers
0Fh	Satellite communication controllers
10h	Encryption/Decryption controllers
11h	Data acquisition and signal processing controllers
12h - FEh	Reserved
FFh	Device does not fit in any defined classes

Base Class	Sub-Class	Interface	Meaning	
01h	00h	00h	SCSI bus controller	
	01h	xxh	IDE controller (see Note 1 below)	
	02h	00h	Floppy disk controller	
	03h	00h	IPI bus controller	
	04h	00h	RAID controller	
	05h	20h		ATA controller with single DMA
		30h		ATA controller with chained DMA
	06h	00h	Serial ATA Direct Port Access (DPA) (see Note 2 below)	
80h	00h	Other mass storage controller		

Base Class	Sub-Class	Interface	Meaning	
02h	00h	00h	Ethernet controller	
	01h	00h	Token Ring controller	
	02h	00h	FDDI controller	
	03h	00h	ATM controller	
	04h	00h	ISDN controller	
	05h	00h	WorldFip controller	
	06h	xxh (see below)		PICMG 2.14 Multi Computing
	80h	00h		Other network controller

Base Class	Sub-Class	Interface	Meaning
03h	00h	0000 0000b	VGA-compatible controller. Memory addresses 0A 0000h through 0B FFFFh. I/O addresses 3B0h to 3BBh and 3C0h to 3DFh and all aliases of these addresses.
		0000 0001b	8514-compatible controller -- 2E8h and its aliases, 2EAh-2EFh
	01h	00h	XGA controller
	02h	00h	3D controller
	80h	00h	Other display controller

Base Class	Sub-Class	Interface	Meaning
04h	00h	00h	Video device
	01h	00h	Audio device
	02h	00h	Computer telephony device
	80h	00h	Other multimedia device

Base Class	Sub-Class	Interface	Meaning
07h	00h	00h	Generic XT-compatible serial controller
		01h	16450-compatible serial controller
		02h	16550-compatible serial controller
		03h	16650-compatible serial controller
		04h	16750-compatible serial controller
		05h	16850-compatible serial controller
		06h	16950-compatible serial controller
	01h	00h	Parallel port
		01h	Bi-directional parallel port
		02h	ECP 1.X compliant parallel port
		03h	IEEE1284 controller
		FEh	IEEE1284 target device (not a controller)
	02h	00h	Multiport serial controller
	03h	00h	Generic modem
		01h	Hayes compatible modem, 16450-compatible interface (see below)
		02h	Hayes compatible modem, 16550-compatible interface (see below)
		03h	Hayes compatible modem, 16650-compatible interface (see below)
	04h	00h	Hayes compatible modem, 16750-compatible interface (see below)
		01h	Hayes compatible modem, 16850-compatible interface (see below)
		02h	Hayes compatible modem, 16950-compatible interface (see below)
		03h	Hayes compatible modem, 16450-compatible interface (see below)
04h	00h	GPIB (IEEE 488.1/2) controller	
05h	00h	Smart Card	
80h	00h	Other communications device	

Base Class	Sub-Class	Interface	Meaning
08h	00h	00h	Generic 8259 PIC
		01h	ISA PIC
		02h	EISA PIC
		10h	I/O APIC interrupt controller (see below)
		20h	I/O(x) APIC interrupt controller
	01h	00h	Generic 8237 DMA controller
		01h	ISA DMA controller
		02h	EISA DMA controller
	02h	00h	Generic 8254 system timer
		01h	ISA system timer.
		02h	EISA system timers (two timers)
	03h	00h	Generic RTC controller
		01h	ISA RTC controller
	04h	00h	Generic PCI Hot-Plug controller
	80h	00h	Other system peripheral

Base Class	Sub-Class	Interface	Meaning	
09h	00h	00h	Keyboard controller	
	01h	00h	Digitizer (pen)	
	02h	00h	Mouse controller	
	03h	00h	Scanner controller	
	04h	00h	Gameport controller (generic)	
		10h	Gameport controller (see below)	
80h	00h	Other input controller		
Base Class	Sub-Class	Interface	Meaning	
0Ch	00	00h	IEEE 1394 (FireWire)	
		10h	IEEE 1394 following the 1394 OpenHCI specification	
	01h	00h	ACCESS.bus	
	02h	00h	SSA	
	03h	00h	00h	Universal Serial Bus (USB) following the Universal Host Controller Specification
			10h	Universal Serial Bus (USB) following the Open Host Controller Specification
		20h	USB2 host controller following the Intel Enhanced Host Controller Interface	
		80h	Universal Serial Bus with no specific programming interface	
		FEh	USB device (not host controller)	
	04h	00h	Fibre Channel	
	05h	00h	SMBus (System Management Bus)	
	06h	00h	InfiniBand	
	07h (see Note 1 below)	00h	IPMI SMIC Interface	
		01h	IPMI Kybd Controller Style Interface	
		02h	IPMI Block Transfer Interface	
08h (see Note 2 below)	00h	SERCOS Interface Standard (IEC 61491)		
09h	00h	CANbus		
Base Class	Sub-Class	Interface	Meaning	
10h	00h	00h	Network and computing en/decryption	
	10h	00h	Entertainment en/decryption	
	80h	00h	Other en/decryption	

**CLS-Cache Line Size Register: 0Ch**

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

**PLT-Primary Latency Timer Register: 0Dh**

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

**HEADTYP-Header Type Register: 0Eh**

Bit	Description
7	Multi-Function Device - RO. 1 = Multi-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

**MBARA-Memory Base AddressA Register: 10-17h**

Bit	Description
-----	-------------

63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating the keyboard controller implement prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch–2Dh**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh–2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the keyboard controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MC-Message Signaled Interrupt Message Control Register: 42–43h**

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a



	32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating

	that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**鼠标控制器**
**维护地址: 0x6018,6100 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x1Fh	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO
06h–07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h–0Bh	CC	Class Code	0x90000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x80h	RO
10h–17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch–2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh–2Fh	SID	Subsystem ID	0x0h	R/WO
30h–33h	ERBA	Expansion ROM Base	0x0h	RO

		Address		
34h	CAPP	Capabilities List Pointer	0x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	0x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	0x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH PS/2 controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory

	or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.

2:0	Reserved
-----	----------

**HEADTYP-Header Type Register: 0Eh**

Bit	Description
7	Multi-Function Device - RO. 1 = Multi-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

**MBARA-Memory Base AddressA Register: 10–17h**

Bit	Description
63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch–2Dh**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh–2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the mouse controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

## MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

## PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

## CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

## PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of

	0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**Uart 控制器 0/1**

**Uart0 维护地址: 0x6018,6200 + offset[7:0]Uart1**

**维护地址: 0x6018,6300 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x1Eh	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO

06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0x70000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x80h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	0x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	0x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	0x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH Uart controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported



8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

**PCISTS-PCI Status Register: 06h-07h**

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

**RID-Revision Identification Register: 08h**

Bit	Description
7:0	Revision ID - RO. 缺省为 0

**CC-Class Code Register: 09-0Bh**

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 1 = Multi-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

## MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

## SVID-Subsystem Vendor ID Register: 2Ch–2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

## SID-Subsystem ID Register: 2Eh–2Fh

Bit	Description
15:0	a default value of 0000h.

## ERBA-Expansion ROM Base Address Register: 30h–33h

Bit	Description
31:0	no Flash memory exists

## CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

## INTR-Interrupt Information Register: 3Ch–3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin

	driven by the uart controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MC-Message Signaled Interrupt Message Control Register: 42–43h**

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

**MA-Message Signaled Interrupt Message Address: 44h–47h**

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

**MD-Message Signaled Interrupt Message Data Register: 48h–49h**

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

**PWR\_CAPID—PCI Power Management Capability ID: 50h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 51h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:52h–53h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息，缺省为 10000
10	D2_Support - RO.不支持 D2 状态，缺省为 0
9	D1_Support - RO.不支持 D1 状态，缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息，缺省为 000，对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/W. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state:
	00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**KCS 控制器**
**维护地址: 0x6018,6400 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0x1Dh	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO
06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0xC0701h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH KCS controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved

10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h–07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

## MBARA-Memory Base AddressA Register: 10-17h

Bit	Description
63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

## SVID-Subsystem Vendor ID Register: 2Ch-2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

## SID-Subsystem ID Register: 2Eh-2Fh

Bit	Description
15:0	a default value of 0000h.

## ERBA-Expansion ROM Base Address Register: 30h-33h

Bit	Description
31:0	no Flash memory exists

## CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

## INTR-Interrupt Information Register: 3Ch-3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the KCS controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

## MLMG-Maximum Latency/Minimum Grant Register: 3Eh

Bit	Description
-----	-------------

7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h
-----	---

## MID-Message Signaled Interrupt Identifiers Register: 40h–41h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

## MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

## PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

## CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

## PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
-----	-------------



15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**BT 控制器**
**维护地址: 0x6018,6500 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x1Ch	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO
06h–07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h–0Bh	CC	Class Code	0xC0702h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO

10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum	0x0h	RO
		Latency/Minimum Grant		
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

#### VID-Vendor Identification Register

Address Offset: 00h-01h Attribute: RO Default Value: Size: 16 bits

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

#### DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH BT controller.

#### PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported

2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

**HEADTYP-Header Type Register: 0Eh**

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

**MBARA-Memory Base AddressA Register: 10–17h**

Bit	Description
63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch–2Dh**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh–2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the BT controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register**

Address Offset: 3Eh Attribute: RO Default Value: 00h Size: 8 bits

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 48h–49h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

## MD-Message Signaled Interrupt Message Data Register: 4Ch–4Dh

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

## PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

## CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

## PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved

3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00. This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state.

**PMDebug 控制器**

维护地址: 0x6018, 6600 + offset[7:0]

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x1Bh	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO
06h–07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h–0Bh	CC	Class Code	0x88000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h–17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch–2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh–2Fh	SID	Subsystem ID	0x0h	R/WO
30h–33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch–3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h–41h	MID	MSI Identifiers	x5005h	RO
42h–43h	MCTL	MSI Control	0x0h	R/W,RO
44h–47h	MADDL	MSI Address Low	0x0h	R/W

48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

## VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

## DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH PMDebug controller.

## PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported

10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

MBARA-Memory Base AddressA Register: 10-17h

Bit	Description
63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

SVID-Subsystem Vendor ID Register: 2Ch-2Dh



Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh–2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the pmdebug controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register**

Address Offset: 3Eh Attribute: RO Default Value: 00h Size: 8 bits

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MC-Message Signaled Interrupt Message Control Register: 42–43h**

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

**MA-Message Signaled Interrupt Message Address: 44h–47h**

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.

1:0	Reserved
-----	----------

**MD-Message Signaled Interrupt Message Data Register: 48h–49h**

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

**PWR\_CAPID—PCI Power Management Capability ID: 50h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 51h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:52h–53h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.

8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**Xbus 控制器**
**维护地址: 0x6018,6700 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0x1Ah	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO
06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0xC0500h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
-----	-------------

15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH XBus controller.
------	--

## PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved
Bit	Description
7:0	Revision ID - RO. 缺省为 0

RID-Revision  
n  
Identification n  
Register: 08h

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
63:20	Base Address (BA) - R/W. Software programs this field with the base address of this region.
19:4	Memory Size (MSIZE) - RO. Memory size is 1MB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

SVID-Subsystem Vendor ID Register: 2Ch–2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

SID-Subsystem ID Register: 2Eh–2Fh

Bit	Description
15:0	a default value of 0000h.

ERBA-Expansion ROM Base Address Register: 30h–33h

Bit	Description
31:0	no Flash memory exists

CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

INTR-Interrupt Information Register: 3Ch–3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the xbus controller is INTA.

7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.
-----	--

**MLMG-Maximum Latency/Minimum Grant Register**

Address Offset: 3Eh Attribute: RO Default Value: 00h Size: 8 bits

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MC-Message Signaled Interrupt Message Control Register: 42–43h**

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

**MA-Message Signaled Interrupt Message Address: 44h–47h**

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

**MD-Message Signaled Interrupt Message Data Register: 48h–49h**

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

**PWR\_CAPID—PCI Power Management Capability ID: 50h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 51h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:52h–53h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**SPI 控制器**

维护地址: 0x6018, 6800 + offset[7:0]

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x19h	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO
06h–07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h–0Bh	CC	Class Code	0xC0800h ? EG20T 为 0C8000h	RO

0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h-17h	MBARA	Memory Base AddressA	0x0Ch	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH SPI controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported



2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

## MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
63:13	Base Address (BA) - R/W. Software programs this field with the base address of this region.
12:4	Memory Size (MSIZE) - RO. Memory size is 8KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

## SVID-Subsystem Vendor ID Register: 2Ch–2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

## SID-Subsystem ID Register: 2Eh–2Fh

Bit	Description
15:0	a default value of 0000h.

## ERBA-Expansion ROM Base Address Register: 30h–33h

Bit	Description
31:0	no Flash memory exists

## CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

## INTR-Interrupt Information Register: 3Ch–3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the SPI controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

## MLMG-Maximum Latency/Minimum Grant Register

Address Offset: 3Eh Attribute: RO Default Value: 00h Size: 8 bits

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

## MID-Message Signaled Interrupt Identifiers Register: 40h–41h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

## MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

## PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

## CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

## PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved

3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

## I2C 控制器

维护地址: 0x6018,6A00 + offset[7:0]

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x18h	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO
06h–07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0xh	RO
09h–0Bh	CC	Class Code	0xC0800h ? EG20T 为 0C8000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h–17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch–2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh–2Fh	SID	Subsystem ID	0x0h	R/WO
30h–33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch–3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h–41h	MID	MSI Identifiers	x5005h	RO

42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH I2C controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. Responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. Responds to I/O Space accesses.

PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported

13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

MBARA-Memory Base AddressA Register: 10-17h

Bit	Description
63:14	Base Address (BA) - R/W. Software programs this field with the base address of this region.
13:4	Memory Size (MSIZE) - RO. Memory size is 16KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR

0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR
---	---

SVID-Subsystem Vendor ID Register: 2Ch–2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

SID-Subsystem ID Register: 2Eh–2Fh

Bit	Description
15:0	a default value of 0000h.

ERBA-Expansion ROM Base Address Register: 30h–33h

Bit	Description
31:0	no Flash memory exists

CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

INTR-Interrupt Information Register: 3Ch–3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the I2C controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

MLMG-Maximum Latency/Minimum Grant Register

Address Offset: 3Eh Attribute: RO Default Value: 00h Size: 8 bits

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used. Hardwired to 00h

MID-Message Signaled Interrupt Identifiers Register: 40h–41h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliarycurrent requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicatingthat no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCIclock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complieswith Revision 1.1 of the PCI Power Management

PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.



14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**TCM**
**维护地址：0x6018,7000 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0x10h	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO
06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	x100000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
17h-1Fh	MBARB	Memory Base AddressB	0h	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	CLIST1	Capabilities List1	x8010h	RO
42h-43h	XCAP	PCI Express Capabilities	0x2h	RO
44h-47h	DCAP	Device Capabilities	0x1h	RO
48h-49h	DCTL	Device Control	x1010h	R/W,RO
4Ah-4Bh	DSTS	Device Status	0x0h	RO
4Ch-63h	-	Reserved		
64h-67h	DCAP2	Device Capabilities 2 Register	0x0h	RO
68h-69h	DCTL2	Device Control 2 Register	0x0h	R/W, RO
70h-71h	-	Reserved		
80h-81h	MID	MSI Identifiers	x9005h	RO
82h-83h	MCTL	Message Control	0x0h	R/W,RO
84h-87h	MADDL	Message Address Low	0x0h	R/W
088h-089h	MDAT	Message Data	0x0h	R/W

90h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
91h	CLIST0	Capabilities List0	0x0h	RO
92h-93h	PWR_CAP	Power Management Capabilities	x8002h	RO
94h-95h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

**VID-Vendor Identification Register: 00h-01h**

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

**DID-Device Identification Register: 02h-03h**

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH TCM controller.

**PCICMD-PCI Command Register: 04h-05h**

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space

## PCISTS-PCI Status Register: 06h–07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved
Bit	Description
7:0	Revision ID - RO. 缺省为 0

RID-Revision  
n  
dentificatio n  
Register: 08h

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

## MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
63:20	Base Address (BA) - R/W. Software programs this field with the base address of this region.
19:4	Memory Size (MSIZE) - RO. Memory size is 1MB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory

2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**MBARB-Memory Base AddressB Register: 18–1Fh**

Bit	Description
63:19	Base Address (BA) - R/W. Software programs this field with the base address of this region.
18:4	Memory Size (MSIZE) - RO. Memory size is 512KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch–2Dh**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh–2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**Capp-Capabilities List Pointer Register: 34hBit**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the TCM controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used.

**CLIST-Capabilities List Register: 40h–41h**

Bit	Description
15:8	Next Capability (NEXT) - RO. Value of 80h indicates the location of the next pointer
7:0	Capability ID (CID) - RO. Value of 10h indicates the linked list item is a PCI Express Capability structure.

**XCAP-PCI Express Capabilities Register: 42h–43h**

Bit	Description
15:14	Reserved
13:9	Interrupt Message Number (IMN) - RO. For MSI, the value in this field indicates the offset between the base Message Data and the interrupt message that is generated.
8	Slot Implemented (SI) - Not supported.
7:4	Device / Port Type (DT) - RO. Value of 0h indicates this is a PCI Express Endpoint.
3:0	Capability Version (CV) - RO. Value of 0010b indicates PCI Express 2.0.

## DCAP-Device Capabilities Register:t: 44h–47h

Bit	Description
31:28	Reserved
27:26	Captured Slot Power Limit Scale (CSPS) - Not supported.
25:18	Captured Slot Power Limit Value (CSPV) - Not supported
17:16	Reserved
15	Role Based Error Reporting (RBER) - Not supported
14:12	Reserved
11:9	Endpoint L1 Acceptable Latency (E1AL) - Not supported
8:6	Endpoint L0s Acceptable Latency (E0AL) - Not supported
5	Extended Tag Field Supported (ETFS) - Not supported
4:3	Phantom Functions Supported (PFS) - Not supported
2:0	Max Payload Size Supported (MPS) - RO. Value of 001b Indicates the Maximum payload size supported is 256B.

## DCTL-Device Control Register: 48h–49h

Bit	Description
15	Reserved
14:12	Max Read Request Size (MRRS) – RO. Default value is 001b
11	Enable No Snoop (ENS) – Not supported
10	Aux Power PM Enable (APME) - Not supported.
9	Phantom Functions Enable (PFE) - Not supported.
8	Extended Tag Field Enable (ETFE) - Not supported.
7:5	Max Payload Size (MPS) - R/W. The OS can set this field as: 0:128B, 1:256B
4	Enable Relaxed Ordering (ERO) – R/W. Default value is 1b
3	Unsupported Request Reporting Enable (URE) - Not supported.
2	Fatal Error Reporting Enable (FEE) - Not supported.
1	Non-Fatal Error Reporting Enable (NFE) - Not supported.
0	Correctable Error Reporting Enable (CEE) - Not supported.

## DSTS-Device Status Register: 4Ah–4Bh

Bit	Description
15:6	Reserved
5	Transactions Pending (TDP) - Not supported.
4	AUX Power Detected (APD) - Not supported.
3	Unsupported Request Detected (URD) - Not supported.
2	Fatal Error Detected (FED) - Not supported.
1	Non-Fatal Error Detected (NFED) - Not supported.
0	Correctable Error Detected (CED) - Not supported.

## DCAP2-Device Capabilities 2 Register: 64h–67h

Bit	Description
31:5	Reserved
4	Completion Timeout Disable Supported (CTDS) - Not supported.
3:0	Completion Timeout Ranges Supported (CTRS) –Not supported.

DCTL2-Device Control 2 Register: 68h–69h

Bit	Description
15:5	Reserved
4	Completion Timeout Disable (CTD) - Not supported.
3:0	Completion Timeout Value (CTV) - Not supported.

MID-Message Signaled Interrupt Identifiers Register: 80h–81h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 90h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

MC-Message Signaled Interrupt Message Control Register: 82–83h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility, but only one message is ever sent by Sata.
3:1	Multiple Message Capable (MMC) - RO. Only one message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

MA-Message Signaled Interrupt Message Address: 84h–87h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

MD-Message Signaled Interrupt Message Data Register: 88h–89h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

PWR\_CAPID—PCI Power Management Capability ID: 90h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

CLIST0-Capabilities List Register0: 91h

Bit	Description
-----	-------------

7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.
-----	--

**PWR\_CAP—Power Management Capabilities Register:92h–93h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register:94h–95h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**以太网控制器 0/1**

**GMAC0 维护地址: 0x6018,7100 + offset[7:0]**

**GMAC1 维护地址: 0x6018,7200 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0xCh	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO

06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0x20000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	x80h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	CLIST1	Capabilities List1	x8010h	RO
42h-43h	XCAP	PCI Express Capabilities	0x2h	RO
44h-47h	DCAP	Device Capabilities	0x1h	RO
48h-49h	DCTL	Device Control	x1010h	R/W,RO
4Ah-4Bh	DSTS	Device Status	0x0h	RO
4Ch-63h	-	Reserved		
64h-67h	DCAP2	Device Capabilities 2 Register	0x0h	RO
68h-69h	DCTL2	Device Control 2 Register	0x0h	R/W, RO
70h-7Fh	-	Reserved		
80h-81h	MID	MSI Identifiers	x9005h	RO
82h-83h	MCTL	Message Control	0x0h	R/W,RO
84h-87h	MADDL	Message Address Low	0x0h	R/W
088h-089h	MDAT	Message Data	0x0h	R/W
90h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
91h	CLIST0	Capabilities List0	0x0h	RO
92h-93h	PWR_CAP	Power Management Capabilities	x8002h	RO
94h-95h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH Gbe controller.

PCICMD-PCI Command Register: 04h-05h



Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.

15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 1 = Multi-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
63:19	Base Address (BA) - R/W. Software programs this field with the base address of this region.
18:4	Memory Size (MSIZE) - RO. Memory size is 512KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

SVID-Subsystem Vendor ID Register: 2Ch–2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

SID-Subsystem ID Register: 2Eh–2Fh

Bit	Description
15:0	a default value of 0000h.

ERBA-Expansion ROM Base Address Register: 30h–33h

Bit	Description
31:0	no Flash memory exists

CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

INTR-Interrupt Information Register: 3Ch–3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the GE LAN controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used.

**CLIST-Capabilities List Register: 40h–41h**

Bit	Description
15:8	Next Capability (NEXT) - RO. Value of 80h indicates the location of the next pointer
7:0	Capability ID (CID) - RO. Value of 10h indicates the linked list item is a PCI Express Capability structure.

**XCAP-PCI Express Capabilities Register: 42h–43h**

Bit	Description
15:14	Reserved
13:9	Interrupt Message Number (IMN) - RO. For MSI, the value in this field indicates the offset between the base Message Data and the interrupt message that is generated.
8	Slot Implemented (SI) - Not supported.
7:4	Device / Port Type (DT) - RO. Value of 0h indicates this is a PCI Express Endpoint.
3:0	Capability Version (CV) - RO. Value of 0010b indicates PCI Express 2.0.

**DCAP-Device Capabilities Register:t: 44h–47h**

Bit	Description
31:28	Reserved
27:26	Captured Slot Power Limit Scale (CSPS) - Not supported.
25:18	Captured Slot Power Limit Value (CSPV) - Not supported
17:16	Reserved
15	Role Based Error Reporting (RBER) - Not supported
14:12	Reserved
11:9	Endpoint L1 Acceptable Latency (E1AL) - Not supported
8:6	Endpoint L0s Acceptable Latency (E0AL) - Not supported
5	Extended Tag Field Supported (ETFS) - Not supported
4:3	Phantom Functions Supported (PFS) - Not supported
2:0	Max Payload Size Supported (MPS) - RO. Value of 001b Indicates the Maximum payload size supported is 256B.

**DCTL-Device Control Registe: 48h–49h**

Bit	Description
15	Reserved
14:12	Max Read Request Size (MRRS) – RO. Default value is 001b
11	Enable No Snoop (ENS) – Not supported
10	Aux Power PM Enable (APME) - Not supported.
9	Phantom Functions Enable (PFE) - Not supported.
8	Extended Tag Field Enable (ETFE) - Not supported.
7:5	Max Payload Size (MPS) - R/W. The OS can set this field as: 0:128B, 1:256B
4	Enable Relaxed Ordering (ERO) – R/W. Default value is 1b
3	Unsupported Request Reporting Enable (URE) - Not supported.
2	Fatal Error Reporting Enable (FEE) - Not supported.
1	Non-Fatal Error Reporting Enable (NFE) - Not supported.
0	Correctable Error Reporting Enable (CEE) - Not supported.

## DSTS-Device Status Register: 4Ah–4Bh

Bit	Description
15:6	Reserved
5	Transactions Pending (TDP) - Not supported.
4	AUX Power Detected (APD) - Not supported.
3	Unsupported Request Detected (URD) - Not supported.
2	Fatal Error Detected (FED) - Not supported.
1	Non-Fatal Error Detected (NFED) - Not supported.
0	Correctable Error Detected (CED) - Not supported.

## DCAP2-Device Capabilities 2 Register: 64h–67h

Bit	Description
31:5	Reserved
4	Completion Timeout Disable Supported (CTDS) - Not supported.
3:0	Completion Timeout Ranges Supported (CTRS) –Not supported.

## DCTL2-Device Control 2 Register: 68h–69h

Bit	Description
15:5	Reserved
4	Completion Timeout Disable (CTD) - Not supported.
3:0	Completion Timeout Value (CTV) - Not supported.

## MID-Message Signaled Interrupt Identifiers Register: 80h–81h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 90h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 82–83h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility, but only one message is ever sent by Sata.
3:1	Multiple Message Capable (MMC) - RO. Only one message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 84h–87h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

## MD-Message Signaled Interrupt Message Data Register: 88h–89h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

**PWR\_CAPID—PCI Power Management Capability ID: 90h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 91h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:92h–93h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register:94h–95h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved

1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot
-----	--

## SATA 控制器

维护地址: **0x6018,7300 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0xBh	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO
06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0x10600h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	CLIST1	Capabilities List1	x8010h	RO
42h-43h	XCAP	PCI Express Capabilities	0x2h	RO
44h-47h	DCAP	Device Capabilities	0x1h	RO
48h-49h	DCTL	Device Control	x1010h	R/W,RO
4Ah-4Bh	DSTS	Device Status	0x0h	RO
4Ch-63h	-	Reserved		
64h-67h	DCAP2	Device Capabilities 2 Register	0x0h	RO
68h-69h	DCTL2	Device Control 2 Register	0x0h	R/W, RO
70h-7Fh	-	Reserved		
80h-81h	MID	MSI Identifiers	x9005h	RO
82h-83h	MCTL	Message Control	0x0h	R/W,RO
84h-87h	MADDL	Message Address Low	0x0h	R/W
088h-089h	MDAT	Message Data	0x0h	R/W
90h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
91h	CLIST0	Capabilities List0	0x0h	RO
92h-93h	PWR_CAP	Power Management Capabilities	x99C2h	RO
94h-95h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

## VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

## DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH Sata controller.

## PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted.

	This bit is not set if MSI is enabled.
2:0	Reserved

**RID-Revision Identification Register: 08h**

Bit	Description
7:0	Revision ID - RO. 缺省为 0

**CC-Class Code Register: 09-0Bh**

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

**CLS-Cache Line Size Register: 0Ch**

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

**PLT-Primary Latency Timer Register: 0Dh**

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

**HEADTYP-Header Type Register: 0Eh**

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device. 1 = Multi-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device. 01h = Indicates a PCI-to-PCI bridge.

**MBARA-Memory Base AddressA Register: 10-17h**

Bit	Description
63:20	Base Address (BA) - R/W. Software programs this field with the base address of this region.
19:4	Memory Size (MSIZE) - RO. Memory size is 1MB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch-2DhBit**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh-2Fh**

Bit	Description
15:0	a default value of 0000h.



**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the Sata controller is INTA.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used.

**CLIST-Capabilities List Register: 40h–41h**

Bit	Description
15:8	Next Capability (NEXT) - RO. Value of 80h indicates the location of the next pointer
7:0	Capability ID (CID) - RO. Value of 10h indicates the linked list item is a PCI Express Capability structure.

**XCAP-PCI Express Capabilities Register: 42h–43h**

Bit	Description
15:14	Reserved
13:9	Interrupt Message Number (IMN) - RO. For MSI, the value in this field indicates the offset between the base Message Data and the interrupt message that is generated.
8	Slot Implemented (SI) - Not supported.
7:4	Device / Port Type (DT) - RO. Value of 0h indicates this is a PCI Express Endpoint.
3:0	Capability Version (CV) - RO. Value of 0010b indicates PCI Express 2.0.

**DCAP-Device Capabilities Register:t: 44h–47h**

Bit	Description
31:28	Reserved
27:26	Captured Slot Power Limit Scale (CSPS) - Not supported.
25:18	Captured Slot Power Limit Value (CSPV) - Not supported
17:16	Reserved
15	Role Based Error Reporting (RBER) - Not supported
14:12	Reserved
11:9	Endpoint L1 Acceptable Latency (E1AL) - Not supported
8:6	Endpoint L0s Acceptable Latency (E0AL) - Not supported
5	Extended Tag Field Supported (ETFS) - Not supported
4:3	Phantom Functions Supported (PFS) - Not supported
2:0	Max Payload Size Supported (MPS) - RO. Value of 001b Indicates the Maximum payload size supported is 256B.

## DCTL-Device Control Register: 48h–49h

Bit	Description
15	Reserved
14:12	Max Read Request Size (MRRS) – RO. Default value is 001b
11	Enable No Snoop (ENS) – Not supported
10	Aux Power PM Enable (APME) - Not supported.
9	Phantom Functions Enable (PFE) - Not supported.
8	Extended Tag Field Enable (ETFE) - Not supported.
7:5	Max Payload Size (MPS) - R/W. The OS can set this field as: 0:128B, 1:256B
4	Enable Relaxed Ordering (ERO) – R/W. Default value is 1b
3	Unsupported Request Reporting Enable (URE) - Not supported.
2	Fatal Error Reporting Enable (FEE) - Not supported.
1	Non-Fatal Error Reporting Enable (NFE) - Not supported.
0	Correctable Error Reporting Enable (CEE) - Not supported.

## DSTS-Device Status Register: 4Ah–4Bh

Bit	Description
15:6	Reserved
5	Transactions Pending (TDP) - Not supported.
4	AUX Power Detected (APD) - Not supported.
3	Unsupported Request Detected (URD) - Not supported.
2	Fatal Error Detected (FED) - Not supported.
1	Non-Fatal Error Detected (NFED) - Not supported.
0	Correctable Error Detected (CED) - Not supported.

## DCAP2-Device Capabilities 2 Register: 64h–67h

Bit	Description
31:5	Reserved
4	Completion Timeout Disable Supported (CTDS) - Not supported.
3:0	Completion Timeout Ranges Supported (CTRS) –Not supported.

## DCTL2-Device Control 2 Register: 68h–69h

Bit	Description
15:5	Reserved
4	Completion Timeout Disable (CTD) - Not supported.
3:0	Completion Timeout Value (CTV) - Not supported.

## MID-Message Signaled Interrupt Identifiers Register: 80h–81h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 90h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 82–83h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility, but only one message is ever sent by Sata.

3:1	Multiple Message Capable (MMC) - RO. Only one message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

MA-Message Signaled Interrupt Message Address: 84h–87h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

MD-Message Signaled Interrupt Message Data Register: 88h–89h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

PWR\_CAPID—PCI Power Management Capability ID: 90h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

CLIST0-Capabilities List Register0: 91h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

PWR\_CAP—Power Management Capabilities Register:92h–93h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D0 和 D1、D3cold 状态的 PME 消息，缺省为 10011
10	D2_Support - RO.不支持 D2 状态，缺省为 0
9	D1_Support - RO.不支持 D1 状态，缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息，缺省为 111，对应 375mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

PWR\_CNTL\_STS—Power Management Control/Status Register:94h–95h

Bit	Description
-----	-------------

15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

### 视频控制器

维护地址: 0x6018,7400 + offset[7:0]

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0xAh	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO
06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification		RO
09h-0Bh	CC	Class Code	0x40000h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	x80h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
18h-1Fh	MBARB	Memory Base AddressB	0h	RO
20h-27h	MBARC	Memory Base AddressC	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	CLIST1	Capabilities List1	x8010h	RO
42h-43h	XCAP	PCI Express Capabilities	0x2h	RO
44h-47h	DCAP	Device Capabilities	0x1h	RO
48h-49h	DCTL	Device Control	x1010h	R/W,RO
4Ah-4Bh	DSTS	Device Status		RO
4Ch-63h	-	Reserved	0x0h	
64h-67h	DCAP2	Device Capabilities 2	0x0h	RO

68h-69h	DCTL2	Device Control 2	0x0h	R/W, RO
70h-7Fh	-	Reserved		
80h-81h	MID	MSI Identifiers	x9005h	RO
82h-83h	MCTL	Message Control	0x0h	R/W,RO
84h-87h	MADDL	Message Address Low	0x0h	R/W
088h-089h	MDAT	Message Data	0x0h	R/W
90h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
91h	CLIST0	Capabilities List0	0x0h	RO
92h-93h	PWR_CAP	Power Management Capabilities	x8002h	RO
94h-95h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

#### VID-Vendor Identification Register

Address Offset: 00h-01h Attribute: RO Default Value: Size: 16 bits

Bit	Description
15:0	Vendor ID - RO.

#### DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH 显示控制器.

#### PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h–07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted.
	This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

## MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
-----	-------------

63:31	Base Address (BA) - R/W. Software programs this field with the base address of this region.
30:4	Memory Size (MSIZE) - RO. Memory size is 2GB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**MBARB-Memory Base AddressB Register: 18-1Fh**

Bit	Description
63:30	Base Address (BA) - R/W. Software programs this field with the base address of this region.
29:4	Memory Size (MSIZE) - RO. Memory size is 1GB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**MBARC-Memory Base AddressC Register: 20-27h**

Bit	Description
63:22	Base Address (BA) - R/W. Software programs this field with the base address of this region.
21:4	Memory Size (MSIZE) - RO. Memory size is 4MB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch-2Dh**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh-2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h-33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch-3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the Sata controller is INTA.

7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.
-----	--

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used.

**CLIST-Capabilities List Register: 40h-41h**

Bit	Description
15:8	Next Capability (NEXT) - RO. Value of 80h indicates the location of the next pointer
7:0	Capability ID (CID) - RO. Value of 10h indicates the linked list item is a PCI Express Capability structure.

**XCAP-PCI Express Capabilities Register: 42h-43h**

Bit	Description
15:14	Reserved
13:9	Interrupt Message Number (IMN) - RO. For MSI, the value in this field indicates the offset between the base Message Data and the interrupt message that is generated.
8	Slot Implemented (SI) - Not supported.
7:4	Device / Port Type (DT) - RO. Value of 0h indicates this is a PCI Express Endpoint.
3:0	Capability Version (CV) - RO. Value of 0010b indicates PCI Express 2.0.

**DCAP-Device Capabilities Register:t: 44h-47h**

Bit	Description
31:28	Reserved
27:26	Captured Slot Power Limit Scale (CSPS) - Not supported.
25:18	Captured Slot Power Limit Value (CSPV) - Not supported
17:16	Reserved
15	Role Based Error Reporting (RBER) - Not supported
14:12	Reserved
11:9	Endpoint L1 Acceptable Latency (E1AL) - Not supported
8:6	Endpoint L0s Acceptable Latency (E0AL) - Not supported
5	Extended Tag Field Supported (ETFS) - Not supported
4:3	Phantom Functions Supported (PFS) - Not supported
2:0	Max Payload Size Supported (MPS) - RO. Value of 001b Indicates the Maximum payload size supported is 256B.

**DCTL-Device Control Register: 48h-49h**

Bit	Description
15	Reserved
14:12	Max Read Request Size (MRRS) – RO. Default value is 001b
11	Enable No Snoop (ENS) – Not supported
10	Aux Power PM Enable (APME) - Not supported.
9	Phantom Functions Enable (PFE) - Not supported.
8	Extended Tag Field Enable (ETFE) - Not supported.
7:5	Max Payload Size (MPS) - R/W. The OS can set this field as: 0:128B, 1:256B
4	Enable Relaxed Ordering (ERO) – R/W. Default value is 1b
3	Unsupported Request Reporting Enable (URE) - Not supported.



2	Fatal Error Reporting Enable (FEE) - Not supported.
1	Non-Fatal Error Reporting Enable (NFE) - Not supported.
0	Correctable Error Reporting Enable (CEE) - Not supported.

## DSTS-Device Status Register: 4Ah-4Bh

Bit	Description
15:6	Reserved
5	Transactions Pending (TDP) - Not supported.
4	AUX Power Detected (APD) - Not supported.
3	Unsupported Request Detected (URD) - Not supported.
2	Fatal Error Detected (FED) - Not supported.
1	Non-Fatal Error Detected (NFED) - Not supported.
0	Correctable Error Detected (CED) - Not supported.

## DCAP2-Device Capabilities 2 Register: 64h-67h

Bit	Description
31:5	Reserved
4	Completion Timeout Disable Supported (CTDS) - Not supported.
3:0	Completion Timeout Ranges Supported (CTRS) -Not supported.

## DCTL2-Device Control 2 Register: 68h-69h

Bit	Description
15:5	Reserved
4	Completion Timeout Disable (CTD) - Not supported.
3:0	Completion Timeout Value (CTV) - Not supported.

## MID-Message Signaled Interrupt Identifiers Register: 80h-81h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 90h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 82-83h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility, but only one message is ever sent by Sata.
3:1	Multiple Message Capable (MMC) - RO. Only one message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

## MA-Message Signaled Interrupt Message Address: 84h-87h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

**MD-Message Signaled Interrupt Message Data Register: 88h–89h**

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

**PWR\_CAPID—PCI Power Management Capability ID: 90h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 91h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:92h–93h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息，缺省为 10000
10	D2_Support - RO.不支持 D2 状态，缺省为 0
9	D1_Support - RO.不支持 D1 状态，缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息，缺省为 000，对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register:94h–95h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky
	0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.

7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

### 音频控制器

维护地址: **0x6018,7500 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h-01h	VID	Vendor Identification	0x5656h	RO
02h-03h	DID	Device Identification	0x6h	RO
04h-05h	PCICMD	PCI Command	0x0h	R/W, RO
06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0x40100h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	0x0h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH Audio controller.

## PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.

15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved.

PLT-Primary Latency Timer Register

Address Offset: 0Dh Attribute: RO Default Value: 00h Size: 8 bits

Bit	Description
7:3	Latency Count. Reserved.
2:0	Reserved

HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 0 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

MBARA-Memory Base AddressA Register: 10-17h

Bit	Description
63:19	Base Address (BA) - R/W. Software programs this field with the base address of this region.
18:4	Memory Size (MSIZE) - RO. Memory size is 512KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

SVID-Subsystem Vendor ID Register: 2Ch-2DhBit

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

SID-Subsystem ID Register: 2Eh-2Fh

Bit	Description
15:0	a default value of 0000h.

ERBA-Expansion ROM Base Address Register: 30h-33h

Bit	Description
31:0	no Flash memory exists

CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

INTR-Interrupt Information Registet: 3Ch-3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the AC97 controller.

7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.
-----	--

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - RO. Not used.

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 00h indicates the location of the next pointer in the list is the end.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MC-Message Signaled Interrupt Message Control Register: 42–43h**

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

**MA-Message Signaled Interrupt Message Address: 44h–47h**

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

**MD-Message Signaled Interrupt Message Data Register: 48h–49h**

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

**PWR\_CAPID—PCI Power Management Capability ID: 50h**

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

**CLIST0-Capabilities List Register0: 51h**

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

**PWR\_CAP—Power Management Capabilities Register:52h–53h**

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00.This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

USB EHCI 控制器 维护地址: 0x6018, 7600 + offset[7:0]

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x5h	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO

06h-07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h-0Bh	CC	Class Code	0xC0320h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	x80h	RO
10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	Message Control	0x0h	R/W,RO
44h-47h	MADDL	Message Address Low	0x0h	R/W
48h-49h	MDAT	Message Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x99C2h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO
60h	USB_RELNUM	USB Release Number	x20h	RO
61h	FLADJ	Frame Length Adjustment for host	x20h	R/W
62h-63h	PWAKE_CAP	Port Wake Capabilities	0x0h	R/W
64h-69h	FLADJ_Px	Frame Length Adjustment for each port	x20h	R/W

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH USB controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.



9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well.
	1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.
1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - Reserved

PLT-Primary Latency Timer Register: RO

<b>Bit</b>	<b>Description</b>
7:3	Latency Count. Reserved

2:0	Reserved
-----	----------

**HEADTYP-Header Type Register: 0Eh**

Bit	Description
7	Multi-Function Device - RO. 1b = Multi-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.

**MBARA-Memory Base AddressA Register: 10–17h**

Bit	Description
63:19	Base Address (BA) - R/W. Software programs this field with the base address of this region.
18:4	Memory Size (MSIZE) - RO. Memory size is 512KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

**SVID-Subsystem Vendor ID Register: 2Ch–2Dh**

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

**SID-Subsystem ID Register: 2Eh–2Fh**

Bit	Description
15:0	a default value of 0000h.

**ERBA-Expansion ROM Base Address Register: 30h–33h**

Bit	Description
31:0	no Flash memory exists

**CAPP-Capabilities List Pointer Register: 34h**

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Value of 40h indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

**INTR-Interrupt Information Register: 3Ch–3Dh**

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h indicates the interrupt pin driven by the USB EHCI controller.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

**MLMG-Maximum Latency/Minimum Grant Register: 3Eh**

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - Not used.

**MID-Message Signaled Interrupt Identifiers Register: 80h–81h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

**MID-Message Signaled Interrupt Identifiers Register: 40h–41h**

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility, but only one message is ever sent by USB EHCI.
3:1	Multiple Message Capable (MMC) - RO. Only one message is required.
0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0

MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction.

PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

PWR\_CAP—Power Management Capabilities Register: 52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D0 和 D1、D3cold 状态的 PME 消息，缺省为 10011
10	D2_Support - RO.不支持 D2 状态，缺省为 0
9	D1_Support - RO.不支持 D1 状态，缺省为 0

8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 111, 对应 375mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

**PWR\_CNTRL\_STS—Power Management Control/Status Register: 54h–55h**

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.
8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00. This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

**USB\_RELNUM—USB Release Number Register: 60h**

Bit	Description
7:0	USB Release Number — RO. A value of 20h indicates that this controller follows Universal Serial Bus (USB) Specification, Revision 2.0.

**FL\_ADJ—Frame Length Adjustment Register for host: 61h**

This feature is used to adjust any offset from the clock source that generates the clock that drives the SOF counter. When a new value is written into these six bits, the length of the frame is adjusted. Its initial programmed value is system dependent based on the accuracy of hardware USB clock and is initialized by system BIOS. This register should only be modified when the HChalted bit in the USB2.0\_STS register is a 1. Changing value of this register while the host controller is operating yields undefined results. It should not be reprogrammed by USB system software unless the default or BIOS programmed values are incorrect, or the system is restoring the register while returning from a suspended state. These bits in suspend well and not reset by a D3-to-D0 warm rest or a core well reset.

Bit	Description
7:6	Reserved — RO. These bits are reserved for future use and should read as 00b.

5:0	<p>Frame Length Timing Value — R/W. Each decimal value change to this register corresponds to 16 high-speed bit times. The SOF cycle time (number of SOF counter: clock periods to generate a SOF micro-frame length) is equal to 59488 + value in this field. The default value is decimal 32 (20h), which gives a SOF cycle time of 60000.</p> <table border="1"> <thead> <tr> <th>Frame Length (# 480 MHz Clocks)</th> <th>Frame Length Timing Value</th> </tr> </thead> <tbody> <tr> <td>59488</td> <td>0</td> </tr> <tr> <td>59504</td> <td>1</td> </tr> <tr> <td>59520</td> <td>2</td> </tr> <tr> <td>—</td> <td>—</td> </tr> <tr> <td>59984</td> <td>31</td> </tr> <tr> <td>60000</td> <td>32</td> </tr> <tr> <td>—</td> <td>—</td> </tr> <tr> <td>60480</td> <td>62</td> </tr> </tbody> </table>	Frame Length (# 480 MHz Clocks)	Frame Length Timing Value	59488	0	59504	1	59520	2	—	—	59984	31	60000	32	—	—	60480	62
Frame Length (# 480 MHz Clocks)	Frame Length Timing Value																		
59488	0																		
59504	1																		
59520	2																		
—	—																		
59984	31																		
60000	32																		
—	—																		
60480	62																		

**PWAKE\_CAP—Port Wake Capability Register: 62–63h**

Bit	Description
15:1	Reserved
0	Port Wake Implemented — RO. Hardware to 0 to indicate that this register is not implemented to software.

**FLADJ\_P0~5—Frame Length Adjustment Register for the port0~5: 64~69h**

Bit	Description																		
7:6	Reserved — RO. These bits are reserved for future use and should read as 00b.																		
5:0	<p>Frame Length Timing Value — R/W. Each decimal value change to this register corresponds to 16 high-speed bit times. The SOF cycle time (number of SOF counter: clock periods to generate a SOF micro-frame length) is equal to 59488 + value in this field. The default value is decimal 32 (20h), which gives a SOF cycle time of 60000.</p> <table border="1"> <thead> <tr> <th>Frame Length (# 480 MHz Clocks)</th> <th>Frame Length Timing Value</th> </tr> </thead> <tbody> <tr> <td>59488</td> <td>0</td> </tr> <tr> <td>59504</td> <td>1</td> </tr> <tr> <td>59520</td> <td>2</td> </tr> <tr> <td>—</td> <td>—</td> </tr> <tr> <td>59984</td> <td>31</td> </tr> <tr> <td>60000</td> <td>32</td> </tr> <tr> <td>—</td> <td>—</td> </tr> <tr> <td>60480</td> <td>62</td> </tr> </tbody> </table>	Frame Length (# 480 MHz Clocks)	Frame Length Timing Value	59488	0	59504	1	59520	2	—	—	59984	31	60000	32	—	—	60480	62
Frame Length (# 480 MHz Clocks)	Frame Length Timing Value																		
59488	0																		
59504	1																		
59520	2																		
—	—																		
59984	31																		
60000	32																		
—	—																		
60480	62																		

**USB OHCI 控制器 0/1**
**OHCI0 维护地址: 0x6018,7700 + offset[7:0] OHCI1 维护地址: 0x6018,7800 + offset[7:0]**

Offset	Mnemonic	Register Nme	Defult	Type
00h–01h	VID	Vendor Identification	0x5656h	RO
02h–03h	DID	Device Identification	0x5h	RO
04h–05h	PCICMD	PCI Command	0x0h	R/W, RO
06h–07h	PCISTS	PCI Status	0x10h	RO
08h	RID	Revision Identification	0x0h	RO
09h–0Bh	CC	Class Code	0xC0310h	RO
0Ch	CLS	Cache Line Size	0x0h	RO
0Dh	PLT	Primary Latency Timer	0x0h	RO
0Eh	HEADTYP	Header Type	x80h	RO

10h-17h	MBARA	Memory Base AddressA	0xCh	R/W, RO
2Ch-2Dh	SVID	Subsystem Vendor ID	0x0h	R/WO
2Eh-2Fh	SID	Subsystem ID	0x0h	R/WO
30h-33h	ERBA	Expansion ROM Base Address	0x0h	RO
34h	CAPP	Capabilities List Pointer	x40h	RO
3Ch-3Dh	INTR	Interrupt Information	0x100h	R/W, RO
3Eh	MLMG	Maximum Latency/Minimum Grant	0x0h	RO
40h-41h	MID	MSI Identifiers	x5005h	RO
42h-43h	MCTL	MSI Control	0x0h	R/W,RO
44h-47h	MADDL	MSI Address Low	0x0h	R/W
48h-49h	MDAT	MSI Data	0x0h	R/W
50h	PWR_CAPID	PCI Power Management Capability ID	0x1h	RO
51h	CLIST0	Capabilities List0	0x0h	RO
52h-53h	PWR_CAP	Power Management Capabilities	x8002h	RO
54h-55h	PWR_CNTL_STS	Power Management Control/Status	0x0h	R/W, R/WC, RO

VID-Vendor Identification Register: 00h-01h

Bit	Description
15:0	Vendor ID - RO. This is a 16-bit value assigned to JNC

DID-Device Identification Register: 02h-03h

Bit	Description
15:0	Device ID - RO. This is a 16-bit value assigned to the JNC ® SW-ICH USB controller.

PCICMD-PCI Command Register: 04h-05h

Bit	Description
15:11	Reserved
10	Interrupt Disable - R/W. 缺省为 0 0 = Internal INTx# messages are generated if there is an interrupt and MSI is not enabled. 1 = Internal INTx# messages will not be generated.
9	Fast Back to Back Enable (FBE) - not supported
8	SERR# Enable (SEE) - not supported
7	Wait Cycle Control (WCC) - not supported
6	Parity Error Response (PER) - not supported
5	VGA Palette Snoop (VPS) - not supported
4	Postable Memory Write Enable (PMWE) - not supported
3	Special Cycle Enable (SCE) - not supported
2	Bus Master Enable - R/W. 缺省为 0 0 = the Function is not allowed to issue any Memory or I/O Requests. disables MSI/MSI-X interrupt Messages as well. 1 = When this bit is Set, the Function is allowed to issue Memory or I/O Requests.

1	Memory Space Enable (MSE) - R/W. 缺省为 0 0 = Disable. Not respond to Memory Space accesses. 1 = Enable. responds to Memory Space accesses.
0	I/O Space Enable (IOSE) - R/W. 缺省为 0 0 = Disable. Not respond to I/O Space accesses. 1 = Enable. responds to I/O Space accesses.

## PCISTS-PCI Status Register: 06h-07h

Bit	Description
15	Detected Parity Error (DPE) - not supported
14	Signaled System Error (SSE) - not supported
13	Received Master Abort (RMA) - not supported
12	Received Target Abort (RTA) - not supported
11	Signaled Target Abort (STA) - not supported
10:9	DEVSEL# Timing Status (DEV_STS) - not supported
8	Master Data Parity Error Detected (DPED) - not supported
7	Fast Back to Back Capable (FB2BC) - not supported
6	Reserved
5	66 MHz Capable - not supported
4	Capabilities List - RO. Hardwired to 1. Indicates the presence of a capabilities list.
3	Interrupt Status - RO. Indicates status of INTx# message generation. 0 = Interrupt is deasserted. 1 = Interrupt is asserted. This bit is not set if MSI is enabled.
2:0	Reserved

## RID-Revision Identification Register: 08h

Bit	Description
7:0	Revision ID - RO. 缺省为 0

## CC-Class Code Register: 09-0Bh

Bit	Description
23:16	Base Class Code (BCC) - RO.see page 64 for detail.
15:8	Sub Class Code (SCC) - RO.
7:0	Programming Interface - RO.

## CLS-Cache Line Size Register: 0Ch

Bit	Description
7:0	Cache Line Size (CLS) - R/W. Reserved

## PLT-Primary Latency Timer Register: 0Dh

Bit	Description
7:3	Latency Count. Reserved
2:0	Reserved

## HEADTYP-Header Type Register: 0Eh

Bit	Description
7	Multi-Function Device - RO. 1 = Single-function device.
6:0	Configuration Layout- RO. 00h = Indicates a device.



## MBARA-Memory Base AddressA Register: 10–17h

Bit	Description
63:18	Base Address (BA) - R/W. Software programs this field with the base address of this region.
17:4	Memory Size (MSIZE) - RO. Memory size is 256KB.
3	Prefetchable Memory (PM) - RO. Set to 1b indicating prefetchable memory
2:1	Memory Type (MT) - RO. Set to 10b indicating a 64 bit BAR
0	Memory / IO Space (MIOS) - RO. Set to '0' indicating a Memory Space BAR

## SVID-Subsystem Vendor ID Register: 2Ch–2Dh

Bit	Description
15:0	For Add in Card. The same as Vendor ID.

## SID-Subsystem ID Register: 2Eh–2Fh

Bit	Description
15:0	a default value of 0000h.

## ERBA-Expansion ROM Base Address Register: 30h–33h

Bit	Description
31:0	no Flash memory exists

## CAPP-Capabilities List Pointer Register: 34h

Bit	Description
7:0	Capabilities Pointer (PTR) - RO. Indicates that the pointer for the first entry in the capabilities list is at 40h in configuration space

## INTR-Interrupt Information Register: 3Ch–3Dh

Bit	Description
15:8	Interrupt Pin (IPIN) - RO. Value of 01h Indicates the interrupt pin driven by the USB OHCI controller is INTa.
7:0	Interrupt Line (ILINE) - R/W. Default = 00h. Software written value to indicate which interrupt line (vector) the interrupt is connected to.

## MLMG-Maximum Latency/Minimum Grant Register: 3Eh

Bit	Description
7:0	Maximum Latency/Minimum Grant (MLMG) - Not used.

## MID-Message Signaled Interrupt Identifiers Register: 40h–41h

Bit	Description
15:8	Next Pointer (NEXT) - RO. Value of 50h indicates the location of the next pointer in the list.
7:0	Capability ID (CID) - RO. Value of 05h indicates MSI Capability.

## MC-Message Signaled Interrupt Message Control Register: 42–43h

Bit	Description
15:8	Reserved
7	64 Bit Address Capable (C64) - RO. Capable of generating a 32-bit message only
6:4	Multiple Message Enable (MME) - R/W. These bits are R/W for software compatibility.
3:1	Multiple Message Capable (MMC) - RO. One message is required.

0	MSI Enable (MSIE) - R/W. 0 = MSI is disabled. 1 = MSI is enabled and traditional interrupt pins are not used to generate interrupts.缺省为 0
---	---

MA-Message Signaled Interrupt Message Address: 44h–47h

Bit	Description
31:2	Address (ADDR) - R/W. Lower 32 bits of the system specified message address, always DW aligned.
1:0	Reserved

MD-Message Signaled Interrupt Message Data Register: 48h–49h

Bit	Description
15:0	Data (DATA) - R/W. This 16-bit field is programmed by system software if MSI is enabled. Its content is driven onto the lower word (PCI AD[15:0]) during the data phase of the MSI memory write transaction

PWR\_CAPID—PCI Power Management Capability ID: 50h

Bit	Description
7:0	Power Management Capability ID — RO. A value of 01h indicates that this is a PCI Power Management capabilities field.

CLIST0-Capabilities List Register0: 51h

Bit	Description
7:0	Next Capability (NEXT) - RO. Value of 00h indicates the location of the next pointer is the end.

PWR\_CAP—Power Management Capabilities Register:52h–53h

Bit	Description
15: 11	PME Support (PME_SUP) — RO. This 5-bit field indicates the power states in which the function may assert PME#. A value of 0b for any bit indicates that the function is not capable of asserting the PME#signal while in that power state. 只支持 D3cold 状态的 PME 消息, 缺省为 10000
10	D2_Support - RO.不支持 D2 状态, 缺省为 0
9	D1_Support - RO.不支持 D1 状态, 缺省为 0
8:6	Aux_Current - RO. This 3 bit field reports the 3.3Vaux auxiliary current requirements for the PCI function. 支持 D3cold 状态 PME 消息, 缺省为 000, 对应 0mA
5	Device Specific Initialization (DSI)— RO. reports 0 indicating that no device-specific initialization is required.
4	Reserved
3	PME Clock (PME_CLK) — RO. reports 0 indicating that no PCI clock is required to generate PME#.
2:0	Version (VER) — RO. reports 010b, indicating that it complies with Revision 1.1 of the PCI Power Management Specification.

PWR\_CNTL\_STS—Power Management Control/Status Register: 54h–55h

Bit	Description
15	PME Status — R/WC. 缺省为 Sticky 0 = Writing 1 to this bit will clear it and cause the internal PME to deassert (if enabled). 1 = This bit is set when asserting the PME# signal independent of the state of the PME_En bit. NOTE: This bit must be explicitly cleared by the os each time the os is loaded.
14:13	Data Scale — RO. Hardwired to 00b indicating does not support the associated Data register.
12:9	Data Select — RO. Hardwired to 0000b indicating does not support the associated Data register.

8	PME Enable — R/W. 缺省为 Sticky 0 = Disable; 1 = Enables to generate PME signal when PME_Status is 1. NOTE: This bit must be explicitly cleared by the os each time it is initially loaded.
7:2	Reserved
1:0	PowerState - R/W. 缺省为 00. This 2-bit field is used both to determine the current power state of a function and to set the function into a new power state: 00b - D0; 01b - D1; 10b - D2; 11b - D3hot

### 3.2.2.5 维护加载寄存器定义

PCIe-AMBA 桥的维护接口还实现一组维护加载寄存器，实现各寄存器中某些只读域参数的值的更改，包括 PCI Vendor ID、Device ID 等。这些维护加载寄存器只使用套片维护复位信号，在维护复位先于上电复位撤销后，这组寄存器被维护接口写入合适的值（存放于套片加载固件中），在上电复位撤销后，这组寄存器的值被付给真正的寄存器实体的相应位置，那些没有固件加载的寄存器的初值由控制逻辑自行设置。

**维护地址：0x6018,8000 + offset[11:0]**

Offset[11:0]	Description	Default	Type
0x000h	DVEN:设备配置空间开放使能寄存器，高表示使能，套片设备 PCI 拓扑的设备号对应寄存器位号，多功能设备共用一个设备使能 Bit[31]: PS2 Bit[30]: Uart Bit[29]: KCS Bit[28]: BT Bit[27]: PMDEBUG Bit[26]: XBUS Bit[25]: SPI Bit[24]: I2C Bit[16]: TCM Bit[12]: GMAC Bit[11]: SATA Bit[10]: GPBit[6]: AC97Bit[5]: USB	0xFFFFFFFFh	RW
0x004h	BRID:套片 PCI-AMBA 桥版本号 [31:8]保留, [7:0] Revision Identification	0x0h	RW
0x008h	BID: 桥 PCI ID 加载寄存器 [31:16]devide ID; [15:0]vendor ID	0x12005656	RW
0x00Ch	TCM PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x01605656	RW
0x010h	KB PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x03105656	RW

0x014h	MOUSE PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x03115656	RW
0x018h	UART0 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x03005656	RW
0x01Ch	UART1 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x03015656	RW
0x020h	KCS PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x02905656	RW
0x024h	BT PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x02805656	RW
0x028h	PMDEBUG PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x02705656	RW
0x02Ch	XBUS PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x02605656	RW
0x030h	I2C PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x02405656	RW
0x034h	GMAC0 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x01205656	RW
0x038h	GMAC1 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x01215656	RW
0x03Ch	SATA PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x01105656	RW
0x040h	GP PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x01005656	RW
0x044h	AC97 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x00605656	RW
0x048h	USBEHCI PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x00525656	RW
0x04Ch	USBOHCI0 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x00505656	RW
0x050h	USBOHCI1 PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x00515656	RW
0x054h	MEMRDRO: 套片设备 MEM 读 TLP 包的 RO 位置起标志: Bit0: TCM 控制器 Bit1: 千兆以太网控制器 0 Bit2: 千兆以太网控制器 1 Bit3: SATA 硬盘控制器 Bit4: 视频控制器 Bit5: AC97 音频控制器 Bit6: OHCI 控制器 0 Bit7: OHCI 控制器 1 Bit8: EHCI 控制器  按位写 1 表示该设备发出的 MEM 读 TLP 的 RO 位置起; 按位写 0 表示该设备发出的 MEM 读 TLP 的 RO 位为0	0x0h	RW
0x058h	SPI PCI ID 加载寄存器 [31:16]:devide ID; [15:0]:vendor ID	0x02505656	RW
0x05Ch			

### 3.3 GMAC 控制器 0/1

GMAC0 维护地址: 0x6030,0000 + offset[15:0]

GMAC1 维护地址: 0x6038,0000 + offset[15:0]

Offset[15:0]	助记符	description	type	default
0x0000	rw_test	读写测试寄存器	RW	32'b0
0x0004	test_mode	测试模式寄存器	RW	32'b0
0x0008	port_sel	端口状态寄存器 [7]: 配置使能位 [4]: 配置的端口类型 [0]: 实际的端口类型  端口类型: 0: GMII 1: MII	RW	32'b0
0x000c	intf_sel	接口类型寄存器 [7]: 配置使能位 [4]: 配置的接口类型 [0]: 实际的接口类型  接口类型: 0: RGMII 1: GMII/MII	RW	32'b0

### 3.4 SATA

维护地址: 0x6008,0000 + offset[17:0]

Offset[17:0]	助记符	description	type	default
0x0000	mt_ahci_code_idl	代码 ID 号低位, code_id[15:0]	RW	32'b0
0x0004	mt_ahci_code_idh	代码 ID 号高位, code_id[31:16]	RW	32'b0
0x0008	mt_ahci_misc	AHCI 杂项控制 [1]: test_mode, Scan Test Mode; [0]: lab_lb_pin, BIST Lab Loopback Pin	RW	32'hFFFC
0x000c	mt_act_led	活动状态灯 [15]: set enable; [10:8]: set value; [2:0]: output value;	RW	32'b0
0x000c	mt_cp_pod	冷在位上电 [15]: set enable; [10:8]: set value; [2:0]: output value;	RW	32'b0
0x0010	mt_mp_switch	多选器切换 [15]: set enable; [10:8]: set value; [2:0]: output value;	RW	32'b0
0x0014	mt_cp_det	冷在位检测 [15]: set enable; [10:8]: set value; [2:0]: output value;	RW	32'b0

0x0018	mt_clock_freq	时钟模块频率 [15]: reserved [14:13]: mpll_prescale, ref clk is divided, MPLL Divider = .5 x (baud rate) / (prescaler output) [12:8]: mpll_ncy, For ref clk 100MHz, mpll_ncy5 = (MPLL Divider)MOD4 [7:6]: mpll_ncy5, For ref clk 100MHz, mpll_ncy = (MPLL Divider)DIV4-1 [5:3]: mpll_int_ctl, Should be set to 3'b000 as	RW	32'b46C7
--------	---------------	--	----	----------

		per spec [2:0]: mpll_prop_ctl, Should be set to 3'b101 as per spec		
0x001c	mt_clock_lvl	时钟模块电平 [15]: reserved [14:10]: tx_lvl [9:5]: los_lvl, Filtering for SATA/SAS to allow OOB processing [4:0]: acjt_lvl	RW	32'b2650
0x0020	mt_clock_ctl	时钟模块控制 [15]: reserved [14]: fast_tech [13]: vp_is_1p2 [12]: vph_is_3p3 [11]: wide_xface, Use wide interface (word) [10]: rtune_do_tune [9]: reserved, ovr_clk, Overrides clock controls [8:6]: cko_word_con, Prescaler output clock [5:4]: cko_alive_con, Disabled, since floating cko_alive [3]: mpll_ss_en, SSC disabled - lack of VIP support? [2]: reserved, mpll_pwron [1]: mpll_ck_off, used to stop RefClk [0]: use_refclk_alt, using refclk	RW	32'b0890
0x0024	mt_lanej_rx	PHY 接收端控制 [15:14]: reserved [13:12]: los_ctl_0, Filtering for SATA/SAS to allow OOB processing [11]: reserved, phy0_dpll_reset, Should this be tied to reset_n instead? [10:8]: rx_dpll_mode_0, Mapping is TBD in the spec [7:5]: rx_eq_val_0, Receiver equalization control - analog? [4]: rx_term_en, Receiver termination enable [3]: rx_align_en, Enable word alignment [2]: reserved, rx_en [1]: reserved, rx_pll_pwron [0]: reserved, half_rate , Controls GEN1/GEN2 speed, half_rate = 0 -> GEN2, 1 -> GEN1	RW	32'b2318
0x0028	mt_lanej_tx	PHY 发送端控制 [15]: reserved [14:13]: tx_edgerate_0, Fastest edges - analog? [12:10]: tx_atten_0, Transmit attenuation control - analog? [9:6]: tx_boost_0, Transmit boost control - analog? [5]: reserved	RW	32'b0281

		[4]: reserved, tx_clk_align, Only required when TX_CK interrupted [3:1]: reserved, tx_en_0 [0]: tx_cko_en		
0x002c	mt_phy_misc	PHY 杂项控制 [15:8]: reserved [7:6]: dtb_out phy# sel [5]: rx_err [4]: spdmode [3]: calibrated, Tie this high permanently for HSata [2]: test_pddq [1]: test_byp_mode [0]: test_burnin_mode	RW	32'b0018

## 3.5 VPU

### 3.5.1 VPU 维护可见寄存器总览

维护地址:  $0x6020,0000 + \text{offset}[15:0]$

VPU 维护 IO 寄存器对应地址高段[21:16]= 6'h20, 具体维护 IO 寄存器列表如下:

地址[15:0]	符号	名称	属性
16'h0000	MT_VPU_CGENABLE	维护 VPU 时钟门控使能	RW
16'h0004	MT_VPU_VPUIDLE	维护 VPU 空闲状态	RO
16'h0008	MT_VPU_TESTMODE	维护 VPU 测试模式	RW

需要强调的是: VPU 维护 IO 寄存器很大部分与 VPU 核心接口信号相连, 决定其功能允许正确与否。因此, 在使用过程中慎用维护 IO 写操作修改其默认配置值, 建议以维护 IO 读操作为主。

### 3.5.2 VPU 维护可见寄存器详细定义

#### 3.5.2.1 MT\_VPU\_CGENABLE (维护 VPU 时钟门控使能)

地址: ADDR[15:0] = 16'h0000

属性: RW 格式:

字段	属性	默认	说明
31:1	RO	'b0	保留, 读出为 0。
0	RW	1'b0	时钟门控使能。

注: 为避免门控后时钟产生毛刺, 要求在 VPU 运行过程中不修改默认值。仅当未启动 VPU 运行, 且需要完全关闭 VPU 核心运行时才将其配置为 1。



### 3.5.2.2 MT\_VPU\_VPUIDLE (维护 VPU 空闲状态)

地址: ADDR[15:0] = 16'h0004

属性: RO格式:

字段	属性	默认	说明
31:1	RO	'b0	保留, 读出为 0。
0	RO	x	VPU 空闲状态标记

### 3.5.2.3 MT\_VPU\_TESTMODE (维护 VPU 测试模式)

地址: ADDR[15:0] = 16'h0008

属性: RW格式:

字段	属性	默认	说明
31:1	RO	'b0	保留, 读出为 0
0	RW	1'b0	测试模式使能

## 3.6 GPU

### 3.6.1 GPU 维护可见寄存器总览

维护地址: 0x6028,0000 + offset[15:0]

GPU 维护 IO 寄存器对应地址高段[21:16]= 6'h28, 具体维护 IO 寄存器列表如下:

地址[15:0]	符号	名称	属性
16'h0000	MT_GPU_GCCTRL	维护 GPU 控制	RW
16'h0020	MT_GPU_IDLE	维护 GPU 空闲标记	RO
16'h0030	MT_GPU_CSYSREQ	维护 GPU 低功耗请求	RW
16'h0034	MT_GPU_CSYSACK	维护 GPU 低功耗响应	RO

需要强调的是 GPU 维护 IO 寄存器很大部分与 GPU 核心接口信号相连, 决定其功能允许正确与否。因此, 在使用过程中慎用维护 IO 写操作修改其默认配置值, 建议以维护 IO 读操作为主。

### 3.6.2 GPU 维护可见寄存器详细定义

#### 3.6.2.1 MT\_GPU\_GCCTRL (维护 GPU 控制)

地址: ADDR[15:0] = 16'h0000

属性: RW格式:

字段	属性	默认	说明
31:5	RO	'b0	保留，读出为 0。
4	RW	1'b1	disableRamClockGating, 不使能 RAM 时钟门控功能。
3:1	RO	'b0	保留，读出为 0。
0	RW	1'b0	scanMode, 使能扫描测试模式。

### 3.6.2.2 MT\_GPU\_IDLE (维护 GPU 空闲)

地址: ADDR[15:0] = 16'h0020

属性: RO 格式:

字段	属性	默认	说明
31:8	RO	'b0	保留，读出为 0。
7:0	RO	x	功能部件空闲标记: [0] Front End (FE)空闲; [1] Drawing Engine (DE)空闲; [2] Pixel Engine (PE)空闲; [3] Shader (SH)空闲; [4] Primitive Assembly (PA)空闲; [5] Setup Engine (SE)空闲; [6] Rasterizer (RA)空闲; [7] Texture Engine (TX)空闲

### 3.6.2.3 MT\_GPU\_CSYSREQ (维护 GPU 低功耗请求)

地址: ADDR[15:0] = 16'h0030

属性: RO 格式:

字段	属性	默认	说明
31:1	RO	'b0	保留，读出为 0。
0	RW	1'b1	由高至低跳变时标示请求低功耗; 由低至高跳变时标示撤销低功耗。

### 3.6.2.4 MT\_GPU\_CSYSACK (维护 GPU 低功耗响应)

地址: ADDR[15:0] = 16'h0030

属性: RO 格式:

字段	属性	默认	说明
31:2	RO	'b0	保留，读出为 0。
1	RO	1'b1	时钟活跃状态
0	RO	1'b1	由高至低跳变时标示接收到低功耗请求; 由低至高跳变时标示响应低功耗请求。

## 3.7 DC

### 3.7.1 DC 维护可见寄存器总览

维护地址:  $0x6029,0000 + \text{offset}[15:0]$

DC 维护 IO 寄存器对应地址高段[21:16]= 6'h29, 具体维护 IO 寄存器列表如下:

地址[15:0]	符号	名称	属性
16'h0000	MT_DC_GCCTRL	维护 DC 控制	RW
16'h0004	MT_DC_TIMECTRL	维护 DC 时序控制	RW
16'h0008	MT_DC_STATEL	维护 DC 状态低段	RW
16'h000C	MT_DC_STATEH	维护 DC 状态高段	RW
16'h0010	MT_DC_ENDIAN	维护 DC 大小端	RW

需要强调的是: DC 维护 IO 寄存器很大部分与 DC 核心接口信号相连, 决定其功能允许正确与否。因此, 在使用过程中慎用维护 IO 写操作修改其默认配置值, 建议以维护 IO 读操作为主。

### 3.7.2 DC 维护可见寄存器详细定义

#### 3.7.2.1 MT\_DC\_GCCTRL (维护 DC 控制)

地址: ADDR[15:0] = 16'h0000

属性: RW 格式:

字段	属性	默认	说明
31:5	RO	'b0	保留, 读出为 0。
4	RW	1'b1	disableRamClockGating, 不使能 RAM 时钟门控功能。
3:1	RO	'b0	保留, 读出为 0。
0	RW	1'b0	scanMode, 使能扫描测试模式。

#### 3.7.2.2 MT\_DC\_TIMECTRL (维护 DC 时序控制)

地址: ADDR[15:0] = 16'h0004

属性: RW 格式:

字段	属性	默认	说明
31:21	RO	'b0	保留, 读出为 0。
20:0	RW	21'b0	registerTimingControl, 触发器时序控制

### 3.7.2.3 MT\_DC\_STATEL (维护 DC 状态低段)

地址: ADDR[15:0] = 16'h0008

属性: RW格式:

字段	属性	默认	说明
31:0	RW	32'b0	pe_dc_states[31:0]

### 3.7.2.4 MT\_DC\_STATEH (维护 DC 状态高段)

地址: ADDR[15:0] = 16'h000C

属性: RW格式:

字段	属性	默认	说明
31:0	RW	17'b0	pe_dc_states[48:32]

### 3.7.2.5 MT\_DC\_ENDIAN (维护 DC 大小端)

地址: ADDR[15:0] = 16'h0010

属性: RW格式:

字段	属性	默认	说明
31:2	RO	30'b0	保留, 读出为 0。
1:0	RW	2'b0	小端模式。

## 3.8 USB

### 3.8.1 USB 维护可见寄存器总览

维护地址: 0x6000,0000 + offset[4:0]

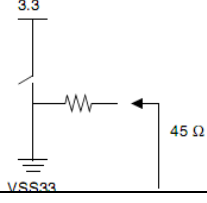
Offset[4:0]	description	default	type
5'h0	USB PHY Port0 Config Reg	0x440335	R/W
5'h4	USB PHY Port1 Config Reg	0x440335	R/W
5'h8	USB PHY Port2 Config Reg	0x440335	R/W
5'hc	USB PHY Port3 Config Reg	0x440335	R/W
5'h10	USB PHY Port4 Config Reg	0x440335	R/W
5'h14	USB PHY Port5 Config Reg	0x440335	R/W

5'h18	EHCI Config Reg	0x87c	R/W
5'h1c	EHCI Monitor Reg	---	R/W
5'h20	OHCI0 Monitor Reg	---	R/W
5'h24	OHCI1 Monitor Reg	---	R/W

## 3.8.2 USB 维护可见寄存器详细定义

### 3.8.2.1 PHY Portx Config Reg

位	信号名	描述	默认值
31:23	保留		
22:20	SQRXTUNE	静噪阈值调整, 调整高速数据信号检测阈值电压, 默认 125mV: 3'b111: - 20% 3'b110: - 15% 3'b101: - 10% 3'b100: 默认值 3'b011: + 3% 3'b010: + 5% 3'b001: + 10% 3'b000: + 15%	3'b100
18:16	COMPDISTUNE	PHY 接口连接/断开阈值电压调整, 调整断开事件的阈值电压, 默认值 575mV: 3'b111: + 4.5% 3'b110: + 3% 3'b101: + 1.5% 3'b100: 默认值 3'b011: - 1.5% 3'b010: - 3% 3'b001: - 4.5% 3'b000: - 6%	3'b100
15:14	保留		
13	TXRISETUNE	高速信号上升沿/下降沿边沿时间调整, 如果使能后, 上升沿或下降沿的爬坡时间减少 8%, 否则使用默认值。	1'b0
12	TXPREEMPHASISTUNE	高速信号发送端预增强使能, 控制高速模式下 J-K 或 K-J 状态转换的预增强。实际上是增强高速发送端数据 (DP 和 DM) 上升沿的电流。(J 状态 DM low, DP high; K 状态 DM high, DP low)	1'b0

11:8	TXFSLSTUNE	全速/低速信号的源端阻抗调整： 4'b1111: - 5% 4'b0111: - 2.5% 4'b0011: 默认值 4'b0001: + 2.5% 4'b0000: + 5% 默认值如下： 	4'b0011
7:6	保留		
5:4	TXHSXVTUNE	高速信号发送端 (DP 和 DM) 交叉电压阈值调整, 尽量将该电压调整到 0V: 2'b11: 默认值 2'b10: + 15mV 2'b01: - 15mV	2'b11
3:0	TXVREFTUNE	高速信号直流电压调整, 电压默认值 400mV: 4'b1111: + 8.75% 4'b1110: + 7.5% 4'b1101: + 6.25% 4'b1100: + 5% 4'b1011: + 3.75% 4'b1010: + 2.5% 4'b1001: + 1.25% 4'b1000: + 1% 4'b0111: + 0.75% 4'b0110: + 0.5% 4'b0101: 默认值 4'b0100: - 5% 4'b0011: - 6.25% 4'b0010: - 7.5% 4'b0001: - 8.75% 4'b0000: - 10%	4'b101

### 3.8.2.2 EHCI Config Reg

位	信号名	描述	默认值
31:12	保留		
11	ohci_susp_lgcy	OHCI 时钟控制信号, 1'b1- USB 端口被路由到 OHCI 控制器时, 信号 <b>utmi_suspend_o_n</b> 反映 USB 端口的状态 (挂起/非挂起); 1'b0- USB 端口被路由到 OHCI 控制器时, <b>utmi_suspend_o_n</b> 信号会置起当所有的 OHCI 端口都处	1'b1

		于挂起状态或 OHCI 控制器处于全局挂起状态 ( HCFS=USBSUSPEND ) ; <b>utmi_suspend_o_n</b> 信号降下来当 OHCI 端口不处在挂起状态且 OHCI 控制器不在全局挂起状态。	
10	app_start_clk	OHCI 时钟控制信号, 当 OHCI 时钟还没工作, 系统置该信号为 “1” 启动时钟 (12MHz 和 48MHz)。在时钟稳定且主机进入挂起状态之前, 该信号降下来。	1'b0
9	ss_resume_utmi_pls_dis	恢复禁止, 使用 UTMI+PHY 接口时该信号设置为 “0”。	1'b0
8	ss_utmi_backward_enb	UTMI 回退使能, 使用 UTMI+PHY 接口时该信号设置为 “0”。	1'b0
7	ss_hubsetup_min	hub 建立时间控制, 使用 4 个或 5 个 FS 时钟周期: 1'b1- 使用 4 个 FS clocks 1'b0- 使用 5 个 FS clocks	1'b0
6	ss_ena_incrx_align	强制在 burst 边界才能发送对应类型的 burst 传输	1'b1
5	ss_ena_incr4	AHB 支持 INCR4 传输类型	1'b1
4	ss_ena_incr8	AHB 支持 INCR8 传输类型	1'b1
3	ss_ena_incr16	AHB 支持 INCR16 传输类型	1'b1
2	ss_autoppd_on_overcur_en	过流时自动断电	1'b1
1	ss_word_if	UTMI+PHY 接口位宽: 1'b0-8bits 1'b1-16bits	1'b0
0	sys_interrupt	系统中断	1'b0

### 3.8.2.3 EHCI Monitor Reg

位	信号名	描述	默认值
31:29	保留		
28:23	ehci_prt_pwr	端口电源, 用于切换每个端口的电源, 和其他几个信号一起决定电源控制规则, 具体规则见 EHCI 协议的表 4-3	---
22:19	ehci_lpsmc_state	LPSMC ( List Processor System Memory Controller) 状态, 定义如下: 4'b0000: SMC_IDLE 4'b0001: SMC_DESC_RD 4'b0010: SMC_DATA_RD 4'b0011: SMC_IN_XFER 4'b0100: SMC_SUSPEND1 4'b0101: SMC_SUSPEND2 4'b0110: SMC_STS_UPDATE 4'b0111: SMC_SHORT_PKT1	---

		4'b1000: SMC_SHORT_PKT2 4'b1001: SMC_BUF_ERR1 4'b1001: SMC_BUF_ERR2 4'b1001: SMC_SHORT_END	
18	ehci_bufacc	0-描述符; 1-数据;	---
17	ehci_xfer_prdc	是否支持预取操作	---
16:6	ehci_xfer_cnt	transfer 计数	---
5:0	ehci_usbsts	USB 状态信息: [0]- USB Interrupt [1]- USB Error Interrupt [2]- Port Change Detect [3]- Frame List Rollover [4]- Host System Error [5]- Interrupt on Async Advance	---

### 3.8.2.4 OHCIx Monitor Reg

位	信号名	描述	默认值
31:15	保留		
14	ohci_N_suspend_i [2]	端口 2 的 OHCI 挂起状态	---
13	ohci_N_speed_i [2]	端口 2 的 OHCI USB 速率	---
12	ohci_N_ccs_i [2]	端口 2 的端口连接/断开状态	---
11	ohci_N_suspend_i [1]	端口 1 的 OHCI 挂起状态	---
10	ohci_N_speed_i [1]	端口 1 的 OHCI USB 速率	---
9	ohci_N_ccs_i [1]	端口 1 的端口连接/断开状态	---
8	ohci_N_suspend_i [0]	端口 0 的 OHCI 挂起状态	---
7	ohci_N_speed_i [0]	端口 0 的 OHCI USB 速率	---
6	ohci_N_ccs_i[0]	端口 0 的端口连接/断开状态	---
5	ohci_N_bufacc_i	0-描述符; 1-数据;	---
4	ohci_N_sof_i_n	主机控制器开始传输新一帧指示	---
3	ohci_N_smi_i_n	HCI 总线系统管理中断, 支持 OHCI legacy 模式时该信号才有意义。	---
2	ohci_N_rmtwkp_i	远程唤醒状态	---
1	ohci_N_drwe_i	设备远程唤醒使能	---
0	ohci_N_globalsuspend_i	主机控制器在进入 suspend 状态后 5ms 该信号置起, 表示主机控制器处于 global suspend 状态	---

对于 OHCI0 控制器, N=0; OHCI1 控制器, N=1。