



SUNWAY 申威

# FLASH 地址空间分配

2015 年 1 月

成都申威科技有限责任公司



## 免责声明

本档仅提供阶段性信息，所含内容可根据产品的实际情况随时更新，恕不另行通知。如因文档使用不当造成的直接或间接损失，本公司不承担任何责任。

## 成都申威科技有限责任公司

Chengdu Sunway Technology Corporation Limited

地址：成都市华府大道四段电子科大科技园 D22 栋

Building D22, National University Science and technology park,  
Section 4, Huafu Avenue, Chengdu

Mail: sales@swcpu.cn

Tel : 028-68769016

Fax: 028-68769019



## 阅读指南

《FLASH 地址空间分配》主要描述了申威处理器启动固件 FLASH 地址空间分配、操作 FLASH 命令说明、内存条参数定义、显存参数定义、CPU 参数定义、Cache 配置说明、核心时钟配置说明等内容。

## 文档修订

文档更新记录	文档名	FLASH 地址空间分配
	版本号	V1.0
	创建人	研发部
	创建日期	2015-1-8

## 版本更新

版本号	更新内容	更新日期
V1.0	初稿	2015-1-8

## 技术支持

可通过邮箱或问题反馈网站向我司提交产品使用的问题，并获取技术支持。

售后服务邮箱：[sales@swcpu.cn](mailto:sales@swcpu.cn)

## 目 录

1	第一片 flash 地址空间分配.....	1
2	第二片 flash 地址空间分配.....	2
3	第一片 flash 中 config 地址空间分配.....	3
4	第二片 flash 中 config 地址空间分配.....	4
5	板号定义.....	5
6	SW CPU 对 FLASH 芯片的操作 .....	6
6.1	读 VENDOR ID.....	6
6.2	读, 可支持 1~256 字节读.....	6
6.3	写, 最大一次写 256 字节, 可支持 1~256 字节写.....	7
6.4	擦除.....	7
6.5	读状态寄存器.....	8
6.6	写使能.....	8
7	内存条参数位置及定义.....	9
8	显存内存条参数位置及定义.....	10
9	CPU 参数位置及定义.....	12
10	实际 cache 配置值.....	13
11	核心时钟配置.....	14
12	Cache Information .....	16
13	CHIP_ID 定义.....	17

# 1 第一片 flash 地址空间分配

商用芯片固件烧写命令 wflash-all-2f\_new ; 第一片 flash 地址空间分配如下:

文件	地址
固件	0x0~0x300000
srom	0x300000~0x308000
config	0x308000~0x318000

套片固件烧写命令 wflash-ich; 第一片 flash 地址空间分配如下:

文件	地址
固件	0x0~0x300000
config	0x308000~0x318000

## 2 第二片 flash 地址空间分配

基地址：0x1000000

4KB	DIMM 条信息	0x000000~0x000fff
4KB	CPU 信息	0x001000~0x001fff
4KB	BIOS 与 BMC 通信信息	0x002000~0x002fff
4KB	显存 DIMM 条信息	0x003000~0x003fff
4KB	固件版本号	0x004000~0x00400f
	Srom 版本号	0x004010~0x004fff
40KB	reserved	0x004100~0x00efff
4KB	Config 文件	0x00f000~0x00ffff
64KB	reserved	0x010000~0x01ffff
32KB	Srom (网络引导)	0x020000~0x027fff
4KB	Srom size	0x028000~0x028fff
348KB	reserved	0x029000~0x07ffff
64KB	HMCODE	0x080000~0x08ffff
448KB	reserved	0x090000~0x0fffff
1.5MB	BIOS	0x100000~0x27ffff
320KB	BIOS(双 CG)	0x280000~0x2cffff
192KB	HMCODE(双 CG)	0x2d0000~0x2fffff
1MB	出厂 BIOS(目前 900KB)	0x300000~0x400000

### 3 第一片 flash 中 config 地址空间分配

offset	内容
0x0~0x3	初始 IP 地址
0x4~0x8	初始 MAC 地址低 4 字节
0x9~0xc	SROM 的字节数



## 4 第二片 flash 中 config 地址空间分配

Offset	内容	
0x0~0x3	BIOS 字节数	
0x4~0x7	IP 地址	
0x8~0xb	MAC 地址低 4 字节	
0xc	自引导选择参数	aa-开机自引导;其他值都不自引导
0xd	IP 选择	55-使用第二片 flash 中的 ip
0xe	板号	
0xf	Reserved	
0x10~0x11	初始化核心数	F-4 核; FFFF-16 核
0x12	CPU 核心频率	2F 核心频率配置
0x13	存控频率	2F 存储控制器时钟配置
0x14	核心互联频率	
0x15	CPU 的 TESTOUTSEL	默认为 1
0x16	选择温度配置方式	55-从第二片 flash 读取, 否则使用固件中配置
0x17	高温	
0x18	低温	

## 5 板号定义

板号存放在第二片 flash 中的地址：0xf00e

名称	版号	配置文件
ATX	01	config-ATX.bin
EEB	02	config-EEB.bin
MicroATX	03	config-MicroATX.bin
中机	04	config-ZJ.bin
华中数控	05	config-HZSK.bin
防火墙	06	config-FHQ.bin
迈普	07	config-MP.bin
709	08	config-709.bin
套片	41	config_iochip.bin
ATX_ICH	C2	config_iochip_ich_flash.bin config_iochip_ich_tcm.bin
瘦客户机	C3	config-ICH-TC-1.bin
EEBV2	81	config-EEBV2.bin
浪潮 (TJG)	82	config-TJG.bin

定名规则：1.使用新时钟芯片第 7 位定为“1”；

套片第 6 位定为“1”；

## 6 SW CPU 对 FLASH 芯片的操作

所有的操作都是通过对 0xc600000300 和 0xc600000304 这 2 个地址进行**字节读/写**实现。

0xc600000300 用于接收 CPU 发过来的命令包，操作结果也是从该地址取出。  
0xc600000304 是标志寄存器，只有当 0xc600000304 中的值为 0x1 时，0xc600000300 中的数据才是有效的。

命令包协议：

字节 0	最终发给 flash 的命令长度，=包总长-2
字节 1	读出字节数，bit[7:4]为 2 的幂，bit[3: 0]为正常计数；比如要读出 256 字节，则为 0x80
字节 2	命令，读 vendor id: 9F
字节 3	Flash 中地址偏移，最高
字节 4	Flash 中地址偏移
字节 5	Flash 中地址偏移，最低
字节 6~n	写命令所带的数据

### 6.1 读 VENDOR ID

发送包

字节 0	04h
字节 1	02h
字节 2	90h
字节 3	00h 地址 bit[23:16]
字节 4	00h 地址 bit[15:8]
字节 5	00h 地址 bit[7:0]

返回命令包

字节 0	EFh manufacturer id
字节 1	Device id

### 6.2 读，可支持 1~256 字节读

字节 0	0x04h
字节 1	0x80 (最大读出 256 字节)
字节 2	03h
字节 3	地址 bit[23:16]
字节 4	地址 bit[15:8]
字节 5	地址 bit[7:0]

回命令包

字节 0	Data0
字节 1	Data1

...	...
字节 255	Data255

### 6.3 写，最大一次写 256 字节，可支持 1~256 字节写

字节 0	0x80h, 256 字节
字节 1	0x00
字节 2	02h
字节 3	地址 bit[23:16]
字节 4	地址 bit[15:8]
字节 5	地址 bit[7:0]
字节 6	DATA0
...	...
字节 6+255	DATA255

### 6.4 擦除

#### Sector erase (4KB)

字节 0	04h
字节 1	00h
字节 2	20h
字节 3	地址 bit[23:16]
字节 4	地址 bit[15:8]
字节 5	地址 bit[7:0]

#### 32KB Block Erase

字节 0	04h
字节 1	00h
字节 2	52h
字节 3	地址 bit[23:16]
字节 4	地址 bit[15:8]
字节 5	地址 bit[7:0]

#### 64KB Block Erase

字节 0	04h
字节 1	00h
字节 2	D8h
字节 3	地址 bit[23:16]
字节 4	地址 bit[15:8]
字节 5	地址 bit[7:0]

## 6.5 读状态寄存器

字节 0	01h
字节 1	01h
字节 2	05h
返回命令包	
字节 0	状态寄存器的值

## 6.6 写使能

字节 0	01h
字节 1	00h
字节 2	06h

说明：

- ✚ 每次做擦除和写操作之前都要先做写使能
- ✚ 擦除操作后写之前要读状态寄存器，确定擦除动作已经完成

## 7 内存条参数位置及定义

SPD 中的地址	Flash 中的地址 (按字节)	定义	值
3	0x0	<b>Module type</b>	Undefined <span style="color: red;">00h</span> RDIMM (Registered Long DIMM) <span style="color: red;">01h</span> UDIMM (Unbuffered Long DIMM) <span style="color: red;">02h</span> SODIMM (Small Outline DIMM) <span style="color: red;">03h</span>
4	0x1	<b>SDRAM device density and banks</b>	512Mb <span style="color: red;">01h</span> 1Gb <span style="color: red;">02h</span> 2Gb <span style="color: red;">03h</span> 4Gb <span style="color: red;">04h</span> 8 Gb <span style="color: red;">05h</span> 16 Gb <span style="color: red;">06h</span>
7	0x2	<b>Module ranks and device DQ count</b>	1 Rank module using X8 chips <span style="color: red;">01h</span> 2 Rank module using X8 chips <span style="color: red;">09h</span> 1 Rank module using X4 chips <span style="color: red;">00h</span> 2 Rank module using X4 chips <span style="color: red;">08h</span> 4 Rank module using X8 chips <span style="color: red;">19h</span> 4 Rank module using X4chips <span style="color: red;">18h</span> 1 Rank module using X16 chips <span style="color: red;">02h</span> 2 Rank module using X16 chips <span style="color: red;">10h</span>
8	0x3	<b>ECC tag and module memory bus width</b>	16bit <span style="color: red;">01h</span> 32bit <span style="color: red;">04h</span> 64bit (no parity) <span style="color: red;">03h</span> 64bit + ECC (72bit) <span style="color: red;">0Bh</span>
12	0x4	<b>Minimum SDRAM Cycle Time</b>	DDR3 400Mhz clock (800data rate) <span style="color: red;">14h</span> DDR3 533Mhz clock (1066data rate) <span style="color: red;">0Fh</span> DDR3 667Mhz clock (1333data rate) <span style="color: red;">0Ch</span> DDR3 800Mhz clock (1600data rate) <span style="color: red;">0Ah</span>
63	0x5	<b>Address Mapping from Edge Connector to DRAM</b>	Standard <span style="color: red;">00h</span> Mirrored <span style="color: red;">01h</span>

内存条容量计算：单片容量 \* (128/位宽/8) \* rank 数

$$512\text{Mb} * 2^{(\$1-1)} * (128 / (4 * 2^{(\$2 \& 0x3)} / 8)) * 2^{((\$2 \gg 3) \& 0x1)} * 2^{((\$2 \gg 4) \& 0x1)}$$

$$512\text{Mb} * 2^{(\$1-1)} * (128 / (4 * 2^{(\$2 \& 0x3)} / 8)) = (1\text{Gb} \ll \$1) \gg (\$2 \& 0x3)$$

## 8 显存内存条参数位置及定义

SPD 中的地址	Flash 中的地址 (按字节)	定义	值
3	0x0	<b>Module type</b>	Undefined <span style="color: red;">00h</span> RDIMM (Registered Long DIMM) <span style="color: red;">01h</span> UDIMM (Unbuffered Long DIMM) <span style="color: red;">02h</span> SODIMM (Small Outline DIMM) <span style="color: red;">03h</span>
4	0x1	<b>SDRAM device density and banks</b>	512Mb <span style="color: red;">01h</span> 1Gb <span style="color: red;">02h</span> 2Gb <span style="color: red;">03h</span> 4Gb <span style="color: red;">04h</span> 8 Gb <span style="color: red;">05h</span> 16 Gb <span style="color: red;">06h</span>
5	0x2	<b>SDRAM Addressing</b>	12 Row Address Bits,9 Column Address Bits <span style="color: red;">00h</span> 12 Row Address Bits,10 Column Address Bits <span style="color: red;">01h</span> 12 Row Address Bits,11 Column Address Bits <span style="color: red;">02h</span> 12 Row Address Bits,12 Column Address Bits <span style="color: red;">03h</span> 13 Row Address Bits,9 Column Address Bits <span style="color: red;">08h</span> 13 Row Address Bits,10 Column Address Bits <span style="color: red;">09h</span> 13 Row Address Bits,11 Column Address Bits <span style="color: red;">0ah</span> 13 Row Address Bits,12 Column Address Bits <span style="color: red;">0bh</span> 14 Row Address Bits,9 Column Address Bits <span style="color: red;">10h</span> 14 Row Address Bits,10 Column Address Bits <span style="color: red;">11h</span> 14 Row Address Bits,11 Column Address Bits <span style="color: red;">12h</span> 14 Row Address Bits,12 Column Address Bits <span style="color: red;">13h</span> 15 Row Address Bits,9 Column Address Bits <span style="color: red;">18h</span> 15 Row Address Bits,10 Column Address Bits <span style="color: red;">19h</span> 15 Row Address Bits,11 Column Address Bits <span style="color: red;">1ah</span> 15 Row Address Bits,12 Column Address Bits <span style="color: red;">1bh</span> 16 Row Address Bits,9 Column Address Bits <span style="color: red;">20h</span> 16 Row Address Bits,10 Column Address Bits <span style="color: red;">21h</span> 16 Row Address Bits,11 Column Address Bits <span style="color: red;">22h</span> 16 Row Address Bits,12 Column Address Bits <span style="color: red;">23h</span>
7	0x3	<b>Module ranks and device DQ count</b>	1 Rank module using X8 chips <span style="color: red;">01h</span> 2 Rank module using X8 chips <span style="color: red;">09h</span> 1 Rank module using X4 chips <span style="color: red;">00h</span> 2 Rank module using X4 chips <span style="color: red;">08h</span> 4 Rank module using X8 chips <span style="color: red;">19h</span> 4 Rank module using X4chips <span style="color: red;">18h</span>

			1 Rank module using X16 chips <b>02h</b> 2 Rank module using X16 chips <b>10h</b>																																																																
8	0x4	<b>ECC tag and module memory bus width</b>	16bit <b>01h</b> 32bit <b>04h</b> 64bit (no parity) <b>03h</b> 64bit + ECC (72bit) <b>0Bh</b>																																																																
12	0x5	<b>SDRAM Minimum Cycle Time(tCKmin)</b>	<b>Note1</b>																																																																
14,15	0x6,0x7	<b>CAS Latencies Supported</b>	<table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="8">Byte 14: CAS Latencies Supported, Low Byte</th> </tr> <tr> <th>Bit 7</th><th>Bit 6</th><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th> </tr> </thead> <tbody> <tr> <td>CL = 11</td><td>CL = 10</td><td>CL = 9</td><td>CL = 8</td><td>CL = 7</td><td>CL = 6</td><td>CL = 5</td><td>CL = 4</td> </tr> <tr> <td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>1</td><td>0 or 1</td><td>0 or 1</td> </tr> </tbody> </table> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <thead> <tr> <th colspan="8">Byte 15: CAS Latencies Supported, High Byte</th> </tr> <tr> <th>Bit 7</th><th>Bit 6</th><th>Bit 5</th><th>Bit 4</th><th>Bit 3</th><th>Bit 2</th><th>Bit 1</th><th>Bit 0</th> </tr> </thead> <tbody> <tr> <td>Reserved</td><td>CL = 18</td><td>CL = 17</td><td>CL = 16</td><td>CL = 15</td><td>CL = 14</td><td>CL = 13</td><td>CL = 12</td> </tr> <tr> <td>0</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td><td>0 or 1</td> </tr> </tbody> </table> <p style="font-size: small; margin-top: 5px;">For each bit position, 0 means this CAS Latency is not supported, 1 means this CAS Latency is supported.</p>	Byte 14: CAS Latencies Supported, Low Byte								Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	CL = 11	CL = 10	CL = 9	CL = 8	CL = 7	CL = 6	CL = 5	CL = 4	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1	1	0 or 1	0 or 1	Byte 15: CAS Latencies Supported, High Byte								Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reserved	CL = 18	CL = 17	CL = 16	CL = 15	CL = 14	CL = 13	CL = 12	0	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1
Byte 14: CAS Latencies Supported, Low Byte																																																																			
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																																																												
CL = 11	CL = 10	CL = 9	CL = 8	CL = 7	CL = 6	CL = 5	CL = 4																																																												
0 or 1	0 or 1	0 or 1	0 or 1	0 or 1	1	0 or 1	0 or 1																																																												
Byte 15: CAS Latencies Supported, High Byte																																																																			
Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0																																																												
Reserved	CL = 18	CL = 17	CL = 16	CL = 15	CL = 14	CL = 13	CL = 12																																																												
0	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1	0 or 1																																																												
63	0x8	<b>Address Mapping from Edge Connector to DRAM</b>	Standard <b>00h</b> Mirrored <b>01h</b>																																																																

Note1:

Bits 7 ~ 0
Minimum SDRAM Cycle Time (t <sub>CKmin</sub> )
MTB Units
Values defined from 1 to 255

Examples:

tCKmin (MTB units)	Timebase (ns)	tCKmin Result (ns)	Use
20	0.125	2.5	DDR3 with 400 MHz clock
15	0.125	1.875	DDR3 with 533 MHz clock
12	0.125	1.5	DDR3 with 667 MHz clock
10	0.125	1.25	DDR3 with 800 MHz clock

内存条容量计算: 单片容量 \* (128/位宽/8) \* rank 数

$$512\text{Mb} * 2^{(S1-1)} * (128 / (4 * 2^{(S2 \& 0x3)} / 8)) * 2^{((S2 >> 3) \& 0x1)} * 2^{((S2 >> 4) \& 0x1)}$$

$$512\text{Mb} * 2^{(S1-1)} * (128 / (4 * 2^{(S2 \& 0x3)} / 8)) = (1\text{Gb} \ll (S1)) \gg (S2 \& 0x3)$$



## 9 CPU 参数位置及定义

Flash 中的地址 (按字节)	定义	值
0x1000~0x1001	<b>CPU core online</b>	0xffff,每 bit 代表一个核心
0x1002	<b>CPU frequency</b>	见附录《核心时钟配置》
0x1003	<b>Vendor id</b>	
0x1004	<b>主板型号</b>	具体型号参见第五章板号定义
0x1005~0x100f	<b>reserved</b>	
0x1010~	<b>Cache 信息</b>	见附录《Cache Information》

## 10 实际 cache 配置值

### L1 指令 cache

地址	定义	编码
0x1010~ 0x1013	单核 Size	<b>8000h 32KB</b>
0x1014	<b>Operational Mode</b>	<b>01b</b> Write Back
0x1015	<b>Cache Level</b>	<b>0h</b> L1
0x1016	<b>Error Correction Type</b>	<b>04h</b> Parity
0x1017	<b>System Cache Type</b>	<b>03h</b> Instruction
0x1018	<b>Associativity</b>	<b>04h</b> 2-way Set-Associative

### L1 数据 cache

offset	定义	编码
0x1020~ 0x1023	size	<b>8000h 32KB</b>
0x1024	<b>Operational Mode</b>	<b>01b</b> Write Back
0x1025	<b>Cache Level</b>	<b>000b</b> L1
0x1026	<b>Error Correction Type</b>	<b>05h</b> Single-bit ECC
0x1027	<b>System Cache Type</b>	<b>04h</b> Data
0x1028	<b>Associativity</b>	<b>05h</b> 4-way Set-Associative

### L2

offset	定义	编码
0x1030~ 0x1033	单核 Size	<b>80000h 512KB</b>
0x1034	<b>Operational Mode</b>	<b>01b</b> Write Back
0x1035	<b>Cache Level</b>	<b>001b</b> L2
0x1036	<b>Error Correction Type</b>	<b>05h</b> Single-bit ECC
0x1037	<b>System Cache Type</b>	<b>05h</b> Unified
0x1038	<b>Associativity</b>	<b>07h</b> 8-way Set-Associative

# 11 核心时钟配置

CFG_CORE [4:0]_H	X 分频 器	Y 分频 器	Z 分频 器	BW	VCO 频 率	输出频率
0	2	16	8	8	1600	200 (PLL 旁 路)
1	2	24	8	12	2400	300
2	2	32	8	16	3200	400
3	2	20	4	10	2000	500
4	2	24	4	12	2400	600
5	2	28	4	14	2800	700
6	2	32	4	16	3200	800
7	2	18	2	9	1800	900
8	2	19	2	10	1900	950
9	2	20	2	10	2000	1000
10	2	21	2	11	2100	1050
11	2	22	2	11	2200	1100
12	2	23	2	12	2300	1150
13	2	24	2	12	2400	1200
14	2	25	2	13	2500	1250
15	2	26	2	13	2600	1300
16	4	53	2	27	2650	1325
17	2	27	2	14	2700	1350
18	4	55	2	28	2750	1375
19	2	28	2	14	2800	1400
20	4	57	2	29	2850	1425
21	2	29	2	15	2900	1450
22	4	59	2	30	2950	1475
23	2	30	2	15	3000	1500
24	4	61	2	31	3050	1525
25	2	31	2	16	3100	1550
26	4	63	2	32	3150	1575
27	2	32	2	16	3200	1600
28	4	65	2	33	3250	1625

29	2	33	2	17	3300	1650
30	4	67	2	34	3350	1675
31	2	34	2	17	3400	1700

## 12 Cache Information

Size(byte)	定义	编码
4	Maximum Cache Size	
1	<b>Operational Mode</b>	00b Write Through 01b Write Back 10b Varies with Memory Address 11b Unknown
1	<b>Cache Level</b>	000b L1 001b L2
1	<b>Error Correction Type</b>	01h Other 02h Unknown 03h None 04h Parity 05h Single-bit ECC 06h Multi-bit ECC
1	<b>System Cache Type</b>	01h Other 02h Unknown 03h Instruction 04h Data 05h Unified
1	<b>Associativity</b>	01h Other 02h Unknown 03h Direct Mapped 04h 2-way Set-Associative 05h 4-way Set-Associative 06h Fully Associative 07h 8-way Set-Associative 08h 16-way Set-Associative 09h 12-way Set-Associative 0Ah 24-way Set-Associative 0Bh 32-way Set-Associative 0Ch 48-way Set-Associative 0Dh 64-way Set-Associative

## 13 CHIP\_ID 定义

在 CSR: IS\_CTL 中, CHIP\_ID 域 bit[8:3] 指示 SW1610 的 ID 号, 这个域共有 6 位, 具体定义如下:

1) [5:4]位: 区分不同结构的芯片, 其中“01”指示 SW-2 系列, “10”: 指示是 SW-3 系列;

2) [3:2]位: 区分不同的工艺实现, 为“00”指示 65nm 工艺的实现, 为“01”指示 130nm 工艺的实现; 为“10”指示 45nm 工艺的实现;;

3) [1:0]位: 区分不同的流片, 为“00”指示第一次流片, 为“01”指示第二次流片, 如此类推。

**2D 的值为 0x13; 2F 的值为 0x18, 放在主存 0x1000 中。**